

令和 6 年 6 月 15 日現在

機関番号：82118

研究種目：基盤研究(B)（一般）

研究期間：2019～2022

課題番号：19H01912

研究課題名（和文）B中間子崩壊におけるCP非対称度精密測定のための狭ピッチシリコン検出器開発

研究課題名（英文）Development of Fine-pitch Silicon Strip Detector for Precise CP Violation Measurement in B Meson Decays

研究代表者

中村 克朗（Nakamura, Katsuro）

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・助教

研究者番号：60714425

交付決定額（研究期間全体）：（直接経費） 13,300,000円

研究成果の概要（和文）：これまで素粒子実験で開発されたことがない、薄型狭ピッチの両面シリコンストリップセンサーの開発、およびその信号読み出しのための低ノイズ読み出しASICの開発を行った。要求する性能を満たすセンサーが製作可能であることを実証した。ASICのノイズは要求仕様よりも若干大きいものの、さらなるアンプ部時定数の最適化とセンサーストリップ長の調整により改善可能であることを発見し、次期製作で要求性能を満たすASICを作るための指針を得ることができた。これらのセンサーとASICを用いて性能実証のための試作検出器の製作も完了した。さらに検出器信号によるトリガーの性能評価を行い、十分な性能が得られることを実証した。

研究成果の学術的意義や社会的意義

本研究により開発した高位置分解能・低質量のDSSDセンサーおよび低ノイズの読み出しASICは、応用の主眼に置いているBelle II実験のみならず、精密測定を目的とした素粒子実験やハドロン実験において重要な技術となる。特にシリコンストリップセンサーの読み出しASICは近年開発が少ないため、今回開発したASICが広い他実験でも使用されることが期待できる。また、高位置分解能を利用することで、荷電粒子の運動量スペクトロスコープにおいても、よりコンパクトな電磁石をもちいたより小さい磁場中での測定が実現可能となる。これは近年巨大化している素粒子実験・ハドロン実験の小型化に貢献できると期待される。

研究成果の概要（英文）：We have developed a thin, narrow-pitch double-sided silicon strip sensor and a low-noise readout ASIC for signal readout, which have never been developed before in particle physics experiments. We demonstrated that it is possible to manufacture sensors that meet the required performance. Although the noise of the ASIC was slightly higher than the required specifications, we discovered that it could be improved by further optimizing the amplifier's time constant and adjusting the sensor strip length. This provided us with guidance for producing an ASIC that meets the required performance in the next ASIC production. We also completed the fabrication of a prototype detector using these sensors and ASICs for performance validation. Additionally, we evaluated the performance of the trigger based on detector signals and demonstrated that sufficient performance can be achieved.

研究分野：フレーバー物理実験

キーワード：半導体検出器

1. 研究開始当初の背景

宇宙の成り立ちの解明において宇宙初期に生じた CP 非対称性の機構を明らかにすることが、素粒子物理学と宇宙物理学にまたがる大きな課題となっている。この解明に大きな力を発揮するのが、高エネルギー加速器研究機構(茨城県つくば市)で行われている Belle II 実験での B 中間子崩壊における CP 非対称度の精密測定である。しかしながら、Belle II 実験での現行のシリコンストリップ検出器の位置分解能では重要な CP 非対称度測定に必要な感度として不十分ということがわかっている。未知の CP 非対称度を理解するために、高い位置分解能のシリコン検出器へのアップグレードが Belle II 実験にとって大きな課題となっている。

2. 研究の目的

申請者らは、現行のシリコンストリップ検出器に代わる、薄型かつ狭ピッチのシリコン検出器の開発を目標に研究を進めている。その実現のために、140 μm 厚かつ 70~80 μm ピッチの両面読み出しシリコンストリップ検出器(DSSD)の開発を行った。140 μm という薄い DSSD センサーは素粒子実験において未開発の技術であり、初の試みである。この非常に薄いセンサーにより、検出器物質量を大きく削減し、多重散乱による位置分解能の低下を防ぐ。さらに、放射線損傷により増大する完全空乏化電圧も小さく抑えることが可能となる。この挑戦的なセンサーへの要求仕様に関連して、その読み出し用 ASIC にも以下に列挙する様々な開発要素が含まれる。

- **ノイズ量**: センサー厚が小さくなったことに伴い、十分な S/N を確保するためにノイズの低減が必要となる。ヒット情報のみのバイナリ読み出しを採用し、またアンプ部の時定数を大きく調整することで、ノイズの低減を試みた。またセンサーサイズを小さくし、ストリップ長を小さくすることにより、入力静電容量の値を小さくしてノイズを抑制することが可能である。これによりセンサーストリップ込みのノイズ量として 1000e 以下を目指す(垂直入射の MIP(最低イオン化粒子)によるエネルギー損失は約 10000e)。
- **発熱量**: 狭ピッチかつ短いストリップ長に伴い、読み出しのチャンネルが増大する。検出器上での冷却手法には制約があるので、読み出し ASIC からの発熱は 0.4W 以下にとどめる必要がある。これは 180nm CMOS プロセスを採用し、さらにアンプ部のゲイン・時定数を調整することにより低消費電力化を目指す。
- **トリガー信号仕様**: 現行の Belle II Level-1 トリガー性能の向上のため、読み出し ASIC は Level-1 トリガー信号を十分な時間待てるようにヒットデータを 10 μs 以上保持できるように設計する。さらに、背景事象によるノイズトリガー信号を削減するため、この新しいシリコン検出機も Level-1 トリガーのアルゴリズムに加えられるように、トリガー用の信号を出力する。

以上の仕様を満たす、薄型狭ピッチ DSSD センサーの開発および、読み出し ASIC チップ開発を行った。

さらに、検出器の測定性能およびトリガーの性能を確認するためシミュレーション解析を行った。

3. 研究の方法

新型 DSSD センサーは代理店クリアパルスを経由して、英国 Micron と協力して開発を進めた。Micron はシリコンセンサー開発で長年の経験があり、薄い DSSD センサー製作も実績がある。

読み出し用 ASIC は KEK E-System グループと協力し、設計・開発を進めた。すでに、開発されていた J-PARC g-2 実験のシリコン検出器用に開発された実績ある読み出し ASIC SliT の設計をベースに開発を進めることにより、開発コスト・時間・リスクを大きく削減することができた。これを我々の検出器・DAQ の仕様を満たすように改良して設計・開発を進めた。設計は 180nm CMOS 技術を用いて行った。

さらに、Belle II 実験のシミュレーション・解析ソフトウェアに、センサーの情報と信号再構成アルゴリズムを組み込んで、検出器および Level-1 トリガーの性能シミュレーションを可能にした。

4. 研究成果

薄型狭ピッチの DSSD センサーは表 1 に示す仕様のもと約 5cm x 6cm サイズのセンサー製作を行った。製作したセンサーの写真を図 1 に示す。個体差についても調べるため、合計 9 サンプル

を製作し、その性能を評価した。測定した厚みは $150 \pm 6 \mu\text{m}$ であり、仕様である $140 \mu\text{m}$ と比較して $10 \mu\text{m}$ 程度厚くなった。この違いは性能に大きな影響を起さないので許容範囲である。測定された I-V 曲線の一例を図 2 に示す。この曲線から完全空乏化電圧を測定することができ、全体として 13-15V であった。これは予想される電圧と一致する。さらにストリップの欠陥は、P 側ストリップで約 1%、N 側ストリップで約 0.4% であり、十分な歩留まりを確保できることを確認した。以上から、要求性能を満たすセンサーが製作可能であることを実証できた。

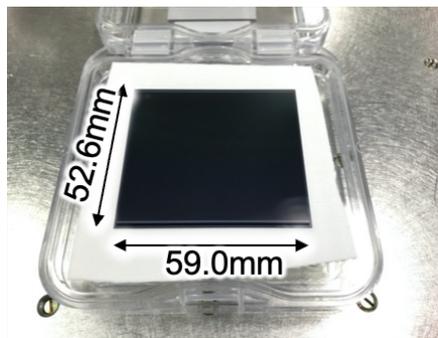


図 1. 開発した DSSD センサー

表 1. 開発した DSSD センサーの仕様

Sensor dimension	52.6 mm x 59.0 mm (rectangle)
Active area	51.2 mm x 57.6 mm
Guard-ring width (from the AA to the chip edge which would include the MGRs and FP)	700um
Sensor thickness	140 um ± 10um
Junction (P-side) strip	
P-side strip pitch	50 um
P-side strip width	14 um
P-side # of strips	1024
P-side floating string	no floating strip
Ohmic (N-side) strip	
N-side strip pitch	75 um
N-side strip width	14 um
N-side # of strips	768
N-side floating string	no floating strip

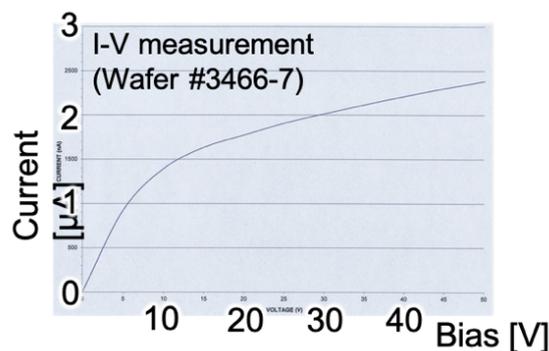


図 2. 測定した DSSD センサーの IV 曲線

同時に、この DSSD センサーからの信号を読み出すための ASIC SNAP128A の設計を KEK E-sys グループと協力しながら進めた。180nm CMOS 技術を用いて設計を行い、マレーシアに工場を持つ Silterra にてチップ製作を行った。製作した SNAP128A を図 3 に示す。SNAP128A は、128ch の入力を持ち、トリガー信号を受信時に 127MHz の入力クロックに同期してサンプルされたバイナリーのヒット信号を出力する。内部には 2,048 の深さを持つリングバッファを搭載しており、これにより最大 16us のトリガー遅延を許容することができる。また、DSSD の P 側・N 側両極性の信号を読み出せるように信号極性を反転できるように設計している。

さらに、このチップでは 128ch からのヒット信号の論理和を常時出力することにより、Level-1 トリガー用の信号に使用することが可能である。

この SNAP128A チップを試験するためのボードを設計・製作し、チップを実装の上、性能評価を行った (図 4)。まず、負極性の信号に対する応答を調べ、シミュレーションにより予想される波形との比較を行った。結果を図 5 に示す。波高はシミュレーションと比較して約 70% となっているものの、波形の時間構造はシミュレーションによる予想を良く再現できていることを確認した。次にノイズを検出器容量の関数として測定した。結果を図 6 に示す。目標とし

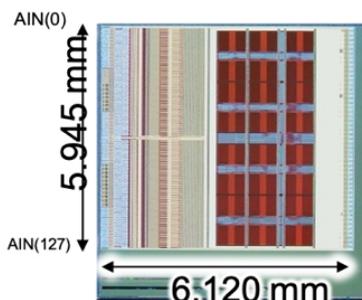


図 3. 開発した SNAP128A チップ

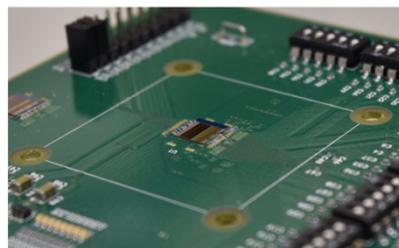


図 4. SNAP128A の試験ボード

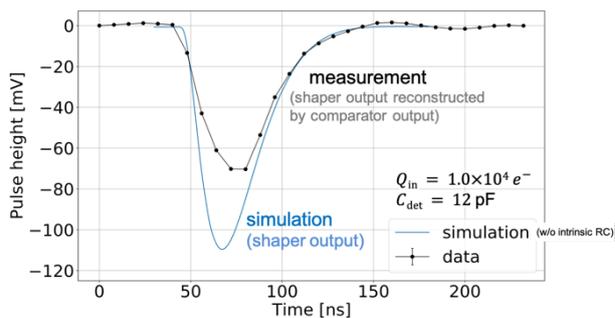


図 5. 負極性の信号波形。測定とシミュレーションとを比較。

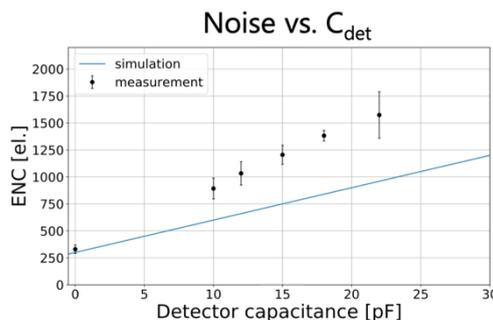


図 6. 負極性での測定ノイズの検出器容量依存性

ていた 15pF の検出器容量ではノイズ約 1200e と要求仕様を満たせなかったものの、検出器容量 12pF ではノイズ約 1000e と要求仕様に到達できることが確認できた。ノイズが予想よりも大きくなった理由としては、先に述べたゲインの低下が考えられる。そこで、次期の読み出し ASIC 製作では、ゲインを向上させるためにアンプ時定数のさらなる最適化を決定した。さらにこの結果からセンサー設計を改良し検出器容量を削減することも決定した。

次に正極性の信号に対する応答を図 7 に示す。正極性の信号は十分にゲインを保てないことが判明した。設計した回路の様々なシミュレーションから、コンパレータ部の可動範囲が正極性の信号に対して少なくなっていることを確認した。そこで、次期の ASIC 設計ではこのコンパレータ部を見直して両極性の信号に対して十分な可動範囲を確保できるような設計にすることに決定した。以上の結果を様々な研究会、および国際会議にて報告した [1-5]。

これら製作した DSSD センサーと SNAP128A を組み合わせて試作検出器を製作した。製作した検出器を図 8 に示す。この試作検出器には 1 枚の DSSD センサーと、P 側読み出しに 8 つと N 側読み出しに 6 つの SNAP128A チップを搭載している。実装後のセンサーの I-V 曲線を測定し、センサーが機能することを確認した。

さらに、ノイズ測定を行った。現状得られたノイズは 2000e であり、チップ単体の測定値よりも大きな値となった。原因として、配線周辺の浮遊導体によるノイズの流入と検出器容量の増大が考えられる。これらのグラウンドの強化を行い、ノイズの改善を試みることにした。

さらに、Belle II の解析フレームワーク (basf2) にこの新しい検出器を実装し、様々なシミュレーションによる性能予想を行った。その一つが Level-1 トリガーにおける、背景事象削減の効果である。複数のトリガーアルゴリズムを想定した、トリガー効率と衝突点を外れた粒子の除去率を図 9、10 に示す。これにより十分なトリガー性能を確保できることを示した [6]。

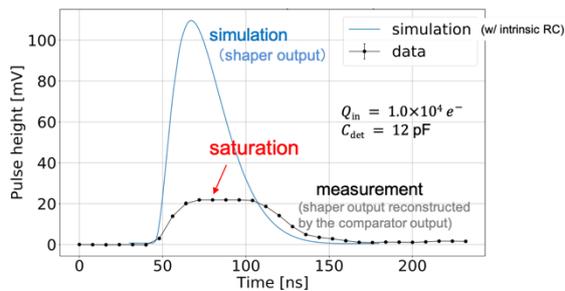


図 7. 正極性での信号波形。測定とシミュレーションとを比較。

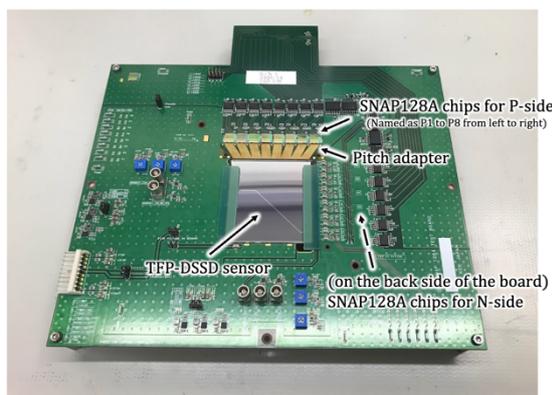


図 8. 開発した試作検出器

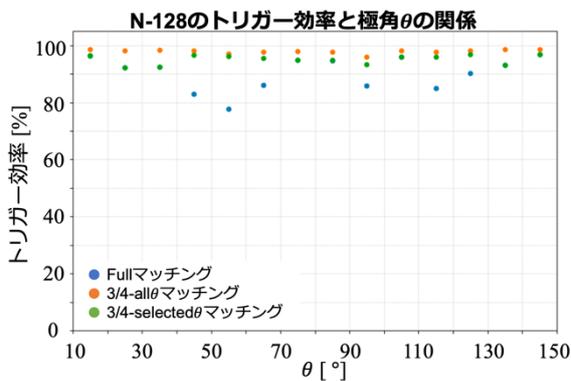


図 9. シミュレーションにより予想されるトリガー効率の粒子運動量の角度依存性

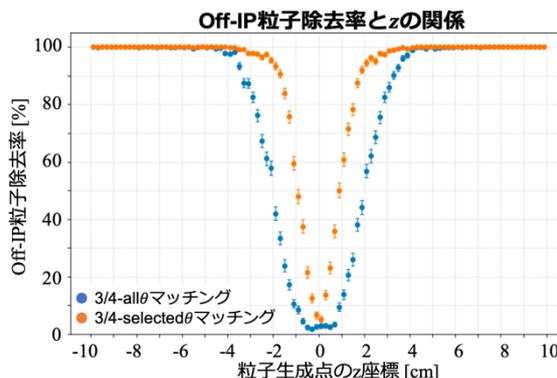


図 10. シミュレーションにより予想される衝突点を外れた粒子の除去率

- [1] 中村 克朗, “Belle II 崩壊点位置検出器(VXD) アップグレード”, 測定器開発プラットフォーム研究会, 2021
- [2] Katsuro Nakamura, “Upgrade of the Belle II Vertex Detector”, The 30th International Workshop on Vertex Detectors (VERTEX2021), October 2021
- [3] 中村 克朗, “Belle II 実験崩壊点検出器アップグレードに向けた薄型 DSSD 検出器開発”, 計測システム研究会 2021, 2021
- [4] Zihan Wang, “Performance evaluation of front-end ASIC and DSSD sensor for Belle II Silicon Vertex Detector upgrade”, The 31st International Workshop on Vertex Detectors (VERTEX2022), October 2022
- [5] Zihan Wang, “Performance evaluation of newly developed front-end ASIC and DSSD

sensor for upgrade of Belle II Silicon Vertex Detector” , 日本物理学会 第 77 回年次大会, September 2022

[6] 島崎奉文, “Belle II 実験 Level-1 トリガーのための新型シリコンストリップ検出器を用いたトリガーアルゴリズムおよびファームウェアの開発” , 日本物理学会 2023 年春季大会, March 2023

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計10件（うち招待講演 0件 / うち国際学会 5件）

1. 発表者名 中村 克朗
2. 発表標題 Belle II 崩壊点位置検出器(VXD)アップグレード
3. 学会等名 測定器開発プラットフォーム研究会
4. 発表年 2021年

1. 発表者名 中村 克朗
2. 発表標題 Upgrade of the Belle II Vertex Detector
3. 学会等名 VERTEX2021 (国際学会)
4. 発表年 2021年

1. 発表者名 中村 克朗
2. 発表標題 Belle II 実験崩壊点検出器アップグレードに向けた薄型 DSSD 検出器開発
3. 学会等名 計測システム研究会2021
4. 発表年 2021年

1. 発表者名 中村 克朗
2. 発表標題 Vertex detector at Belle II: present & future
3. 学会等名 2021 International Workshop on the High Energy Circular Electron Positron Collider (国際学会)
4. 発表年 2021年

1. 発表者名 中村 克朗
2. 発表標題 Development of the thin and fine-pitch silicon strip detector aiming for the Belle II upgrade
3. 学会等名 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS) (国際学会)
4. 発表年 2021年

1. 発表者名 Zihan Wang (王子涵)
2. 発表標題 Performance evaluation of newly developed front-end ASIC and DSSD sensor for upgrade of Belle II Silicon Vertex Detector
3. 学会等名 日本物理学会 第77回年次大会
4. 発表年 2022年

1. 発表者名 岸下 徹一
2. 発表標題 Belle II実験シリコンストリップ崩壊点検出器アップグレードを目的とした新しいバイナリ読み出しチップの開発
3. 学会等名 日本物理学会 2020年秋季大会
4. 発表年 2020年

1. 発表者名 中村 克朗
2. 発表標題 Development of the thin and fine-pitch silicon strip detector aiming for the Belle II upgrade
3. 学会等名 VERTEX2020 (国際学会)
4. 発表年 2020年

1. 発表者名 Zihan Wang (王子涵)
2. 発表標題 Performance evaluation of front-end ASIC and DSSD sensor for Belle II Silicon Vertex Detector upgrade
3. 学会等名 The 31st International Workshop on Vertex Detectors (VERTEX2022) (国際学会)
4. 発表年 2022年

1. 発表者名 島崎 奉文
2. 発表標題 Belle II実験Level-1トリガーのための新型シリコンストリップ検出器を用いたトリガーアルゴリズムおよびファームウェアの開発
3. 学会等名 日本物理学会2023年春季大会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	坪山 透 (Tsuboyama Toru) (80188622)	大学共同利用機関法人高エネルギー加速器研究機構・その他部局等・シニアフェロー (82118)	
研究分担者	岸下 徹一 (Kishishita Tetsuichi) (80789165)	大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・准教授 (82118)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------