

ゲルマニウムスピン MOSFET の実証

Development of a germanium spin MOSFET

課題番号：19H05616

浜屋 宏平 (HAMAYA Kohei)

大阪大学・大学院基礎工学研究科・教授



研究の概要（4行以内）

本研究では、次世代半導体ゲルマニウム(Ge)に関する独自のスピントロニクス基盤技術をデバイス応用レベルへと発展・融合させ、シリコン(Si)プラットフォーム上で室温・低電圧動作する Ge スピン電界効果トランジスタ(MOSFET)を実証する。

研究分野：電気電子材料工学関連

キーワード：半導体、磁性体、スピントロニクス

1. 研究開始当初の背景

半導体を用いたスピントロニクス素子(不揮発メモリ機能を搭載した低消費電力素子)の研究分野において、2004年に理論的に提案されたスピン電界効果トランジスタ(スピン MOSFET: 図1)が注目されている。最近、シリコン(Si)を伝導チャネルとするスピン MOSFET の室温動作実証に関する報告はあるが、絶縁トンネルバリア層を強磁性ソース・ドレイン構造に用いていることや、SOI 基板を用いたバックゲート型 MOS 構造であるために、基本動作は全て大電圧駆動であるなど、半導体デバイスとしては多くの解決すべき課題が残っている。

2. 研究の目的

次世代半導体ゲルマニウム(Ge)に関してこれまで培ってきた「絶縁トンネルバリア層を用いない独自のスピン注入技術」や「高品質な強磁性合金の低温作製技術」などのスピントロニクス基盤技術を、Ge ベースの高性能 MOSFET デバイスのコンセプトと融合させ、Si プラットフォーム上で室温・低電圧動作する Ge スピン MOSFET を実証する。

3. 研究の方法

まず、スピン MOSFET 用の強磁性合金電極(Co 系ホイスラー合金)構造の最適化によるスピン注入効率の増大と Ge チャネル中のスピン緩和現象の抑制により、温度上昇に伴うスピン信号強度の減少を抑制し、室温でのスピン信号の劇的な増大を図る。次に、Ge スピ

ン MOSFET 専用の独自のチャネル構造やゲート構造を開発し、前述のスピン注入技術と融合することで、量子井戸構造や MOS 反転層へのスピン注入技術へと発展させる。最終的に、室温で低いゲート電圧(2.0 V 以下)印加によるトランジスタ動作と不揮発メモリ動作(磁気抵抗効果)を同時に実証する。

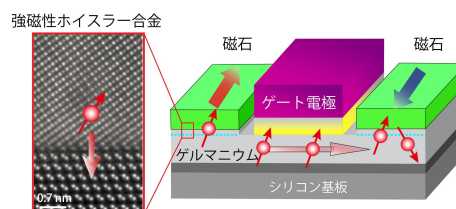


図1. スピン MOSFET の模式図(右)と絶縁トンネルバリアを用いないスピン注入技術の概念図(左).

4. これまでの成果

(1) 歪み SiGe を利用したスピン緩和の抑制

過去の我々の研究[Phys. Rev. Applied 8, 014007 (2017).]で、Ge 中のスピン伝導では縮退した伝導帯バレー間を電子スピンの遷移する際にスピン反転散乱が頻繁に起こることが判明していた。そこで本研究では、Ge-on-Si (GOS)上に形成した歪み SiGe 層を利用し、上述のバレー縮退を解いてスピン反転散乱を抑制する手法を検討した。具体的には、歪み Si_{0.1}Ge_{0.9} 横型スピン伝導素子におけるスピン注入・検出の実証とスピン歳差運動現象の観測から、スピン伝導・スピン緩和の評価を詳細に行なった。結果として、歪み Si_{0.1}Ge_{0.9} 層

を利用した場合には、歪み緩和 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 層と比べて低温でスピン信号が 100 倍以上、スピン寿命が 3 倍以上に増大することが判った。これは、Si や Ge のような IV 族半導体チャネル電子デバイスにおけるスピン寿命の延長効果を示唆するものであり、将来の半導体スピントロニクスデバイス全般の高性能化につながる現象の実証である。

(2) Fe 原子層挿入による高効率スピン注入

これまで、Geチャネル横型スピン伝導素子を用いた室温における2端子磁気抵抗(MR)効果は、MR比が高々0.002%程度と非常に低い値に留まっていた[Appl. Phys. Exp. **12**, 033002 (2019).]。この原因が強磁性合金/Ge界面付近に存在する強磁性合金中の組成揺らぎや結晶規則度の低下に起因する「界面のスピン偏極率」の低下であると考察し、これを抑制する手法を探索した。具体的には、原子層レベルの精密な界面終端技術を検討した。結果として、Fe原子層挿入が極めて効果的であることを見出し、強磁性合金/Ge界面付近の断面電子顕微鏡像観察から、強磁性合金中の組成揺らぎは解消し、その結晶規則度の向上も確認された。横型スピン伝導素子を用いたスピン信号とスピン偏極率の評価から、Feが5~6原子層の時に最大のスピン信号強度とスピン偏極率が得られた。以上の結果は、半導体スピントロニクス素子において精密な界面制御が極めて重要であることを意味する成果である。現在、室温におけるMR比も従来比で2桁上昇し始めている。この結果は、MgOトンネルバリアなどの絶縁層をソース・ドレイン電極に用いない接合界面で達成しているため、2端子電極間の印加電圧は従来よりも1桁減少しており、低消費電力動作に大きく寄与するものと期待される。

(3) Si(111)上の高歪みSiGe層の実証

本研究では、GeまたはSiGeチャネルへの結晶歪みを維持した状態での半導体ヘテロ構造(量子構造)の作製が重要となる。しかし、今回検討しているSi(111)面方位上でのSiGe層の結晶成長では臨界膜厚が薄いという問題が発生した[Appl. Phys. Exp. **12**, 081005 (2019).]。実際にSi(111)上のGe層[GOS(111)基板]上に(1)よりもSiの組成を増やした歪み $\text{Si}_{0.2}\text{Ge}_{0.8}$ 層を成長すると、顕微鏡像でも容易に観測できる多数のクラックが表面に発生した。このような状態ではスピン伝導チャネル層として利用することはできないため、この問題を解決する必要がある。そこで今回、パターンニングGOS(111)基板上への $\text{Si}_{0.2}\text{Ge}_{0.8}$ 層の成膜を検討した。その結果、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 層中のクラック発生が大幅に抑制され、臨界膜厚

が小さいことが問題となっていた歪みSiGe層結晶成長が劇的に改善された。これにより、GeまたはSiGeチャネルへの結晶歪みを維持した状態での量子井戸構造の作製に向けて、大幅な結晶成長条件の緩和と自由度を得ることに成功した。

5. 今後の計画

今後、低電圧動作 Ge スピン MOSFET を実現するために、開発された強磁性ソース・ドレイン電極からトップゲート構造により実現される MOS 反転層や量子井戸チャネルへの電流注入が必要不可欠である。現在、強磁性ソース・ドレイン電極を有する反転型 MOSFET の動作に成功しており、今後は素子サイズをスピン伝導観測用のデザインにまで微細化する予定である。また、現在検討中の新型ゲートスタック構造を最適化することで、低電圧(2.0V 以下)反転型 MOSFET の実現とスピン注入を室温で同時に実証する予定である。

6. これまでの発表論文等(受賞等も含む)

1. “Experimental estimation of the spin diffusion length in undoped *p*-Ge on Fe_3Si using vertical spin-valve devices”, A. Yamada, *M. Yamada, T. Shiihara, M. Ikawa, S. Yamada, and *K. Hamaya, Journal of Applied Physics, vol. 129, 013901-1 – 013901-6 (2021).
2. “A drastic increase in critical thickness for strained SiGe by growth on mesa-patterned Ge-on-Si”, Y. Wagatsuma, Md. M. Alam, K. Okada, M. Yamada, K. Hamaya, and K. Sawano, Applied Physics Express, vol.14, 025502-1 – 025502-5 (2021).
3. “Spin injection through the energy-band symmetry matching with high spin polarization in atomically controlled ferromagnet / ferromagnet / semiconductor structures”, M. Yamada, F. Kuroda, M. Tsukahara, S. Yamada, T. Fukushima, K. Sawano, T. Oguchi, and K. Hamaya, NPG Asia Material, vol. 12, 47-1 – 47-9 (2020).
4. “Suppression of donor-driven spin relaxation in strained $\text{Si}_{0.1}\text{Ge}_{0.9}$ ”, T. Naito, M. Yamada, S. Yamada, K. Sawano, and K. Hamaya, Physical Review Applied, vol. 13, 054025-1 – 054025-8 (2020).
5. “Crack formation in strained SiGe grown on Ge-on-Si(111) and its suppression by patterning substrates”, Y. Wagatsuma, Md. Mahfuz Alam, K. Okada, Y. Hoshi, M. Yamada, K. Hamaya, and K. Sawano, Materials Science in Semiconductor Processing, vol. 117, 105153-1 – 105153-5 (2020).

7. ホームページ等

HP: <http://www.semi.ee.es.osaka-u.ac.jp/hamayalab/>