

令和 4 年 6 月 21 日現在

機関番号：31302

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K04534

研究課題名(和文) 安価ガラス基板上的IoTデバイスに向けた負性容量4端子低温poly-Si TFT

研究課題名(英文) 4T LT poly-Si TFT with NC technology on glass substrate for low-cost IoT devices

研究代表者

原 明人 (HARA, Akito)

東北学院大学・工学部・教授

研究者番号：20417398

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：強誘電体の母相であるHfO<sub>2</sub>をゲート絶縁膜として利用したガラス上4端子poly-Si TFTを作成し、結線によりNOT回路を動作させた。n-、p-ch制御ゲート電圧を-2.0、-8.0 Vに設定することにより、V<sub>dd</sub>=1.0Vで論理閾値0.5V、ゲイン14を実現した。また負性容量poly-Ge TFTの開発に向け、4端子poly-Ge TFTの動作にも成功した。強誘電体HfZrO<sub>2</sub>の開発に取り組んだ。単ターゲットのスputタ装置を利用している。CV特性には強誘電体性が現れているが、その特性は弱い。これは成膜材料を変えるたびに大気暴露されるため、余分な酸化膜が層間に形成されるためと考えられる。

研究成果の学術的意義や社会的意義

IoTエッジデバイスをシリコン以外の基板上に形成する技術は、IoTエッジデバイスの多様化・多機能化とともに今後重要になる。代表者が独自開発した高移動度を有する4端子低温多結晶シリコンTFTに対して負性容量技術を融合することで、高移動度(>300 cm<sup>2</sup>/Vs)・精密V<sub>th</sub>制御・小さいs値(<100 mV/dec)の3要素全てを満足させ、V<sub>dd</sub>=1.0 Vでgain>10を有するCMOSインバータを安価ガラス基板上で実現することを目指した。これにより、安価ガラス基板上に低価格・低消費電力IoTエッジデバイスを実現するためのデバイス・イノベーションを実現する。

研究成果の概要(英文)：A CMOS inverter was fabricated using four-terminal (4T) poly-Si TFTs with high-k HfO<sub>2</sub> gate dielectric. To operate CMOS inverters at low VDD voltages, it is necessary to control the threshold voltage (V<sub>th</sub>). In this study, a 4T structure was used to control V<sub>th</sub>, and the gate width of the p-channel was designed to be three times that of the n-channel to balance the on-current. A CMOS inverter with a logic threshold of 0.5 V and a gain of 14 at VDD = 1.0 V was designed successfully. In addition, we successfully operated Cu-MIG 4T poly-GeSn TFTs using HfO<sub>2</sub> on a glass substrate. Ferroelectric HfZrO<sub>2</sub> was fabricated using a single target sputtering system. Although ferroelectricity was observed in the RTA thin film, it was weak. This is due to the formation of an additional oxide layer at the interface.

研究分野：半導体工学

キーワード：薄膜トランジスタ 多結晶シリコン 多結晶ゲルマニウム 高誘電体 強誘電体

### 1. 研究開始当初の背景

近年 IoT に注目が集まっている。IoT エッジデバイスに対しては、低消費電力で安価であることが要求される。低消費電力を実現するためには、トランジスタに対して高い電流駆動能力・精密な閾値電圧 ( $V_{th}$ ) 制御・鋭い立ち上がり特性 (小さい  $s$  値) が求められる。また、トランジスタの集積化により CMOS 回路を実現できる技術であることも重要な要因となる。IoT エッジデバイスでは、数 MHz 程度で時々動作するデバイスから、大量のデジタル・アナログデータを常時扱う高性能デバイスまで要求性能が多岐にわたる。将来的には、IoT エッジデバイスの多様化・多機能化とともに、用途に応じてプラスチック・ガラス・金属・紙・繊維などの Si ウェハ以外の基板上にデバイスを形成することが重要になる。しかし、プラスチック基板上の比較的性能が低いデバイスを除くと十分な研究が行われていないのが現状である。

### 2. 研究の目的

IoT エッジデバイスをシリコン以外の基板上に形成する技術は、IoT エッジデバイスの多様化・多機能化とともに今後重要になる。研究代表者は基板大型化が可能で安価なガラス基板上に注目している。安価ガラス基板上で低消費電力を実現するためには、高いオン電流・ $V_{th}$  制御・小さい  $s$  値を有する薄膜トランジスタ (TFT) を実現することが求められる。本研究は、研究代表者が独自開発した高移動度を有する 4 端子 (4T) 低温 (LT) 多結晶シリコン (poly-Si) TFT に対して負性容量技術 (NC) を融合することで、高移動度 ( $>300 \text{ cm}^2/\text{Vs}$ )・精密  $V_{th}$  制御・小さい  $s$  値 ( $<100 \text{ mV}/\text{dec}$ ) の 3 要素全てを満足させ、 $V_{dd}=1.0 \text{ V}$  で  $\text{gain}>10$  を有する CMOS インバータを安価ガラス基板上で実現することを目指す。これにより、安価ガラス基板上に低価格・低消費電力 IoT エッジデバイスを実現するためのデバイス・イノベーションを実現する。

### 3. 研究の方法

安価ガラス基板上で高移動度を実現するための poly-Si 成長技術は、連続波レーザラテラル結晶化 (CLC) を用いる。これにより移動度  $300 \text{ cm}^2/\text{Vs}$  を実現できる。この結晶化技術は研究代表者が中心になって開発した技術である。また、自己整合的に上下のメタルゲートを有するダブルゲート (DG) LT poly-Si TFT を開発し、更に 4T 化する技術に発展させ、ガラス基板上 (石英) に形成された TFT の  $V_{th}$  を自在に制御する技術を開発した。更に、この技術を利用し、ガラス (石英) 基板上で  $V_{dd}=1.0 \text{ V}$  で動作する CMOS インバータを実現した。これらの成果は全て安価ガラス基板に対応可能な  $550^\circ\text{C}$  プロセスで実現されていることも顕著な特徴である。これらの技術に NC 技術を融合し、高い移動度 ( $>300 \text{ cm}^2/\text{Vs}$ )・精密  $V_{th}$  制御・小さい  $s$  値 ( $<100 \text{ mV}/\text{dec}$ ) の全てを満足させる。

### 4. 研究成果

#### (1) $\text{HfO}_2$ による 4T poly-Si TFT の高性能化<sup>1,2)</sup>

強誘電体  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  の母相である  $\text{HfO}_2$  をゲート絶縁膜として利用し、ガラス基板上で high-k 4T poly-Si TFT を用いた CMOS インバータを実現した。CMOS インバータ高性能化のためには n-ch, p-ch のオン電流および閾値電圧  $V_{th}$  のバランスをとる必要がある。本研究で用いた 4T 構造の TFT は、上下のゲートが独立して駆動することで、一方のゲートでスイッチングを行い、他方のゲートで閾値電圧  $V_{th}$  を制御することが可能である。また、n-ch に対して p-ch のゲート幅  $W$  を 3 倍にすることで、オン電流のバランスをとることができる。この研究では  $W_n=5 \mu\text{m}$ 、 $W_p=15 \mu\text{m}$ 、ゲート長  $L=3 \mu\text{m}$  の high-k 4T poly-Si TFT を作製し、配線により CMOS インバータを形成した。

石英ガラスの基板上に反応性イオンエッチング (RIE) によりボトムゲート (BG) トレンチの形成を行い、スパッタリングによりメタルゲートとしてタングステン (W) の成膜を行う。その後、化学機械研磨 (CMP) により不要なメタルを研磨し BG を形成する。次にプラズマ CVD (PECVD) を用いて BG 酸化膜を  $150 \text{ nm}$  成膜し、アモルファスシリコン (a-Si) を  $75 \text{ nm}$  成膜した。RIE により結晶化アイランドの形成を行ってから CLC 法により結晶化を行い poly-Si 薄膜が形成される。PECVD により TG 酸化膜を  $10 \text{ nm}$  成膜し、反応性スパッタリングにより  $\text{HfO}_2$  を成膜する。次に TG メタル (W) を成膜し、自己整合技術により BG をマスクとした露光を行い、RIE により TG を形成する。SD 形成のため n-ch の場合はリン (P)、p-ch の場合は二フッ化ホウ素 ( $\text{BF}_2$ ) のイオン注入を行う。PECVD により層間絶縁膜  $200 \text{ nm}$  の成膜を行い、 $\text{N}_2$  雰囲気中において  $550^\circ\text{C}$  で  $6 \text{ h}$  の活性化熱処理を行う。次に BG コンタクトホール、TG・SD コ

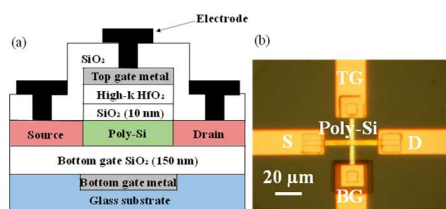


図1 (a) 4T poly-Si TFT の断面構造 (b) n-ch TFT の写真

ンタクトホールを形成。その後、モリブデン(Mo)のスパッタリングを行い、ウェットエッチングにより電極を形成する。最後に水素化処理によりダングリングボンドを終端し、デバイス完成となる。n-ch と p-ch の TFT を配線で接続することで CMOS インバータの測定を行った。図 1 は ガラス基板上の high-k 4T poly-Si TFT の断面イメージ図と作製した  $W_n=5 \mu\text{m}$ 、 $L=3\mu\text{m}$  の n-ch 4T poly-Si TFT のデバイス写真を示す。

CMOS インバータで使用した  $W_n=5 \mu\text{m}$ 、 $L=3 \mu\text{m}$  と  $W_p=15 \mu\text{m}$ 、 $L=3 \mu\text{m}$  の TFT の 4T 動作の伝達特性を図 2 に示す。コントロールゲート電圧  $V_{CG}$  により  $V_{th}$  を制御できることを確認した。図 3 は閾値電圧  $V_{th}$  とコントロール電圧  $V_{CG}$  の関係を表したグラフを示す。図中の  $\gamma$  値は、 $\gamma=|\Delta V_{th}/\Delta V_{CG}|$  で定義されるが、 $\gamma$  (n-ch) = 0.21,  $\gamma$  (p-ch) = 0.14 である。 $V_{in}=0-1.0 \text{ V}$ 、 $V_{CGn}=-2.0 \text{ V}$ 、 $V_{CGp}=-8.0 \text{ V}$  において測定した CMOS インバータの特性を図 4 に示す。論理閾値 0.5 V、ゲイン 13.7 の結果が得られた。この値は世界トップレベルの性能である。図 3 のグラフを  $V_{CGn}=-2.0 \text{ V}$ 、 $V_{CGp}=-8.0 \text{ V}$  まで延長した場合、それぞれ  $V_{thn}=0.2 \text{ V}$ 、 $V_{thp}=-0.5 \text{ V}$  になることから、1.0 V で CMOS が動作することに矛盾はない。

しかし、p-ch の  $V_{thp}$  が負値であり、 $\gamma$  値が小さいため  $V_{dd}=1.0 \text{ V}$  で動作させるためには p-ch TFT の制御ゲートに対して  $V_{CGp}=-8.0 \text{ V}$  という大きい負電圧印加を必要としている。この問題はチャネルドープにより、 $V_{th}$  を全体的に正側にシフトさせることにより解決できると考えている。

## (2) 4T poly-Ge TFT の高性能化<sup>3,4,5)</sup>

強誘電体  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  の母相である  $\text{HfO}_2$  をゲート絶縁膜として利用し、半導体チャネル材料の一つであるゲルマニウム(Ge)やゲルマニウムスズ( $\text{Ge}_{1-x}\text{Sn}_x$ )を利用し、4T TFT を開発し、E/D インバータに応用した。我々は低温プロセスのアプローチの一つとして、銅による金属誘起固相成長(Cu-MIC)法に注目してきた。ここでは、500 °C プロセスで開発された 4T JL Cu-MIC p-ch poly- $\text{Ge}_{1-x}\text{Sn}_x$  TFT の  $V_{th}$  制御性を紹介する。

4T poly- $\text{Ge}_{1-x}\text{Sn}_x$  TFT の TG は  $\text{SiO}_2=30 \text{ nm}$  である。また、BG は  $\text{HfO}_2$  と  $\text{SiO}_2$  の 2 層構造であり、CET は 16 nm である。ゲート長  $L$  とゲート幅  $W$  は  $L/W=20 \mu\text{m} / 10 \mu\text{m}$  である。図 5 は本実験で使用した 4T JL p-ch Cu-MIC poly- $\text{Ge}_{1-x}\text{Sn}_x$  TFT の伝達特性を示している。 $V_{th}$  制御が行われていることがわかる。

同時に Cu-MIC による結晶化のプロセスを in-situ TEM により直接観察した。図 6 は in-situ TEM で観察された結果である。Cu ナノ粒子の周辺にナノ液滴が形成され、それが固化することにより結晶化されることを世界で初めて明らかにした。

## (3) スパッタリングによる高誘電体 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ の形成

負性容量 TFT を実現するための強誘電体  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  系材料の開発に取り組んだ。シングルターゲットのスパッタリング装置を利用している。低抵抗 Si 基板に対してスパッタリング法を利用して TiN 成膜後、 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  の成膜を行い、次に RTA を用いて 700, 750, 800°C において 30 秒の熱処理を行う。その後、上部電極はメタルマスクを利用して Al を真空蒸着により形成

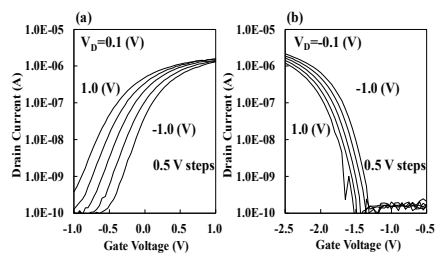


図 2 (a) n-ch 4T poly-Si TFT (b) 4T p-ch poly-Si TFT

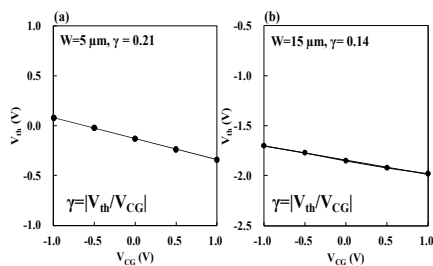


図 3 (a) n-ch 4T poly-Si TFT の  $\gamma$  値 (b) p-ch 4T poly-Si TFT の  $\gamma$  値

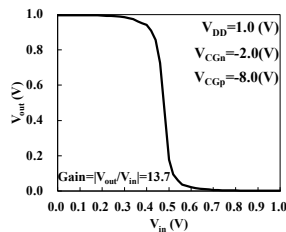


図 4 CMOS インバータ特性

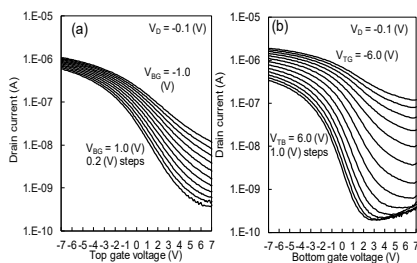


図 5 (a) TG drive (b) BG driv

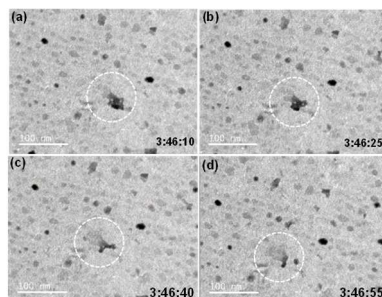


図 6 その場 TEM による結晶化の観測

その後、上部電極はメタルマスクを利用して Al を真空蒸着により形成

している。最後に裏面 Al 電極を真空蒸着により形成し下部電極とした。図 7 は 700, 750, 800°C の熱処理における CV 特性を評価した結果であるが、700, 750°C での CV 特性には強誘電体特性が現れる。一方、800°C のサンプルは強誘電体とは異なっている。また、800°C のサンプルの容量は大きくなっており、変化量も極端に大きい。リーク電流を調べるとリーク電流が増加していることが明らかになった。即ち、800°C では RTA 処理により膜厚が減少し、容量とリーク電流の増加が生じていると考えられる。一方、700, 750°C の RTA では強誘電性が確認されたものの、その特性は弱い。これは成膜材料を変えるたびに大気暴露され、余分な酸化膜が層間に形成されるためと考えられる。

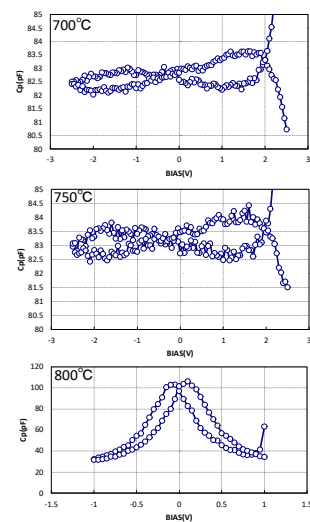


図 7 CV 特性

#### 引用文献

- 1) K. Kudo, J. Kimura, T. Suzuki, N. Nishiguchi and A. Hara, The 28th International Workshop on AMFPD, P-L1, 2021.
- 2) K. Nomura, A. Nagayosi and A. Hara, The 29th International Workshop on AMFPD (July, 2022) にて発表予定
- 3) R. Miyazaki and A. Hara, Jpn. J. Appl. Phys. 59 (2020) 051008.
- 4) A. Hara, H. Suzuki, H. Utsumi, R. iyazaki and K. Kitahara, Jpn. J. Appl. Phys. 59 (2020) 088004.
- 5) K. Kitahara, S. Tsukada, A. Kanagawa and A. Hara, Jpn. J. Appl. Phys. 60 (2021) 035505.

## 5. 主な発表論文等

〔雑誌論文〕 計6件（うち査読付論文 6件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Miyazaki Ryo, Hara Akito	4. 巻 59
2. 論文標題 Four-terminal polycrystalline Ge <sub>1-x</sub> Sn <sub>x</sub> thin-film transistors using copper-induced crystallization on glass substrates and their application to enhancement/depletion inverters	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 051008 ~ 051008
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab8b74	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Hara Akito, Suzuki Hitoshi, Utsumi Hiroki, Miyazaki Ryo, Kitahara Kuninori	4. 巻 59
2. 論文標題 Crystallization of Cu-doped thin Ge film assisted with a Cu-Ge droplet	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 088004 ~ 088004
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/aba6fd	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Kitahara Kuninori, Tsukada Shinya, Kanagawa Akari, Hara Akito	4. 巻 60
2. 論文標題 Raman scattering spectroscopy for solid-phase and metal-induced crystallization of extremely thin germanium films on glass	5. 発行年 2021年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 035505 ~ 035505
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/abe2b7	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Miyazaki Ryo, Hara Akito	4. 巻 -
2. 論文標題 Four-terminal Cu-MIC Poly-Ge <sub>1-x</sub> Sn <sub>x</sub> TFT with a High-k Bottom-gate Dielectric	5. 発行年 2019年
3. 雑誌名 2019 26th International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.23919/AM-FPD.2019.8830606	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kudo Kenta, Kimura Jyunki, Suzuki Takumi, Nishiguchi Naoki, Hara Akito	4. 巻 -
2. 論文標題 Four-Terminal Polycrystalline-Silicon Thin-Film Transistors with High-k HfO2 Dielectric on Glass Substrate	5. 発行年 2021年
3. 雑誌名 2021 28th International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.23919/AM-FPD52126.2021.9499186	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hara Akito, Kitahara Kuninori	4. 巻 -
2. 論文標題 Effects of germanium composition on performance of continuous-wave laser lateral crystallization n-channel polycrystalline silicon-germanium thin-film transistors on glass substrate	5. 発行年 2021年
3. 雑誌名 2021 28th International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.23919/AM-FPD52126.2021.9499190	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計14件 (うち招待講演 0件 / うち国際学会 2件)

1. 発表者名 原 明人、鈴木仁志、北原邦紀
2. 発表標題 Cuナノ粒子を含有するGe薄膜におけるナノスケール液滴による結晶化
3. 学会等名 2020年 秋 応用物理学会
4. 発表年 2020年

1. 発表者名 木村純樹、工藤健太、早坂奏音、原明人
2. 発表標題 ガラス基板上の4端子 poly-Si TFT の高性能化と光センサへの応用
3. 学会等名 2021年東北地区若手研究者研究発表会
4. 発表年 2021年

1. 発表者名 原 明人、北原邦紀
2. 発表標題 ガラス基板上的レーザーラテラル結晶化 poly-Si <sub>1-x</sub> Gex TFT の特性
3. 学会等名 2021年春応用物理学会
4. 発表年 2021年

1. 発表者名 西口尚希、原明人
2. 発表標題 ガラス基板上的high-k絶縁膜を有する4端子低温poly-Si TFTの特性
3. 学会等名 2019年秋季応用物理学会講演会
4. 発表年 2019年

1. 発表者名 Takumi Suzuki, Naoki Nishiguchi, Tadashi Sato, Tetsuo Tabei, Akito Hara
2. 発表標題 Highly Sensitive Four-Terminal Low-Temperature Poly-Si TFT with HfO <sub>2</sub> Gate Stack on Glass Substrate for Extended-Gate pH Sensing
3. 学会等名 The 4th International Symposium on Biomedical Engineering (国際学会)
4. 発表年 2019年

1. 発表者名 E/E Inverter Using Four-Terminal Poly-GexSn <sub>1-x</sub> TFTs on Glass
2. 発表標題 Ryo Miyazaki and Akito Hara
3. 学会等名 The 26th International Display Workshops (国際学会)
4. 発表年 2019年

1. 発表者名 ガラス基板上の自己整合四端子ジャンクションレス p-ch Cu-MIC poly-Ge1-xSnx TFT の E/D インバータ応用
2. 発表標題 宮崎僚、原明人
3. 学会等名 東北支部応用物理学会講演会
4. 発表年 2019年

1. 発表者名 鈴木拓実、小林達也、原明人
2. 発表標題 高誘電率ゲート絶縁膜を利用した4端子低温poly-Si薄膜トランジスタの開発とセンサへの応用
3. 学会等名 令和2年東北地区若手研究者研究発表会
4. 発表年 2020年

1. 発表者名 鈴木拓実、西口尚希、原明人、佐藤旦、田部井哲夫
2. 発表標題 拡張ゲートpHセンサに向けたガラス基板上の4端子低温poly-Si TFT
3. 学会等名 2019生体医歯工学共同研究拠点成果報告会
4. 発表年 2019年

1. 発表者名 宮崎僚、原明人
2. 発表標題 Cu-MIC 4端子poly-Ge1-xSnx TFTの性能およびインバータへの応用
3. 学会等名 2020年春季応用物理学会講演会
4. 発表年 2020年



1. 発表者名 鈴木 翔、冨塚 啓吾、原 明人
2. 発表標題 ガラス基板上の n-ch および p-ch 自己整合ダブルゲート Cu-MIC poly-Ge TFT
3. 学会等名 2022年春応用物理学会講演会
4. 発表年 2022年

1. 発表者名 原明人、 新田誠英
2. 発表標題 High-Kを利用した4端子poly-Si TFTのpHセンサへの応用
3. 学会等名 令和3年度生体医歯工学研究拠点研究報告会
4. 発表年 2022年

1. 発表者名 佐川達、楠浩太郎、原明人
2. 発表標題 ガラス基板上的多結晶SiGe薄膜トランジスタの特性
3. 学会等名 令和4年東北地区若手研究者研究発表会
4. 発表年 2022年

1. 発表者名 鈴木翔、冨塚啓吾、原明人
2. 発表標題 ガラス基板上的自己整合ダブルゲート Cu-MIC n-ch 多結晶ゲルマニウム薄膜トランジスタ
3. 学会等名 令和4年東北地区若手研究者研究発表会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

東北学院大学工学部電気電子工学科教員紹介 原明人  
<https://www.tohoku-gakuin.ac.jp/faculty/engineering/elec/staff/hara.html>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	鈴木 仁志  (Suzuki Hitoshi)  (70351319)	東北学院大学・工学部・准教授    (31302)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------