

令和 4 年 6 月 13 日現在

機関番号：18001

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K11879

研究課題名(和文) CPUとFPGAによる高性能ヘテロジニアス並列分散計算フレームワークの開発

研究課題名(英文) A CPU-FPGA Heterogeneous Parallel and Distributed Computing Framework

研究代表者

長名 保範 (Osana, Yasunori)

琉球大学・工学部・助教

研究者番号：00532657

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：高性能計算システムで現在広く用いられているマイクロプロセッサに代わり、より低消費電力で高いスループットを実現するFPGAベースの計算システムの基盤となるフレームワークの開発を行った。実用レベルでの計算システムの実現に必要なFPGAの自己再プログラム(partial reconfiguration)やFPGA間的高速データ転送の機構をベンダの実装に依存しない形で実現した。また、FPGAを容易にプログラミングする各種のための設計手法についても開発を行った。

研究成果の学術的意義や社会的意義

高性能計算システムの性能向上が消費電力の問題で阻まれるようになった現在、低消費電力な高性能計算システムの実現は喫緊の問題である。FPGAによるカスタムコンピューティングはその解決法の有効な候補のひとつであるが、広く実用化されるには依然としてさまざまなハードルが存在する。本研究の成果は、FPGAによる計算システムを実現するための基盤技術を提供するものであり、高性能システムから小規模な組み込みシステムまで、さまざまな計算システムの構成に用いることができる。

研究成果の概要(英文)：We have developed an FPGA-based parallel and distributed computing framework to achieve higher throughput and lower power consumption than conventional microprocessors. The framework enables transparent self-reprogramming of FPGAs and FPGA-to-FPGA communication in vendor-independent form. Thus, the framework provides essential base features to construct production-level FPGA-based high-performance systems. Also, we have developed several FPGA methods from high-level programming languages for easy application implementation on the framework.

研究分野：計算機システム

キーワード：FPGA 科学技術計算 並列分散コンピューティング

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

## 1. 研究開始当初の背景

デナード則の終焉とムーア則の減速により、従来のようにプロセス技術のスケーリングに乗る形でのマイクロプロセッサの高性能化は困難になりつつある。プロセッサ単体での性能向上が困難になり、高性能コンピューティングにおいてはマルチコア化が進んでいるが、消費電力の壁が高性能化を阻むようになった。GPGPU をアクセラレータとして導入することで多くのスーパーコンピュータが電力対性能比の改善に成功しているが、次の一步として FPGA によるアクセラレーションが有効であると考えられている。

研究開始当初の時点で既に、Microsoft のデータセンターでは FPGA によるアクセラレーションが利用されており、ドイツの Paderborn 大のようにスーパーコンピュータのアクセラレータとして FPGA を導入する事例も見られた。また、本来ロジックデバイスである FPGA のアクセラレータとしての利用を容易化するため、C などの高級言語でデザインエントリするための高位合成ツールも広く使われ始めていた。

商用の開発ツールによって CPU と FPGA が一対になった環境での開発はある程度効率的に行うことができる環境は整いつつあったが、Catapult のように多数の CPU と多数の FPGA から成るシステムにおける開発に応用することは難しい。しかしながら、FPGA によるアクセラレーションの優位性は本来、深いパイプラインによるストリーム計算にあるので、Catapult のように直接のリンクで相互接続された多数の FPGA 上にパイプラインを構成し、このアクセラレータドメインを多数の CPU で共有するのは理にかなっており、このようなシステムでのプログラミング環境の研究が重要である、というのが本研究を開始するにあたっての着想であった。

## 2. 研究の目的

そこで、なるべく商用の開発ツールに依存しない、オープンで拡張可能であり、また他のシステムの開発の際に移植可能なポータビリティを備えた FPGA アクセラレーションのためのツールキットを開発することを本研究の目的とした。ツールキットの目標としては、

- ホスト-FPGA や FPGA-FPGA の通信、FPGA の部分再構成など、計算システムを構成する上で必須の要素をシステムチックに統合して提供する
- 単一の FPGA によるアクセラレーションシステムから、多数の FPGA を備えるクラスタシステムまで幅広く利用できる
- RTL のほか、各種の高位合成ツールによってユーザアプリケーションのアクセラレータを実装可能である
- なるべく特定の FPGA デバイスやベンダによらず、アプリケーションの移植性や異種デバイス間の相互運用性を実現する

といったことを掲げた。これらのことについて、Xilinx 社製の FPGA についてはすでに 2016-2018 年度の科研費によってある程度実現されていたが、高性能 FPGA のもうひとつのベンダである Intel 社製 FPGA については対応が充分でなく、本研究では Intel 社製 FPGA への対応、および両社の FPGA を高速シリアルリンクで相互接続可能にする手法などの実現が目的であった。

また、このような FPGA によるアクセラレーション環境でのアプリケーション実装においては、高位合成技術を用いてソフトウェアとハードウェアを協調設計する手法も重要であり、先進的な設計手法についても研究を行った。

## 3. 研究の方法

研究の基盤となるハードウェア側の面ではまず、本研究グループが開発してきた FPGA クラスタツールキットで FPGA 間的高速シリアルリンクに用いられている Xilinx Aurora 64B66B IP コアに代わるコントローラの実装を行った。同 IP コアの使用するプロトコルは公開されており、これと互換性のあるコントローラを独自に開発し、さらに Intel FPGA にも対応させることで FPGA ベンダに依存しないオープンな FPGA 間相互結合網の実現を目指した。

さらに、FPGA を実運用のシステムでアクセラレータとして使用するには、外部とのインタフェース回路を動作させたままアクセラレータ部分だけを書き換える部分再構成を行う必要がある。これについても Xilinx FPGA ではすでに本研究グループの FPGA クラスタツールキットでも対応していたが、Intel FPGA では先行研究の事例も少なく、Intel Acceleration Stack などベンダ提供のソリューションに頼るのが一般的であった。そこで、Intel FPGA 向けの部分再構成のコントローラと、部分再構成を使用する設計を支援するためのツールの整備を行った。

アプリケーションを実装するための手法の開発の面では、Scala や Ruby ベースの新たな開発手法について検討を行った。これらは実用的な高性能計算アプリケーションを実装するレベルには達していないものの、将来的にクラスタシステム内の複数の FPGA に回路を自動分割する手法などを実現していくためには FPGA ベンダや EDA ベンダに頼らない高位合成ツールを確

立していくことが望ましく、継続的に開発を進めていくことが必要である。

また、アプリケーションの例として、各種の機械学習や画像処理アプリケーション、レーダシステムを実装した。これらのアプリケーションのなかには小規模な FPGA SoC による小型の組み込みシステムをターゲットとするものもあり、FPGA クラスタツールキットを SoC 向けにも応用する検討および必要なシステムの開発も行った。

#### 4. 研究成果

Aurora 64B66B 互換の高速シリアル通信コントローラ Kyokko の開発を 2019 年度より行い、当初は最大 10 Gbps で Xilinx FPGA のみサポート、現在は Intel, Xilinx 両社の FPGA とチャネルボンディングをサポートして最大 100 Gbps での動作を確認している。10 Gbps、単一レーン動作時の通信レイテンシと回路サイズ (LUT 数) は表 1 に示すように、ともに Xilinx から提供される Aurora コアのものより小さく、Aurora コアの置き換え用途として十分な性能を達成することができた。

表 1 Kyokko と Aurora の通信レイテンシと回路サイズ

Device	Core	Latency (ns)	LUTs
Kintex Ultrascale	Kyokko	172.8	557
Arria 10 GX	Kyokko	211.2	638
Kintex Ultrascale	Aurora	254.5	839

Intel FPGA 向けの部分再構成コントローラについても 2021 年度に開発を行い、当初は Cyclone 10 GX で、のちに Arria 10 GX FPGA をサポートした。それ以降の新しい FPGA 製品ファミリーについてもほぼ同様に扱える見込みである。このコントローラは FPGA クラスタツールキットに組み込まれて、あるいは単独でユーザのデザイン内に組み込んで使うことができ、PCIe や高速シリアル通信を経由してビットストリームをロードすることができる。コンフィギュレーションデータをロードする信号の幅は 32bit で、転送速度は表 2 に示すとおりである。USB-JTAG 経由で部分再構成を行う場合 Cyclone 10 GX FPGA では最大 6 MHz (0.75 MB/s)、Arria 10 GX でも 24 MHz (3MB/s) 程度であるのに対して大幅な高速化を達成した。

表 2 Intel FPGA 用部分再構成コントローラの転送速度

Device	転送速度 (MB/s)
Cyclone 10 GX	66.6
Arria 10 GX (33MHz)	133.2
Arria 10 GX (100MHz)	398.6

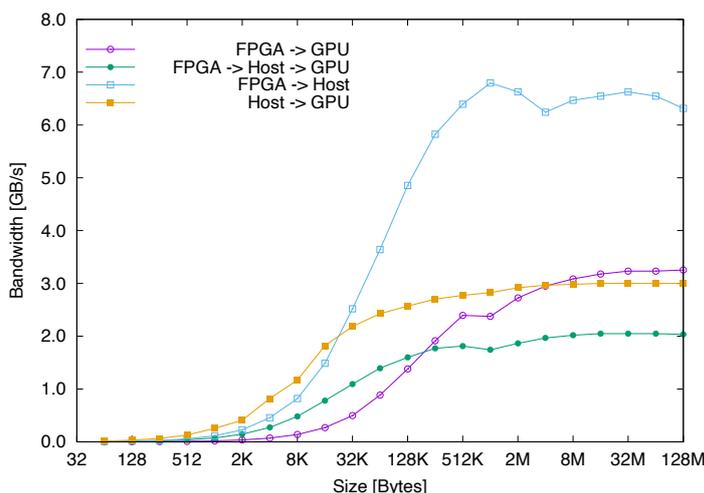


図 1 DMA 転送のバンド幅

さらに、当初の研究計画では CPU と FPGA で構成されるクラスタシステムだけを想定していたものの、FPGA の DMA コントローラをそのまま使用して NVIDIA GPU との直接 DMA を実現する方式について検討を行った。現在、FPGA→GPU の片方向だけであるが転送が実現している。図 1 は、ホスト・GPU・FPGA 間でさまざまな転送バンド幅を測定した結果であり、GPU の PCIe Gen3 x4 の理論転送バンド幅に迫る転送性能を得ている。現在のところ転送可能なのは一方だけであるものの、CPU-GPU-FPGA の 3 者でより高度な処理を担う計算システムの基礎を実現することができた。

アプリケーション領域においては

- Java や Ruby からハードウェアを生成する独自の高位合成ツールの研究
- FPGA SoC 向けに FPGA クラスタフレームワークを応用する研究
- 機械学習やレーダシステムなどのアプリケーションの実装に関する研究

などを行った。FPGA SoC でも FPGA クラスタフレームワークの設計資産が利用できることになったことで、Xilinx Vitis などの商用設計ツールに依存せずにアプリケーションの開発が可能になった。これにより、移植性も向上し、特に、BSP (Board support package)が提供されないボードをターゲットとして実装する際には強力なツールとなる。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 TERUYA Daichi, NAKAJO Hironori	4. 巻 E103.D
2. 論文標題 A Ruby-Based Hardware/Software Co-Design Environment with Functional Reactive Programming: Mulvery	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1929 ~ 1938
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2019EDP7233	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 矢内奎太郎、長名保範、中條拓伯	4. 巻 60
2. 論文標題 Java言語ベース高位合成ツールによる高性能計算の実機による検証	5. 発行年 2019年
3. 雑誌名 情報処理学会論文誌	6. 最初と最後の頁 1360-1369
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計13件（うち招待講演 0件 / うち国際学会 7件）

1. 発表者名 山下遼太, 照屋大地, 中條拓伯
2. 発表標題 Scalaベースハードウェア開発環境における自動アーキテクチャ探索の検討
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 Yasunori Osana, Taisei Imahigashi, and Akinobu Tomori
2. 発表標題 OpenFC: a portable toolkit for custom FPGA accelerators and clusters
3. 学会等名 2020 Eighth International Symposium on Computing and Networking Workshops (CANDARW) (国際学会)
4. 発表年 2020年

1. 発表者名 友利壮敦, 長名保範
2. 発表標題 Kyokko : ベンダ非依存なAurora互換高速シリアル通信コントローラの開発
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 青木政憲, 長名保範
2. 発表標題 末尾再帰による時間並列なステンシル計算パイプラインの高位合成手法
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 Shimon Kudaka, Ai Suzuki, Natsumi Yamada, Noriki Oshiro, Taichi Miyagi and Yasunori Osana
2. 発表標題 Self-Driving Car Application of a Stream-oriented Accelerator Framework
3. 学会等名 2019 International Conference on Field-Programmable Technology (国際学会)
4. 発表年 2019年

1. 発表者名 Yasunori Osana
2. 発表標題 FPGA acceleration: any opportunity in Bioinformatics?
3. 学会等名 Biohackathon '19 Public Symposium (国際学会)
4. 発表年 2019年

1. 発表者名 玉城大地, 長名保範, 藤井智史
2. 発表標題 FPGAによる短波海洋レーダの実現へむけた検討
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2019年

1. 発表者名 長名保範, 大久保慎也
2. 発表標題 Zynq SoCむけユーザレベルゼロコピーDMAドライバの開発
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2019年

1. 発表者名 坂本洋平, 長名保範
2. 発表標題 2次元拡散方程式のヤコビ法陰解法ソルバの高位合成によるストリーム実装
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2019年

1. 発表者名 Xi Sun, Akram Ben Ahmed, and Hideharu Amano
2. 発表標題 Acceleration of deep recurrent neural networks with an FPGA cluster
3. 学会等名 International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART2019) (国際学会)
4. 発表年 2019年

1. 発表者名	Keita Azegami, Kazusa Musha, Kazuei Hironaka, Akram Ben Ahmed, Michihiro Koibuch, Yao Hu, Hideharu Amano
2. 発表標題	A STDM (Static Time Division Multiplexing) Switch on a Multi-FPGA System
3. 学会等名	13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-2019) (国際学会)
4. 発表年	2019年

1. 発表者名	Ryota Yamashita, Daichi Teruya and Hironori Nakajo
2. 発表標題	Parallelization of Recursive Function in Ruby-Based High-Level Synthesis
3. 学会等名	International Conference on Field-Programmable Technology (FPT2019) (国際学会)
4. 発表年	2019年

1. 発表者名	Toan Tran Viet, Nishikawa Rin, Thanh Le Tien, Takemoto Masashi, Hoai Tran Van, Binh Huynh Thi Thanh and Nakajo Hironori
2. 発表標題	Cow estrus detection with low-frequency accelerometer sensor by unsupervised learning
3. 学会等名	The 10th Symposium on Information and Communication Technology (SoICT2019) (国際学会)
4. 発表年	2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

<p>FPGAの高速トランシーバ  <a href="https://www.acri.c.titech.ac.jp/wordpress/archives/category/20q3-03b">https://www.acri.c.titech.ac.jp/wordpress/archives/category/20q3-03b</a>  OpenFC - an Open FPGA Cluster framework  <a href="https://lut.eee.u-ryukyu.ac.jp/openfc/">https://lut.eee.u-ryukyu.ac.jp/openfc/</a>  zFIFO - an AXI DMA driver for Zynq and ZynqMP  <a href="https://lut.eee.u-ryukyu.ac.jp/zfifo/">https://lut.eee.u-ryukyu.ac.jp/zfifo/</a></p>
---

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	天野 英晴  (Amano Hideharu)  (60175932)	慶應義塾大学・理工学部(矢上)・教授    (32612)	
研究分担者	中條 拓伯  (Nakajo Hironori)  (80217736)	東京農工大学・工学(系)研究科(研究院)・准教授    (12605)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関