

令和 4 年 6 月 13 日現在

機関番号：33908

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K11888

研究課題名(和文) 超伝導デジタル回路デバイスのためのパルス論理を活用した論理設計手法の探求

研究課題名(英文) Study on design methods for superconducting digital circuit devices utilizing pulse logic

研究代表者

鬼頭 信貴 (Kito, Nobutaka)

中京大学・工学部・准教授

研究者番号：90630997

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：本研究は超高速かつ省エネルギーな超伝導単一磁束量子(RSFQ)回路のための論理回路の自動設計手法の開発を目的とする。RSFQ回路が電圧パルスを用いる性質を論理設計に積極的に用いることでコンパクトな回路の実現を目指した。RSFQ回路では基本的な論理ゲートそれぞれにクロック入力が必要であり、その配線に大きな面積を要する。特定の条件下においてクロック入力が必要なパルス合流素子によりOR演算が可能であることを利用してクロック入力が必要なゲート数を削減する手法を複数提案した。この他、パルス論理を活用した論理設計の探求のため、パルス論理を生かしたRSFQ回路向け演算回路を提案した。

研究成果の学術的意義や社会的意義

これまで超伝導単一磁束量子(RSFQ)回路の論理設計自動化は散発的に研究されるだけであった。人手による設計ではRSFQ回路特有の素子を活用しコンパクトな回路を設計するが、本研究課題の開始時点では論理設計自動化に導入する方法は明らかでなく、活用できなかった。本研究課題によりCB(confluence buffer)素子等のRSFQ回路の特有の素子を論理回路の自動設計で活用可能になった。また、今後に向けての研究課題の整理が進んだ。本課題進行中にも国内外の半導体の設計自動化の研究者が参入しており、超伝導デジタル回路の設計自動化の研究分野としての確立に貢献した。

研究成果の概要(英文)：We have developed automatic design methods for ultrafast and energy-saving superconducting rapid single flux quantum (RSFQ) circuits. We aimed to realize a compact circuit by utilizing RSFQ circuits' property, i.e., pulse logic utilizing voltage pulses. Each ordinary logic gate of RSFQ circuits has a clock input terminal. The distribution of the clock signal occupies a large circuit area. A unique gate specific to RSFQ circuits that merges voltage pulses of its inputs can realize logic-OR without a clock signal in a specific situation. We have proposed several methods to reduce the number of clocked gates utilizing the unique gate. In addition to the design methods, we proposed arithmetic circuits suitable for pulse-logic to explore the design style of RSFQ logic circuits.

研究分野：計算機システム

キーワード：超伝導デジタル回路 パルス論理 単一磁束量子回路 テクノロジマッピング 設計自動化

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

半導体集積回路における微細化の困難さ、従来の半導体回路での動作周波数向上の困難さが高まってきていた。また、スーパーコンピュータやデータセンタでは巨大な消費電力を消費しているが、気候変動の問題から、省エネルギー化が重要な課題となってきた。この問題から、コンピュータシステムにおける消費エネルギーあたりの演算性能を向上が重要な問題として考えられるようになった。

これらの流れを受け、これまでとは異なる回路デバイスや回路アーキテクチャなどにより大きな性能向上を目指す動きが活発化していた。中でも単一磁束量子回路 (Rapid Single Flux Quantum (RSFQ) 回路) などの超伝導デジタル回路デバイスは、超高速かつ低消費エネルギーを実現できることから性能向上が可能であり、なおかつ、小規模なマイクロプロセッサも実現できていることから、さらなる洗練により実用化も視野に入る段階にあった。米国では IARPA による C3 (Cryogenic Computing Complexity) プログラムなどが実施され超伝導デジタル回路デバイスの研究が大規模に進められていた。

デバイス面での研究にひきかえ、RSFQ 回路などの超伝導デジタルデバイスの回路設計自動化は成熟には遠く、人手による論理設計・レイアウト設計が主に行われていた。デバイスや製造技術の研究進展により大規模回路が実現可能となっても、製造する大規模回路を設計する方法がないという状況であった。このような背景から米国でも IARPA による SuperTools プログラムが C3 とは別に開始されるなど超伝導回路の設計自動化に焦点を当てた研究に注目が集まりつつあった。

RSFQ 回路はパルス状の電圧の有無で論理値の 1, 0 を表現するパルス論理を用いる。論理ゲートのデータ入力端子へのパルスの入力記憶され、論理ゲートが備えるクロック入力端子へのパルス入力をトリガとして演算結果が出力される。各ゲートにクロック信号が必要、各ゲートにおける入力端子へのパルスの到着順序がゲートの論理的な動作に影響を及ぼすなど、回路設計において従来の CMOS 回路と異なる技術的検討が要求される。一方で、人手による設計ではその性質を活用し回路をコンパクトに実現していた。そのような RSFQ 回路の特徴を生かした回路を自動で生成する手法は明らかではなく、自動設計する手法が望まれていた。

2. 研究の目的

RSFQ 回路が電圧パルスを用いる性質を活用することで、基本的な論理ゲートのみを用いた設計よりコンパクトな実現が得られる。例えば、パルスの衝突が生じないことが保証される場合、複数の信号線上のパルスの合流でクロック信号なしで論理和を演算できる。また、set, reset 入力を持ち、これらへの入力が決まる内部状態の値をクロック入力時に出力するフリップフロップは、遅延を調整し端子へのパルス到着順を調整することで NIMPLY と呼ばれる演算 (set・reset) を計算できる。

パルスの合流や、パルス到着順序の調整を用いた論理設計は人手による設計ではよく用いられるが、論理回路の自動設計に活用する方法が明らかでなかった。パルス論理を活用したコンパクトな回路を自動設計する手法の開発が本研究の目的であった。

3. 研究の方法

本研究では、一般的なハードウェア記述言語で記述された回路や基本的論理ゲートで構成された回路を基にパルス論理を活用したコンパクトな回路を自動設計する手法を開発すること、その評価のために設計自動化ツールとして実現することを目指した。これにより、ハードウェア記述言語による記述をもとにツールに入力することで、RSFQ 回路用のセルライブラリを利用して設計されたコンパクトな回路を得られるようにする。

研究開始時点では RSFQ 回路の論理設計自動化全般で研究が十分には行われていなかった。このため、RSFQ 回路に向く回路設計法に関する知見を得るため、RSFQ 回路の性質を生かした回路設計についての検討も合わせて行った。また、RSFQ 論理回路では各ゲートについて、入力端子への電圧パルス到着の順序が論理的な動作に影響を与える。このパルスの到着順も記述可能なネットリストの記述法などの基盤的技術の開発も行った。これらの研究基盤の整備の過程で、パルス論理を活用した算術演算回路や回路の論理シミュレーションツールの開発なども行った。

4. 研究成果

(1) 特別な RSFQ 論理ゲートを活用したテクノロジマッピング手法

RSFQ 回路では基本的な論理ゲートそれぞれにクロック入力が必要である。またそれぞれの

基本ゲートが記憶素子としての機能も持ち、パイプラインステージのように機能する。組合せ回路を設計する際でも、各ゲートでのデータの到着時刻が合うようにパイプライン段数の調整のための記憶素子の挿入が必要となる。段数合わせのために挿入する記憶素子 (DFF) と、クロック信号の配線に大きな面積を要する。

パルスの到着タイミングの工夫によりリセット付きフリップフロップ素子 (Rdff 素子) を NIMPLY ゲートとして使用できること、特定の条件下においてパルス合流素子 (CB 素子) によりクロック信号なしで論理和 (OR) 演算が可能であることを利用してクロック入力が必要なゲート数を削減する論理合成手法をさまざま提案した。

はじめに、既存の CMOS 回路用の論理合成ソフトウェアで生成した、基本論理ゲートのみで構成されたネットリストを入力とする手法を提案した。この手法では、ネットリスト内のゲートについて、Rdff 素子や CB 素子への置き換えが可能か判定し、有効性を判定して置き換えを行うことで RSFQ 回路向けのネットリストを生成する。有効性の判定では回路に挿入する DFF を含めたクロック入力を必要とするゲート数 (クロックトゲート数) を評価する。OR ゲートが CB 素子へ置き換え可能かを SAT ソルバにより判定する手法を示し、手法によるクロックトゲート数の削減を確認した。ここで、回路が大規模すると SAT ソルバの処理時間がのび、さらにゲート数の増加に伴い SAT ソルバの起動回数も増える問題がある。製造後の回路チップの良否判定パターンに用いる自動テストパターン生成ツールを活用し、OR ゲートをふるいにかけ、ソルバの起動回数を削減し高速化する手法の提案も行った。

さらに、CMOS 回路向けの自動設計手法と親和性の高い NIMPLY や CB の導入方法を提案した。論理合成の最終段階であるテクノロジマッピングにおいて、既存の手法と整合性がとれた方法で、CB 素子の導入が可能となる。この手法では、テクノロジマッピングの過程で使用されるスーパーゲートライブラリに対し、CB が適切に使われたスーパーゲートを追加することで CB が適切に使われたネットリストを生成する。テクノロジマッピングを終え出力された回路に対しさらに変換を加える以前の手法と異なり、テクノロジマッピングの過程で CB の導入を扱うためによりよい最適化が可能となる。この提案手法を CMOS 回路向けの論理設計の自動化ツール abc に組み込んだ。その結果、ハードウェア記述言語で記述した回路記述から直接 CB や NIMPLY を含むネットリストを生成できることを確認した。また、CB を含めないで生成した回路より、クロックトゲートが約 30%削減された。

(2) 複雑なパルス到着タイミングを取り扱い可能な回路記述法と論理シミュレーション手法

本研究課題では、パルス論理を活用した RSFQ 論理回路の設計を目指していた。RSFQ 回路の各ゲートにおいてのパルスの到着順序がゲートの論理的動作に影響することを、回路設計に利用する事も検討していた。その際、回路をネットリストとして表現することが難しい場合があった。各ゲートについて簡単なパルスの入力順序があるような RSFQ 論理回路のネットリスト表記法は過去の研究により提案していたが、1クロック周期内に1つのピンに複数回パルスが到着する場合などはこの手法では表現できなかった。

過去の手法を拡張し、1クロック周期内に複数回のパルスが1つのピンに入力されるような複雑なパルス到着順序を持つゲートのある論理回路でも表現可能な回路記述法を提案した。また、この記述法に則って記述されたネットリストを入力とする論理シミュレータの製作を行った。また、開発したシミュレータは、研究コミュニティへの貢献のため GitHub で公開した。

(3) パルス論理を活用した算術演算回路

RSFQ 回路の性質を活用した回路の自動設計手法を開発するにあたり、回路設計の知見を得ることを目的に様々な回路設計を行った。特に、RSFQ 回路が電圧パルスを用いる性質を、0, 1 で構成されるビットストリームを用いて数値を表現し、計算をおこなう Stochastic Computing (SC) へ活用することを検討した。

成果の一つとして、ニューラルネットワーク処理で必要となる行列積演算に着目した、演算精度を変更可能な RSFQ 行列積演算回路がある。この回路内での乗算は確定的な切断乗算と等価な動作であるほか、要求精度に応じて演算精度を変更できる。低精度での計算時には高いスループットが得られる。提案回路では、回路内の複数の乗算回路でパーツを共有することで回路をコンパクト化している。

また、SC に基づく多項式関数の計算回路の設計手法を開発した。正弦関数など様々な実用的に重要な関数は多項式の形で表現でき、その多項式を計算する RSFQ 回路を設計できる。SC では演算に用いるビットストリーム間に相関があると演算精度の低下につながる。D フリップフロップなどの記憶素子を信号線に挿入し、ビットストリームを時間方向にずらすことでこの相関を削減できる。提案手法では、RSFQ 回路の各論理ゲートの入力ラッチ機能を持つことを活用することで D フリップフロップの挿入数を削減し、コンパクトに回路を実現する。

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件 / うち国際共著 0件 / うちオープンアクセス 3件）

1. 著者名 Kito Nobutaka, Takagi Kazuyoshi, Takagi Naofumi	4. 巻 32
2. 論文標題 Logic-Depth-Aware Technology Mapping Method for RSFQ Logic Circuits With Special RSFQ Gates	5. 発行年 2022年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1~5
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2021.3129719	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Kito Nobutaka, Takagi Kazuyoshi	4. 巻 1975
2. 論文標題 An RSFQ flexible-precision multiplier utilizing bit-level processing	5. 発行年 2021年
3. 雑誌名 Journal of Physics: Conference Series	6. 最初と最後の頁 012025 ~ 012025
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1742-6596/1975/1/012025	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Nakamura Shogo, Takagi Kazuyoshi, Kito Nobutaka, Takagi Naofumi	4. 巻 1975
2. 論文標題 A Timing Fault Model and an Efficient Timing Fault Simulation Method for Rapid Single-Flux-Quantum Logic Circuits	5. 発行年 2021年
3. 雑誌名 Journal of Physics: Conference Series	6. 最初と最後の頁 012026 ~ 012026
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1742-6596/1975/1/012026	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Kito Nobutaka, Takagi Kazuyoshi, Takagi Naofumi	4. 巻 30
2. 論文標題 Conversion Method of Netlists Consisting of Conventional Logic Gates to RSFQ Logic Circuits Utilizing Special RSFQ Gates	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1~6
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2020.3012474	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kito Nobutaka, Udatsu Shohei, Takagi Kazuyoshi	4. 巻 1590
2. 論文標題 Logic simulation tool for RSFQ circuits accepting arrivals of multiple pulses in a clock period	5. 発行年 2020年
3. 雑誌名 Journal of Physics: Conference Series	6. 最初と最後の頁 012041 ~ 012041
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1742-6596/1590/1/012041	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

[学会発表] 計11件 (うち招待講演 0件 / うち国際学会 7件)

1. 発表者名 Koki Wada, Nobutaka Kito
2. 発表標題 Compact Stochastic Computing Circuits Using the Latching Function of RSFQ Circuits for Computing Polynomials
3. 学会等名 34th International Symposium on Superconductivity (ISS2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Nobutaka Kito, Kazuyoshi Takagi, Naofumi Takagi
2. 発表標題 Logic-depth-aware technology mapping method for RSFQ logic circuits with special RSFQ gates
3. 学会等名 15th European Conference on Applied Superconductivity (EUCAS2021) (国際学会)
4. 発表年 2021年

1. 発表者名 和田航輝、鬼頭信貴
2. 発表標題 RSFQ回路のラッチ機能を活用したコンパクトな多項式計算Stochastic Computing回路の設計手法
3. 学会等名 2021年電子情報通信ソサイエティ大会
4. 発表年 2021年

1. 発表者名 鬼頭信貴
2. 発表標題 RSFQ Stochastic Computing 回路のための再収斂経路を考慮した演算スケジューリング手法
3. 学会等名 電子情報通信学会 2021年総合大会
4. 発表年 2021年

1. 発表者名 Nobutaka Kito and Kazuyoshi Takagi
2. 発表標題 An RSFQ Flexible-Precision Multiplier Utilizing Bit-Level Processing
3. 学会等名 33rd International Symposium on Superconductivity (ISS2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Nobutaka Kito, Shohei Udatsu, and Kazuyoshi Takagi
2. 発表標題 Logic Simulation Tool for RSFQ Circuits Accepting Arrivals of Multiple Pulses in a Clock Period
3. 学会等名 32nd International Symposium on Superconductivity (ISS2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Kazuyoshi Takagi, Mikihiro Ono, Nobutaka Kito, and Naofumi Takagi
2. 発表標題 Test Pattern Generation for Timing Faults in Rapid Single-Flux-Quantum Circuits
3. 学会等名 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Nobutaka Kito, Takuya Kumagai, and Kazuyoshi Takagi
2. 発表標題 Rapid Single-Flux-Quantum Matrix Multiplication Circuit Utilizing Bit-Level Processing
3. 学会等名 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi
2. 発表標題 Conversion Method of Netlists Consisting of Conventional Logic Gates to RSFQ Logic Circuits Using the Characteristics of Pulse Logic
3. 学会等名 17th International Superconductive Electronics Conference (ISEC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 鬼頭信貴, 高木一義
2. 発表標題 ビットレベル処理を用いたRSFQ可変精度行列乗算器の検討
3. 学会等名 電子情報通信学会 2020年総合大会
4. 発表年 2020年

1. 発表者名 宇田津祥平, 鬼頭信貴
2. 発表標題 クロック周期内での複数パルス出現を考慮したRSFQ回路シミュレーション
3. 学会等名 2019年電子情報通信ソサイエティ大会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

作成した論理シミュレーションツール
<https://github.com/nkito/RSFQLogicSim>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------