

令和 4 年 6 月 23 日現在

機関番号：34406

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K11890

研究課題名(和文) 直接RFサンプリング受信機の低消費電力化とIoT無線端末への応用

研究課題名(英文) A low-power direct-RF sampling receiver for IoT wireless applications

研究代表者

木原 崇雄 (Kihara, Takao)

大阪工業大学・工学部・准教授

研究者番号：10736458

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：1. Simulink上で時間インターリーブA/D変換器(TI-ADC)、受信機、デジタル補正を構成した。補正によりADCから生じる不要波(ADC間のチャンネルミスマッチと3次歪みによる)を除去し、SFDRを54.8 dBから66.7 dBに改善した。
2. 65 nm CMOSプロセスのデザインキットを用いて、ADCの電圧制御発振器(VCO)と受信機を配置配線・論理合成した。受信機内のデシメーション数を2から8に変えることで、デジタル回路の消費電力を15.3 mWから6.9 mWに削減できることを示した。
3. 研究成果を査読付き原著論文(1件)と査読付き国際会議論文(4件)で発表した。

研究成果の学術的意義や社会的意義

時間インターリーブA/D変換器から生じる2種類の不要波(チャンネルミスマッチと3次歪み)を同時にデジタル補正(信号処理)で低減した結果はこれまでになく、本研究の成果は学術的に非常に意義がある。さらに、直接RFサンプリング受信機(GS/s動作)のデジタル回路をこれほどの低消費電力(6.9 mW)で動作させた報告もこれまでにない。本受信機の集積回路(IC)が実用化されれば、無線機器のさらなる普及につながるため、社会的意義も非常に大きい。

研究成果の概要(英文)：1. We designed a time-interleaved analog-to-digital converter (TI-ADC), receiver, and digital corrections on Simulink. The correction removed the mismatch aliasing signals, and harmonic distortion (HD) and intermodulation (IM) products owing to the 3rd-order nonlinearity of the ADC. Simulations showed that the correction improved the two-tone spurious-free dynamic range (SFDR) of a TI-ADC with a sampling frequency of 3,680 MHz from 54.8 dB to 66.7 dB.
2. We synthesized, placed and routed the receiver with voltage controlled oscillators (VCOs) of the TI-ADC by using a design kit of 65-nm CMOS technology. Simulations showed that we decreased the power consumption of the digital circuit from 15.3 mW to 6.9 mW by changing the decimation number from eight to two.
3. We reported these results in one journal paper (IEEE) and four conference proceedings (IEEE, peer-reviewed).

研究分野：集積回路設計

キーワード：直接RFサンプリング受信機 時間インターリーブA/D変換器 デジタル補正 電圧制御発振器

1. 研究開始当初の背景

Xilinx 社が、高速 A/D 変換器 (4.0 GS/s, ADC: Analog-to-Digital Converter) ・ デジタルミキサ ・ デシメーションフィルタが同一チップ上に集積された FPGA (Field-Programmable Gate Array) を発表した (2017 年)。この FPGA は無線 (RF) 信号を直接サンプリングし、低速のデジタルデータに変換できるだけでなく、変復調等に必要なベースバンド回路を無線規格に応じて再構築できる。これらの特徴により無線機能を有した集積回路 (IC) の開発コストと市場投入まで期間を大幅に低減 ・ 削減でき、これまでの携帯電話や無線 LAN、IoT (Internet of Things) 向け機器に用いられていた無線通信の IC 群 1 を 1 つの FPGA で置き換えられる。

しかし、この FPGA には様々な機能 (回路) が搭載されているため消費電力が非常に大きく (数十 W)、現時点では携帯電話の基地局や測定機器などの用途に限られている。機能を限定することで FPGA 全体の消費電力を下げられるが、無線端末向けに応用するには高速 ADC ・ デジタルミキサ ・ デシメーションフィルタで構成される RF 直接サンプリング受信機の消費電力を現状 (1 W 以上) の 1/50 程度にする必要がある。この FPGA 上の RF 受信機が対応できる周波数範囲は非常に広い (0 ~ 2 GHz) が、一般的な無線規格が利用する周波数帯域は限られているため (狭帯域)、その無線端末への応用を考えた場合、広帯域の受信機は必要ない。そのため、狭帯域 (5 MHz 以下) 信号のみに対応することで回路規模を極力小さくし、現在の RF 受信機と同程度の消費電力 (数十 mW) で動作する直接 RF サンプリング受信機を実現できれば、これを集積した FPGA の無線端末への応用が現実的になる。

2. 研究の目的

本研究では、低消費電力 (10 mW) 動作が可能な直接 RF サンプリング受信機を開発する。そして、無線端末向けへの応用例としてサブ GHz 帯 (920 MHz) で動作させ、IoT 向け無線規格に対応できる受信感度 (-90 dBm) を得る。この受信機と FPGA を 1 チップ上に集積することで、無線通信集積回路の開発コストと市場投入までの期間を大幅に低減 ・ 削減できる。

3. 研究の方法

- (1) 電圧制御発振器 (VCO: Voltage-Controlled Oscillator) を用いて ADC を構成し、それらを 4 つ交互に動作させることで低消費電力動作 (6 mW) と高速変換 (3.68 GS/s、ギガサンプル/秒) を両立させる。
- (2) デジタル回路で AD 変換後の信号の周波数とデータレートを変換するとともに、それに含まれる不要な信号成分を除去し、12 ビット相当の信号対雑音電力比 (S/N 比) を得る。
- (3) 直接 RF サンプリング受信機を試作し、サブ GHz 帯 IoT 無線通信を可能にする動作周波数 (920 MHz) と受信感度 (-90 dBm) を 10 mW の消費電力で得られることを実証する。

4. 研究成果

本研究の受信機を図 1 に示す。増幅器 ・ トラックアンドホールド (T&H) ・ 4 チャンネル時間インターリーブ ADC (TI-ADC) ・ 1 次のポリフェーズ CIC (Cascaded Integrator-Comb) フィルタ ($D = 4$) を含む I/Q ミキサ ・ 2 次の再帰型 CIC フィルタ ($D_1 = 2, 4, 8$) ・ 3 次の再帰型 CIC フィルタ ($D_2 = 2$) ・ ハーフバンドフィルタ (HBF) ・ デジタル補正回路から構成され、TI-ADC のサンプリング周波数 f_s を $f_s/32D_1$ に下げる。デシメーション数 D_1 を 2, 4, 8 と変えることで 57.5 MHz, 28.75 MHz, 14.375 MHz の帯域幅をもつ変調波に対応できる。

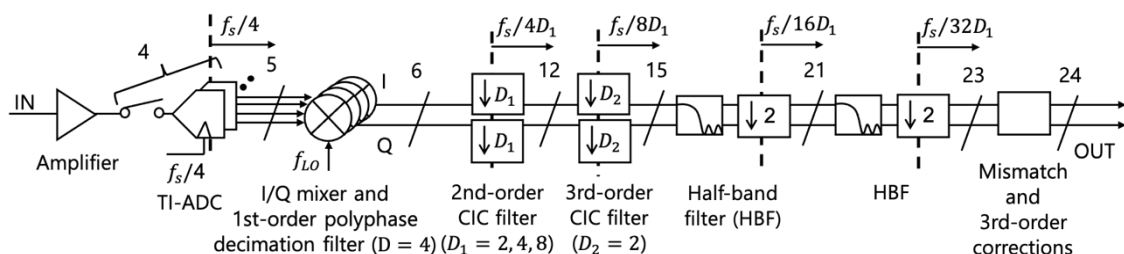


図 1. 直接 RF サンプリング受信機のブロック図

VCO で構成した ADC (VCO ベース ADC) を 4 つ交互に動作させることで低消費電力動作 (6 mW) ・ 高速サンプリング (3.68 GS/s) ・ 高い分解能 (12 ビット) を同時に得ている。VCO ベース ADC は低消費電力動作に適し、さらに低周波領域での量子化雑音を抑圧する。この A/D 変換器を 4 つインターリーブ動作させると $f_s/4$ 近傍の雑音を低減できるので、 $f_s/4$ を受信信号の周波数 ($f_{in}=920$ MHz) と等しくすることで S/N 比を向上させられる。

デジタルミキサとデシメーションフィルタ内で高速に動作する回路ブロックを減らし、これら

を低消費電力で動作させている。上記のサンプリング周波数 ($f_s/4 = f_{in}$) により、入力信号と±1の乗算という簡易な演算でミキサを実現した。また、初段のデシメーションフィルタのデシメーション数を可変 (D1) とし、信号の帯域幅に応じて後段のクロック周波数を変える。さらに、次数が高く回路構成が複雑なデシメーションフィルタをデータレートが低い後段に配置させる。

VCO ベース ADC を $f_s = 4f_{in}$ でインターリーブ動作させることで様々な利点が得られるが、各 ADC の特性ミスマッチによるエイリアスと、VCO の非線型性による 3 次高調波歪みが受信機の S/N 比を劣化させる。本受信機では、デシメーションフィルタ後のデジタル補正 (信号処理) によりこれらの不要な信号成分を取り除いている。デシメーション後の信号から不要信号成分のみを取り出し、それを適切に増幅した後に元の信号から引く手法を採用した。

この受信機の有効性を、MathWorks 社の MATLAB/Simulink と Cadence 社 AMS (analog/mixed-signal) シミュレーターを用いてシステムレベルと回路レベルの両面から検証した。表 1 にシミュレーション条件を示す。回路レベルのシミュレーションでは、アナログ回路 (低雑音増幅器・T&H・VCO・サンプラー・クロック生成回路) を 65 nm CMOS プロセスを用いて設計し、デジタル回路 (位相検出器・微分器・ミキサ・フィルタ) はハードウェア記述言語 (Verilog-HDL) で書いた。Synopsys 社 Design Compiler と IC Compiler II を用いてデジタル回路を論理合成し、さらに配置配線した。その時の条件 (920 MS/s・SS・0.9 V 電源電圧・125°C) でタイミング制約を満たした。通常条件 (920 MS/s・TT・1.0 V 電源電圧・25°C) で全消費電力 (動的と静的を合わせた) を求めたところ、デシメーション D1 が 2、4、8 のときにそれぞれ 15.3 mW、9.7 mW、6.9 mW であった。

表 1. MATLAB/Simulink と Cadence AMS シミュレーターでのシミュレーション条件

Simulator	Parameter	Variable	Unit	Value	
Common	Number of data	N_D	-	2^{21}	
	Sampling frequency	f_s	MHz	4×920	
	Frequencies of input two-tone signal	f_{in1}	MHz	924.04	
		f_{in2}	MHz	925.84	
	Power of input one-tone signal	P_{in1}, P_{in2}	dBm	-40.0	
	Adaptive step size	Mismatch	μ_M	-	2^{-32}
		Nonlinearity	μ_N	-	2^{-68}
MATLAB/Simulink	Gain of LNA	-	dB	20	
	IIP ₃ LNA	-	dBm	-0.50	
	VCO gain coefficient	Bias	$a_{VCO,0}$	THz/V	0.088
		1st-order	$a_{VCO,1}$	THz/V	-0.669
		2nd-order	$a_{VCO,2}$	THz/V	1.995
		3rd-order	$a_{VCO,3}$	THz/V	-2.947
		4th-order	$a_{VCO,4}$	THz/V	-2.194
5th-order	$a_{VCO,5}$	THz/V	-0.662		

補正回路により、ミスマッチエイリアス信号、そして 3 次高調波と 3 次相互変調波 (HD3、IM3) が量子化雑音の大きさまで小さくできる。図 2 に、補正回路の入出力のデータをそれぞれ高速フーリエ変換 (FFT : Fast Fourier Transform) して得られたスペクトラムを示す。このとき、TI-ADC には 2 トーン信号を入力している。図より、その 1 トーン信号 (5.84 MHz) の大きさは変化していないが、ミスマッチエイリアス信号 (-5.84 MHz) が -80.8 dBFS から -102 dBFS に小さくなっていることがわかる。さらに、HD3 (-17.52 MHz) が -100 dBFS に、IM3 (7.64 MHz) が -95.1 dBFS に減っていることもわかる。本研究の補正回路により、2 トーン SFDR が 54.8 dB から 66.7 dB に向上できた。

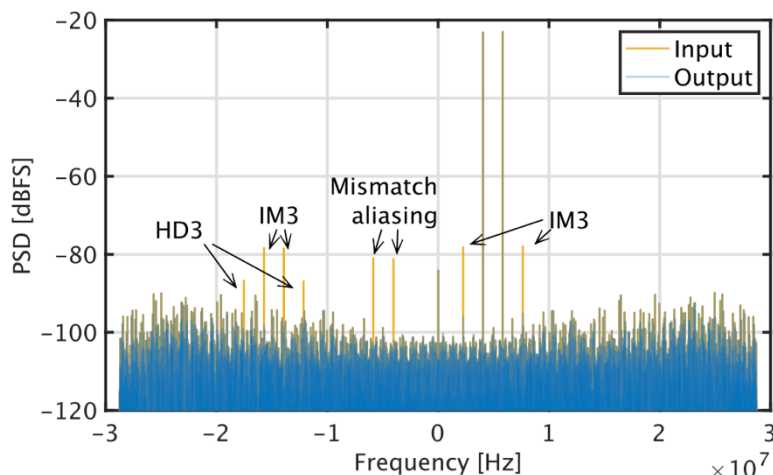


図 2. 補正回路の入出力のスペクトラム (MATLAB/Simulink によるシミュレーション結果)

表 2 に本研究の受信機とこれまで報告されている RF 受信機の性能を示す。本受信機は他の直接 RF サンプリング受信機[1]-[3]と比較してより狭帯域の信号しか扱えないが、最も低消費電力で動作できる。さらに、デシメーションを動的に変えることで、受信機の消費電力をさらに 8.0 mW 削減できる。

表 2. RF 受信機の特長比較

Items	This work	E. Martens [1]	R. Nanda [2]	C. Erdmann [3]	
Architecture	Direct-RF	Direct-RF	Direct-RF	Direct-RF	
Blocks	LNA, T&H, clock gen., ADC, mixer, CIC, HBF	$\Delta\Sigma$ ADC, clock gen., mixer, CIC, HBF	Mixer, CIC, IP, GC, HBF	ADC, PLL, mixer, NCO, decimators, FIFO	
CMOS technology [nm]	65	45	65	16 (FinFET)	
RF center frequency [MHz]	920	2220	1000–2700	3500	
Sampling rate of TI-ADC [MS/s]	3680	8880	2700	4423	
SINR@BW [dB]	61.5°@7.1 MHz	42@80 MHz	72@20 MHz	57.3@2.2 GHz	
Power consump.	Analog/Digital [mW]	5.5 / 5.1 (4.1)	163.5 / 14.3	N/A / 14	424 / 323
	Dynamic reduction	Yes*	No	No	No
Chip area [mm ²]	0.24 [†]	0.4	0.4	>0.45	
Measured	No	Yes	Yes	Yes	

表 3 に本補正回路と従来の補正回路の比較を示す。本回路だけが TI-ADC のミスマッチと 3 次非線形性の自動（バックグラウンド）補正に成功している。本手法は 3 次だけでなく 5 次の非線形性にも拡張することができるが、論理ゲート数と消費電力が増える。しかし、これらの増加はより微細なプロセス（40 nm 以下など）を用いることによって抑えられる。

表 3. TI-ADC 向け補正回路の性能比較

	This work	Ref. [4]	Ref. [5]
Architecture	Adaptive filter	LUT, tunable delays	Adaptive filter
External signal	No	CW	No
Mismatch correction for TI-ADC	Background	Offline	Background
Nonlinearity correction	Background*	Offline	No
Sampling freq. of (TI-)ADC, f_s [MHz]	3,680	5,000	2,900
Operating freq. [MHz]	57.5 (f_s/D)	625 (f_s/N)	f_s
Power consumption [mW] @ Supply voltage [V]	4.3@1.0	2.7@0.9	N/A
Verification method/chip	Simulated/Custom	Measured/Custom	Simulated [†] /N/A

参考文献

- (1) E. Martens, et. al., “RF-to-baseband digitization in 40 nm CMOS with RF bandpass $\Delta\Sigma$ modulator and polyphase decimation filter,” *IEEE J. Solid-State Circuits*, vol. 47, no. 4, pp. 990–1002, Apr. 2012.
- (2) R. Nanda, H. Chen, and D. Markovic, “A low-power digital front-end direct-sampling receiver for flexible radios,” in *Proc. IEEE Asian Solid-State Circuits Conf.*, Jeju, Korea, Nov. 2011, pp. 377–380.
- (3) C. Erdmann, et. al., “A modular 16nm direct-RF TX/RX embedding 9GS/S DAC and 4.5GS/S ADC with 90dB isolation and sub-80ps channel alignment for monolithic integration in 5G base-station SoC,” in *Symp. VLSI Circuits Dig. Tech. Papers*, Jun. 2018, pp. 219–220.
- (4) M. Baert and W. Dehaene, “A 5-GS/s 7.2-ENOB time-interleaved VCO-based ADC achieving 30.5 fJ/cs,” *IEEE J. Solid-State Circuits*, vol. 55, no. 6, pp. 1577–1587, Jun. 2020.
- (5) S. Singh, et. al., “Frequency response mismatches in 4-channel time-interleaved ADCs: Analysis, blind identification, and correction,” *IEEE Trans. Circuits Syst. I*, vol. 62, no. 9, pp. 2268–2279, Sep. 2015.

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 Takao Kihara	4. 巻 1
2. 論文標題 Digital Background Correction for Channel Mismatch and Third-Order Nonlinearity of TI-ADCs with VCOs	5. 発行年 2021年
3. 雑誌名 Proc. 2021 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)	6. 最初と最後の頁 113-116
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/APCCAS51387.2021.9687812	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Yuka Nakamatsu, Takao Kihara	4. 巻 1
2. 論文標題 Dynamic Reduction of Power Consumption in Direct-RF Sampling Receivers with Variable Decimation	5. 発行年 2020年
3. 雑誌名 Proc. 2020 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)	6. 最初と最後の頁 54-57
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/APCCAS50809.2020.9301704	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Kihara Takao, Takahashi Tomoya, Yoshimura Tsutomu	4. 巻 66
2. 論文標題 Digital Mismatch Correction for Bandpass Sampling Four-Channel Time-Interleaved ADCs in Direct-RF Sampling Receivers	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Circuits and Systems I: Regular Papers	6. 最初と最後の頁 2007-2016
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCSI.2019.2903650	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Isobe Yuma, Kihara Takao	4. 巻 1
2. 論文標題 First-Order Recursive CIC Filters in Time-Interleaved VCO-Based ADCs for Direct-RF Sampling Receivers	5. 発行年 2019年
3. 雑誌名 Proc. 2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)	6. 最初と最後の頁 25-28
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/APCCAS47518.2019.8953087	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kihara Takao, Miyakoshi Keisuke, Yoshimura Tsutomu	4. 巻 1
2. 論文標題 Digital Third-Order Nonlinearity Correction for Time-Interleaved A/D Converters with VCOs	5. 発行年 2019年
3. 雑誌名 Proc. IEEE International Symposium on Circuits and Systems (ISCAS)	6. 最初と最後の頁 1-4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ISCAS.2019.8702509	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計7件 (うち招待講演 1件 / うち国際学会 0件)

1. 発表者名 仲松佑花, 木原崇雄
2. 発表標題 可変デシメーションとA/D変換器のミスマッチ補正を有する直接RFサンプリング受信機
3. 学会等名 2022年電子情報通信学会総合大会
4. 発表年 2022年

1. 発表者名 仲松佑花, 木原崇雄
2. 発表標題 可変デシメーションを用いた直接RFサンプリング受信機における消費電力の動的削減
3. 学会等名 電子情報通信学会 学生・若手研究会
4. 発表年 2020年

1. 発表者名 仲松佑花, 譜久山篤也, 磯部佑真, 木原崇雄
2. 発表標題 VCOベースA/D変換器の可変デシメーションによる直接RF サンプリング受信機の低消費電力化
3. 学会等名 2020年電子情報通信学会総合大会
4. 発表年 2020年

1. 発表者名 譜久山篤也, 木原崇雄,
2. 発表標題 電圧制御発振器を用いたSub-GHz帯直接サンプリング時間インターリーブA/D変換器
3. 学会等名 電子情報通信学会 学生・若手研究会
4. 発表年 2019年

1. 発表者名 磯部佑真, 木原崇雄
2. 発表標題 VCOベースADCを用いた直接RF サンプリング受信機における1次再帰型CICフィルタの配置
3. 学会等名 令和元年電気関係学会関西連合大会
4. 発表年 2019年

1. 発表者名 木原崇雄, 磯部佑真, 磯部佑真
2. 発表標題 直接RFサンプリング受信機の低消費電力化技術
3. 学会等名 令和元年電気関係学会関西連合大会 (招待講演)
4. 発表年 2019年

1. 発表者名 木原崇雄, 宮腰佳祐, 吉村勉
2. 発表標題 電圧制御発振器を用いた時間インターリーブA/D変換器における3次非線形性のデジタル補正
3. 学会等名 LSIとシステムのワークショップ2019
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------