

令和 3 年 6 月 18 日現在

機関番号：54301

研究種目：若手研究

研究期間：2019～2020

課題番号：19K14976

研究課題名（和文）誤点弧ロック現象の発見と解明

研究課題名（英文）The discovery and elucidation of locked false turn on phenomenon

研究代表者

七森 公碩 (Nanamori, Kimihiro)

舞鶴工業高等専門学校・その他部局等・講師

研究者番号：30824057

交付決定額（研究期間全体）：（直接経費） 2,600,000円

研究成果の概要（和文）：次世代半導体デバイスであるGaNを用いた半導体はシリコンに代わる高効率かつ高周波駆動可能な半導体として注目を集めている。一方で誤点弧と呼ばれる問題がGaN半導体の普及を妨げている。本研究では誤点弧に似た誤点弧ロック現象を確認したため、その発生原因の解明と抑制方法を提案する。成果として、誤点弧ロック現象はゲートループと呼ばれる電流が流れる経路のインダクタンスが原因で発生することが確認された。そのため、このインダクタンスが増加しないように配線を短くする、近接配線をしない、もしくは配線幅を大きくすることにより抑制が可能である。以上を満たすことで誤点弧ロック現象は抑制可能となる。

研究成果の学術的意義や社会的意義

GaN半導体はとても小さく、それ故に配線が狭小となり、誤点弧や誤点弧ロック現象を引き起こす。一般に誤点弧が発生すると、半導体に過電流が流れて破損するのに対し、誤点弧ロック現象はすぐには壊れないが効率低下や低寿命化という形で影響が表れる。そのため誤点弧は防げたが高効率とならぬという問題が発生してしまい、結局GaN半導体を使うメリットが無くなってしまふ。したがって、本研究の成果を用いて誤点弧ロック現象を抑制することで、本来GaNの持つ優れた特性を發揮することができるようになる。これにより、GaN半導体を用いた電力変換器の普及を促進することが可能である。

研究成果の概要（英文）：GaN-based semiconductors, which is a next-generation semiconductor device, are attracting attention as a high-efficiency, high-frequency-drive alternative to silicon. On the other hands, a problem called “false turn-on” has hindered the widespread use of GaN semiconductors. In this study, “locked false turn-on phenomenon” resemble “false turn-on” was confirmed, therefore we propose the elucidation of the cause and the suppression method. As a result, locked false turn-on phenomenon occurs due to the increasing inductance of current flow path, called gate loop inductance. Therefore, it is possible to suppress this phenomenon by shortening the wiring, not using proximity wiring, or increasing the pattern width so that the inductance dose not increase. By satisfying the above condition, the false turn-on phenomenon can be suppressed.

研究分野：パワーエレクトロニクス

キーワード：誤点弧ロック現象 誤点弧 GaN 近接配線

1. 研究開始当初の背景

(1) 持続可能な開発目標(SDGs)達成に向けた小型・高効率電力変換器の必要性

SDGsで設定された目標の⑦エネルギー、⑬気候変動、⑮陸上資源に対して、地球温暖化ガスを削減する取り組みが世界各国で行われている。その取り組みの一つとして、パリ協定では地球温暖化ガスの主要排出国に具体的な数値目標を設けている。その削減目標を達成するため、『新エネルギー開発』や『自動車の電動化』などが求められている。また、欧州では2021年までに自動車メーカーが発売する新車はCO₂総平均値を95g/kmまで下げることが決定している。そこで近年注目を集めているのが図1に示す48Vバッテリーを搭載した48Vマイルドハイブリッドシステムである。このシステムを用いることで従来まで12Vバッテリーを充電していたモータの出力を大きくすることが出来るため、回生エネルギーの回収率増加やエンジンアシストによるエンジンの小型化を実現可能となる。これによりCO₂排出量削減と燃費向上を図る。しかし、12Vと48Vを繋ぐDC/DCコンバータと呼ばれる電力変換器が追加で必要となり、この機器の小型・軽量化、高効率化が求められている。

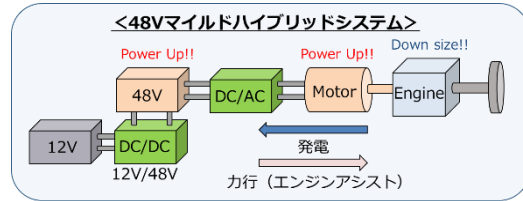


図1 48Vマイルドハイブリッドシステム

一方で新エネルギー開発では太陽光発電システムで雲等による部分影の影響で発電量の低下が問題となっている。太陽電池は直列に接続されているため太陽電池モジュール一つが部分影で隠れるだけで出力電力が大幅に低下してしまっていた。これに対してマイクロインバータと呼ばれる電力変換器を用いることで太陽電池モジュール一枚ごとの電圧安定化を実現でき、部分影による影響を最小限にとどめる方法がとられている。この方法により従来まで数百Vの直流電圧を使用していたものが数十Vまで低下したため、安全面も向上した。また、図2に示すように従来型では数百Vの電圧を一括してAC200V等に降圧していたため、電力変換器での損失が大きくなっていたのに対し、マイクロインバータ方式では電力変換器は数十Vオーダのため損失も小さくすることが出来る。しかし、回路数増加に伴いマイクロインバータの効率が直接太陽光発電システムの効率を決めると言ってもよいほど重要になっている。そのため、マイクロインバータの高効率化が求められている。

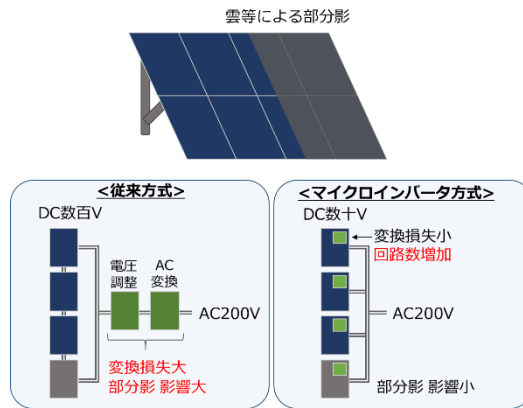


図2 太陽光発電システムの低電圧分散化

上述したような48Vマイルドハイブリッドシステムや太陽光発電システムの低電圧化により数十V程度の低電圧電力変換器の高効率化が多くアプリケーションで求められている。

(2) 電力変換器の高効率化を実現する新素材半導体 GaN の問題

近年注目されている窒化ガリウム (GaN) は低電圧かつ高周波での動作に優れており、従来のシリコンに比べて非常に高効率で高速な動作を可能とする素材である。そのため、前述したような電力変換器への応用が期待されている。しかし、GaNの急峻な電圧・電流変化により基板内の寄生インダクタンスの誘起電圧が非常に大きくなり、それが原因で『誤点弧』と呼ばれる問題を誘発することが確認されている。GaNを用いたスイッチの一つのGaN FETを例にとると、GaN FETのゲート・ソース間に電圧を印加し、GaN FET (スイッチ)の閾値電圧を超えることでスイッチはオフ状態からオン状態へと変化する。しかしながら回路内寄生インダクタンス等で発生した電圧により、このゲート・ソース間の電圧が変動し、スイッチオフ時にゲート閾値電圧を超えて誤ってオン状態となる。この現象を『誤点弧』と呼ぶ。DC/DCコンバータやインバータなどといった回路で、図3に示すスイッチが直列接続される構造(ハーフブリッジ回路)が多く用いられている。本構造を持つ場合、誤点弧によって両スイッチがオン状態となり、短絡を引き起こす。この短絡によりスイッチに過電流が流れ、スイッチの破壊を招いてしまう。従って回路安定動作・高効率化のためには防ぐ必要がある現象である。この誤点弧を起こさないために現在まで多くの研究が行われている。[1]-[3]

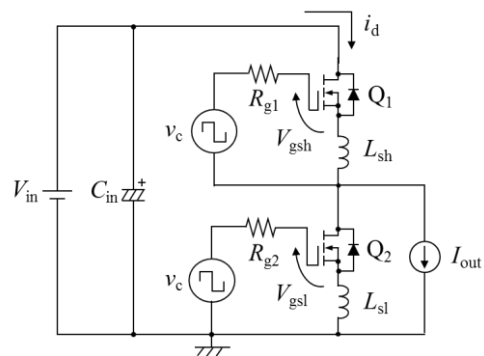


図3 ハーフブリッジ回路

2. 研究の目的

(1) 『誤点弧ロック現象』発生原理の解明

一方のスイッチがターンオンする際に発生する電圧変動の解析を行ったところ、他方のスイッチのゲート・ソース間電圧がスイッチのゲート閾値電圧に近い電圧を一定期間保持する『誤点弧ロック現象』を確認した。図4に誤点弧ロック現象を示す。図内における波形は図3に示す Q_1 , Q_2 のゲート・ソース間電圧をそれぞれ v_{gsh} , v_{gs1} とし, Q_1 ドレイン電流を i_d としている。図に示すように Q_1 がターンオンしたタイミングで Q_2 のゲート電圧 v_{gs1} が上昇し, 閾値電圧 V_{th} 付近で一定期間電圧を保持している。また誤点弧ロック現象の始まりと同タイミングで直前まで減少していた i_d が再び上昇している。さらに, ゲート・ソース間電圧が誤点弧ロック現象によってスイッチがオフするまでの時間も長くなっている。これにより Q_2 に発生する損失であるスイッチング損失が増加してしまう。スイッチングの増大は回路の効率低下やスイッチの破壊を引き起こすため, この誤点弧ロック現象の発生原理を解明する必要がある。

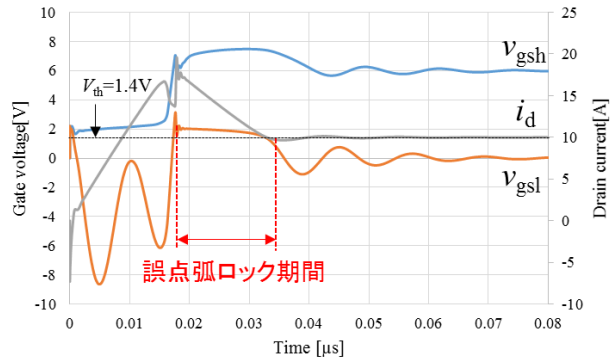


図4 誤点弧ロック現象

(2) 『誤点弧ロック現象』のモデル化と抑制

誤点弧ロック現象はスイッチのパッケージ内部で発生する可能性があり, パッケージ内部で発生すると, オシロスコープ等で誤点弧ロック現象が観測されないのにスイッチが焼損するといった問題が起こりうる。そのため, 誤点弧ロック現象のモデル化が出来る現実には観測しづらい現象を計算上で観測することが可能となる。したがって, この現象についての詳細な解析を行い, 回路寄生成分とパッケージ内のゲート・ソース間電圧の変化を導出可能な数式モデルを提案し, 誤点弧ロック現象抑制法の提案を行う。

3. 研究の方法

(1) 『誤点弧ロック現象』発生原因

シミュレーションソフト LTSpice を用いて GaN のデバイスモデルを提供している GaN Systems 社および EPC 社の GaN を用いてシミュレーションを行い, 多種類の GaN で誤点弧ロック現象が発生するかを確認する。その後回路寄生成分である寄生インダクタンスの値を変化させて, どのような原因で誤点弧ロック現象が発生するかを特定する。以上の方法で GaN FET で誤点弧ロック現象を確認が出来た後に実機で発生条件の検証を行う。

(2) 『誤点弧ロック現象』の抑制条件

シミュレーションを用いてスイッチの各端子に接続される寄生インダクタンスと誤点弧ロック現象との関係を解析する。それにより, ゲート電圧波形が誤点弧ロック現象となった際の寄生成分の値を求めることで発生境界条件を特定する。また実機でも同様に誤点弧ロック現象が抑制されるかどうかの検証を行う。

(3) スイッチ内部のゲート・ソース間電圧の数式モデルの提案

回路寄生成分を等価回路化し, 過渡解析を行うことでパッケージ内部のゲート・ソース間電圧を模擬する。この解析結果によりゲート・ソース間電圧の数式モデルを導出する。この数式モデルの妥当性を検証するため, 実機での確認を行う。

4. 研究成果

(1) 『誤点弧ロック現象』発生原因と発生確認

LTSpice を用いて, EPC 社製 EPC2001 および GaN Systems 社製 GS61008P の両方で誤点弧ロック現象を確認した。続いて, ゲート電流が流れるゲートループを短く設計することができるケルビンソース端子を持つ GS61008P を使用して実験を行った。回路内寄生成分を考慮した等価回路は図5に示す回路となる。また, 実験には2種類の回路を用意し, ゲート配線と主回路配線との距離が 0.5mm と近傍に配置したものと 5.8mm と遠方に配置したものを用意した。これにより, ゲート配線と主回路配線の配線間の距離によって発生する相互インダクタンスの影響を検証することが可能である。実験回路を図6に, 実験結果を図7に示す。ここで経路1が配線間距離 0.5mm, 経路2が配線間距離 5.8mm の波形である。図より, ①および

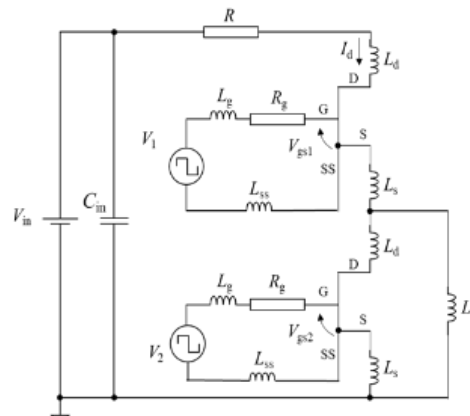


図5 寄生成分を考慮した等価回路

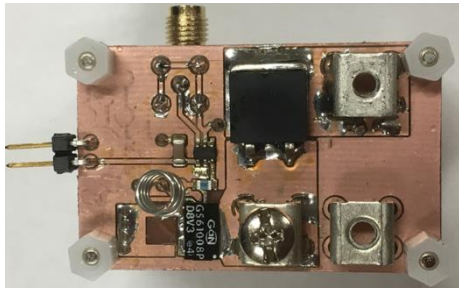


図6 実験回路

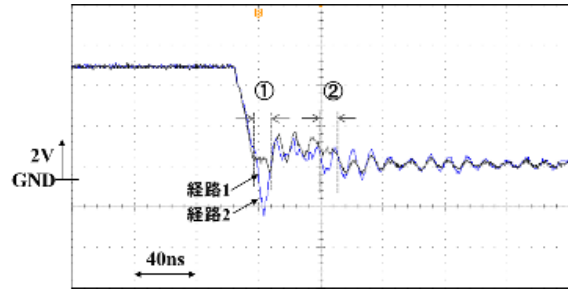


図7 配線距離を変化させた際のゲート・ソース間電圧波形

②の区間において波形変化が発生している。配線距離が近い経路1の方が配線間の相互インダクタンスの影響が表れ、ゲート・ソース間電圧が増加していることが分かる。②の区間では誤点弧ロック現象が現れるタイミングでのゲート電圧上昇が確認できた。経路1と経路2の違いは図5におけるソースインダクタンス L_s とケルビンソースインダクタンス L_{ss} の結合度 k の違いのみにあることから、ゲート配線に存在するケルビンソースインダクタンス L_{ss} の増加が誤点弧ロック現象の主要因であることが明らかになった。

続いて、ゲート配線と主回路配線の距離を一定にし、主回路配線の配線幅を編子した際のゲート・ケルビンソース間電圧波形の影響検証を行った。実験波形を図8に示す。配線幅は0.75mm、2.3mm、3.0mmの3種類で実験を行った。結果として配線幅0.75mmの際にターンオフ時のゲート・ケルビンソース間電圧が閾値電圧付近まで上昇し、単純振動でない電圧波形を観測した。今回の実験の結果から、配線幅に関しても相互インダクタンスによる影響が強く表れた。以上より配線距離および配線幅がゲート・ケルビンソース間電圧波形に大きな影響を及ぼし、誤点弧ロック現象となりうる電圧変動を引き起こすことが確認された。

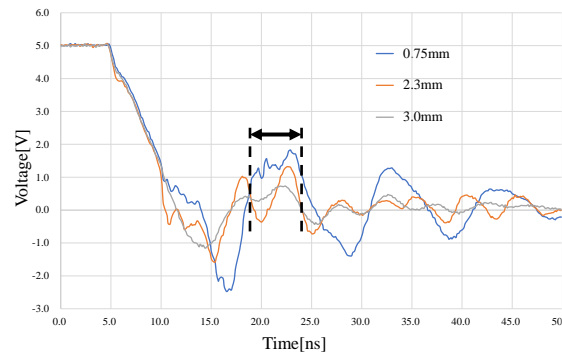


図8 配線幅を変化させた際のゲート・ソース間電圧波形

(2) 『誤点弧ロック現象』の抑制条件の部分特定

(1)より GaN デバイスなどの小型デバイスに実装されるケルビンソース端子を用いてソースインダクタンスを低減した場合においても回路基板の配線の近接によって誤点弧ロック現象が発生することを確認した。以上より、主回路配線とゲート配線距離を取り、配線幅を大きくすることでケルビンソースインダクタンスを低減し、誤点弧ロック現象を抑制することが可能となる。また、抑制方法の一つとしてゲート配線と主回路配線が形成する相互インダクタンスが同極性とならないようにすることで、ゲート・ケルビンソース間電圧の上昇を抑制することができる。

(3) 数式モデル構築のための新等価回路の提案

上記の(1)(2)より、ソースインダクタンスとソース側に発生する相互インダクタンスによる影響を考慮しなくてはならないことが明らかになったため、それらを考慮した新等価回路を提案した。等価回路を用いたゲート・ソース間電圧のモデル式の導出までは行うことが出来ていない。

以上の成果は、現在までに詳細に解析されていなかった誤点弧ロック現象の発生原因を明らかにし、GaN デバイスを用いた電力変換器の応用を可能にする基礎技術の確立に貢献したと言える。また今後は回路寄生成分と GaN デバイスの寄生成分のみで誤点弧ロック現象を抑制できる数式モデルを提案することで、高効率電力変換器の普及の一助となると考える。

参考文献

- [1] J. Chen, Q. Luo, J. Huang, Q. He, P. Sun and X. Du, "Analysis and design of an RC snubber circuit to suppress false triggering oscillation for GaN devices in half-bridge circuits", IEEE Trans. Power Electron., vol. 35, no. 3, pp. 2690-2704, Mar. 2020.
- [2] R. Xie, H. Wang, G. Tang, X. Yang, K.J. Chen, "An Analytical Model for False Turn-On Evaluation of High-Voltage E-Mode GaN Transistor in Bridge-Leg Configuration", IEEE Trans. Power Electronics, vol. 32, no. 8, pp. 6416-6433, Aug. 2017.
- [3] Hirokatsu Umegami, Hiroki Ishibashi, Kimihiro Nanamori, Fumiya Hattori, and Masayoshi Yamamoto, "Basic Analysis of False Turn-on Phenomenon of Power Semiconductor Devices with Parasitic Inductances", IET Electronics Letters, Vol. 52, No. 13, pp. 1158-1160, 2016.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 碓井璃菜・七森公碩
2. 発表標題 GaN HEMTの誤点弧ロック現象に関する研究
3. 学会等名 パワーエレクトロニクス学会第231回 定例研究会
4. 発表年 2019年

1. 発表者名 碓井璃菜・松本瀬名・七森公碩
2. 発表標題 近接配線によるゲート電圧保持現象の検証
3. 学会等名 令和2年電気学会全国大会
4. 発表年 2020年

1. 発表者名 熊谷鷹・七森公碩・内海淳志・中川重康
2. 発表標題 GaNデバイスの並列接続時における特性差の検証
3. 学会等名 令和2年度第3ブロック専攻科研究フォーラム
4. 発表年 2021年

1. 発表者名 松本瀬名・七森公碩
2. 発表標題 近接配線によるゲート電圧保持現象の検証
3. 学会等名 令和3年電気学会全国大会
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------