

令和 3 年 4 月 12 日現在

機関番号：12601

研究種目：若手研究

研究期間：2019～2020

課題番号：19K15021

研究課題名（和文）Hf系強誘電体ゲートFETのチャネル伝導機構の解明と人工神経回路網への応用

研究課題名（英文）Understanding Channel Conductance Mechanism of Hf-based Ferroelectric-gate FETs
Toward the Artificial Neural Network Application

研究代表者

トープラサートポン カシディット（Toprasertpong, Kasidit）

東京大学・大学院工学系研究科（工学部）・助教

研究者番号：00826472

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究はAIハードウェアを構成するハフニア系強誘電体トランジスタの特性改善を目指してプロセス設計と動作機構の解明に成功した。強誘電体トランジスタの作製プロセスにおけるトレードオフを克服し、優れた入出力特性とメモリ特性をもつ強誘電体トランジスタの作製工程を確立した。また、強誘電体トランジスタを評価する新規の測定手法を提案して、内部で起こる物理現象と動作メカニズムを解明することで、用途に応じたデバイスの設計指針を確立した。

研究成果の学術的意義や社会的意義

本研究で達成した強誘電体トランジスタの動作機構の解明と設計指針の確立により、強誘電体材料分野、固体物理分野、電子デバイス分野、およびAI分野をはじめとする幅広い研究分野に有意義な知見を得た。次世代メモリや次世代AIハードウェアとして世界中の企業等が検討し始めて期待されているこの材料・デバイスの基礎研究を行い、技術の基盤を作ったことで、技術の実用化と早期普及につながると期待される。

研究成果の概要（英文）：This research aims to improve the hafnia-based ferroelectric transistors for AI hardware, particularly focusing on clarifying the device operation mechanism and establishing the device design guideline. We have established the method to avoid the severe tradeoff during fabrication process of ferroelectric transistors and demonstrated devices with excellent device performance and memory properties. We propose novel evaluation methods that reveal the physical phenomenon and device operation mechanism in ferroelectric transistors, which provides a device design guideline depending on the applications.

研究分野：電子デバイス

キーワード：強誘電体FET FeFET AI計算 HZO 界面

1. 研究開始当初の背景

ニューラルネットワークの演算処理技術により高性能な画像認識や高度な問題解決などが多く報告され、幅広い分野から注目を集めている。技術の急速な発展は CPU や GPU の計算処理能力の向上によって支えられてきたが、既存のコンピュータで計算されている以上は、演算を行うにはメモリの読み書きを行うという方式が採用されており（ノイマン型）、ニューラルネットワークの計算処理が非効率的になっているという課題が残っている。

そこで、プログラム可能な抵抗素子による行列配置を用いることで、頻繁なデータ転送をすることなく高速に学習・積和演算を行うことができ、高い処理速度とエネルギー効率のニューラルネットワーク演算が可能となると期待される。この抵抗素子はニューラルネットワーク演算のシナプス部分に相当し、実装に向けて様々な不揮発性メモリが検討されている。その中で、半導体表面における反転層のコンダクタンスを高速に制御でき、さらに広範囲のコンダクタンス（最大値/最小値の比 >100）を実装できる強誘電体ゲートトランジスタ（FeFET）がシナプス素子の実現に適した性質を持っている（図1）。特に CMOS 技術と優れた親和性を有し、十ナノメートル程度の厚さでも明瞭な強誘電特性を示す $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 強誘電体材料をゲート絶縁膜とし、CMOS 技術の標準であるシリコンをチャンネル材料とした FeFET を用いることで、高集積度のハードウェアによるニューラルネットワークの実現可能性が示された。

$\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2/\text{Si}$ の FeFET をシナプス素子として実装するにはデバイスの入出力特性を正確に理解し、制御技術を確立する必要がある。しかしながら当時では、動作の実験的な検証が多く報告されているものの、FeFET の動作機構に関する学理が確立されておらず、特に強誘電体と半導体との界面で起こっている現象が十分に理解されていなかったため、デバイスの設計が困難であった。このように、FeFET 内で起こっている物理現象およびデバイス特性に及ぼす影響を明らかにすることが求められる。

2. 研究の目的

上述の背景を踏まえて、本研究は $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ をゲート絶縁膜とした FeFET のデバイス動作と物理機構を明確化し、それに基づいてデバイスの設計指針を確立することを目指した。この最終的に達成するためには

- (1) 強誘電分極と反転層電荷を直接観測する測定手法を構築すること
 - (2) 強誘電分極と反転層電荷の挙動を明確化し、デバイス動作を明らかにすること
 - (3) 強誘電分極とシリコンチャンネルとの界面特性を調べ、メモリ特性との関係性と改善方法を確立すること
- を目指した。

3. 研究の方法

(1) 強誘電分極と反転層電荷を直接観測する測定手法の構築

FeFET における強誘電分極と反転層電荷の挙動を観察するために、準静的 Split $C-V$ 法、4 端子分極特性測定法を構築して提案し、磁界下のホール測定と組み合わせることで分極と電荷を定量的に抽出することができることを提唱した。

(2) 強誘電分極と反転層電荷の挙動とデバイス動作を決定する物理機構の明確化

提唱した測定手法を、実際に作製した n チャンネルおよび p チャンネルの $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2/\text{Si}$ FeFET に適用することで強誘電分極・電子・正孔・トラップ電荷の関係および動作中の電界分布を明らかにし、界面付近で起こっている物理現象の理解を深めた。特に n チャンネルで電子、p チャンネルで正孔を評価できることに着目し、電子と正孔が強誘電分極に応答する振る舞いを明らかにした。実験結果に基づいて巨大な強誘電分極がどのように状態遷移をし、どのようにデバイス動作およびメモリ特性に影響するかの機構を明らかにした。

(3) 強誘電体/半導体の界面特性の明確化と改善方法の確立

様々な強誘電体デバイス構造（金属/強誘電体/金属、金属/強誘電体/半導体、金属/強誘電体

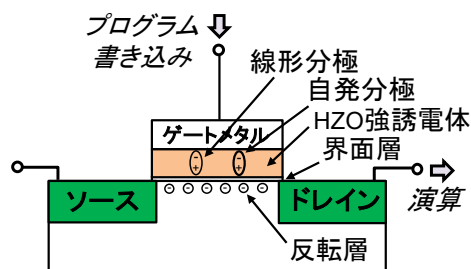


図1 強誘電体ゲートトランジスタ (FeFET) と動作を決定する機構

/高不純物濃度の半導体、および FeFET) を、異なるプロセス条件で作製し、界面特性の評価を行った。プロセスは特に強誘電体を結晶化するための熱処理の温度をパラメータとし、300°C、400°C、500°C、600°C、700°C とした。界面特性の評価には、金属/強誘電体/半導体の構造に容量解析 (C-V 解析) を適用して界面準位密度の評価を行い、さらに透過電子顕微鏡 (TEM) により界面層の観察を行った。また FeFET の電気特性であるメモリウィンドウを評価し、界面特性がメモリ性能に及ぼす影響を系統的に調べた。

4. 研究成果

(1) 強誘電分極と反転層電荷を直接観測する測定手法の構築

FeFET のゲート絶縁膜として取り入れている強誘電体膜の分極状態を測定するために 4 端子分極測定法 (図 2 左) を提案し、これまで測定できなかった分極状態を、任意のゲート電圧の状態ですべて観測できるようになった。この測定法により、FeFET の分極状態としきい値電圧の関係を調べられるようになり、FeFET のメモリ特性が明らかになることに加えて、これまで物理機構が明らかにされていなかった強誘電体・負性容量 FET の物理機構の明確化の手がかりになると期待される。

通常、MOSFET (常誘電体をゲート絶縁膜としたトランジスタ) のゲートの下に誘起される電荷を Split C-V 法で評価できることが知られている。しかし、強誘電体は常誘電体と異なり、ヒステリシス効果と非線形効果を有するため、通常の MOSFET で用いられてきた Split C-V 法が FeFET に適用できなくなる。Split C-V 法の代わりに強誘電分極のヒステリシス効果を考慮した準静的 Split C-V 法を提案し (図 2 中央)、FeFET のゲートの下に誘起される電荷を正確に測定できる手法を確立した。

一方、準静的 Split C-V 法で測定している電荷は総電荷であり、つまり自由電荷と捕獲電荷の総和を測定している。自由電荷だけを抽出する手法としてホール測定が知られており、ゲート電圧を印加しながらこのホール測定を行うと、ゲートの下に自由電荷も測定することができる。この測定のためには FET 構造に追加のホール端子 (図 2 右の V_H が接続している 2 つの端子) を付け加えた構成にする必要がある。

この 3 つの手法を用いることで、FeFET における「分極状態」、分極に誘起される「自由電荷」、分極に誘起される「総電荷」を測定できるようになった。さらに総電荷が自由電荷と捕獲電荷の総和であることから、分極に誘起される「捕獲電荷」も解析によって求めることができる。ここでいう捕獲電荷は、強誘電体膜とチャンネル材料の間に捕獲されている電荷のことを指している (図 1 にある界面層付近に捕獲されている電荷)。

(2) 強誘電分極と反転層電荷の挙動とデバイス動作を決定する物理機構の明確化

強誘電分極の電気力線を終端するのに、通常は同じだけの電荷が上下に誘起されるはずである。Hf_{0.5}Zr_{0.5}O₂ 強誘電体の分極量が 10 $\mu\text{C}/\text{cm}^2$ 程度であるため、同じ電荷である 10 $\mu\text{C}/\text{cm}^2$ (面密度に換算すると 1 平方センチメートル当たり 10^{14} 個の電荷に相当; 以降 10^{14} cm^{-2} と表記) が上下に誘起されると期待される。図 2 で提案した手法を用い、FeFET における分極・自由電荷・捕獲電荷の評価を行った結果、ゲート電圧が正の場合 (強誘電分極が下に向く状態) では自由電荷が 10^{12} cm^{-2} 程度しか検出されおらず、理論で期待される数値よりも 2 桁小さい (図 3 上)。これは、図 3 に示したように強誘電分極が誘起している電荷が自由電荷にならず、捕獲電荷になってしまうことに起因する。この 10^{14} cm^{-2} 程度の捕獲電荷は従来の MOSFET では通常起こらず、異常なほど高い密度であり、強誘電体特有の効果であることが示唆された。強誘電分極が自由電荷を誘起するのではなく、巨大な捕獲電荷を誘起していることにより、FeFET の出力電流 (自由電荷に比例) が理論値よりも小さくなってしまふことになるが、逆に分極による電気力線を終端する電荷が近くにあるため (図 3 上を参照)、分極に電界がかかりやすくなり、良いメモリ特性につながるということが分かった。正の電圧で動作する n チャンネル FeFET のメモリ特性が優れており、低電圧動作でもメモリウィンドウが 2V ほどあることをよく説明できている。

一方、負のゲート電圧の場合 (強誘電分極が上に向く状態) では、捕獲電荷がほぼ観測されなかった (図 3 下)。捕獲電荷が極めて少ないことにより、強誘電分極が誘起する電荷のほとんどが自由電荷になり、大きな反転層電荷密度が形成されることが実験的に明らかになった。しかし、強誘電分極から出てくる電気力線が遠くにある自由電荷で終端されるため、途中の電圧降下が生じ、強誘電体膜に電界があまりかからないことから、強誘電分極が上に向く状態ではメモリ特

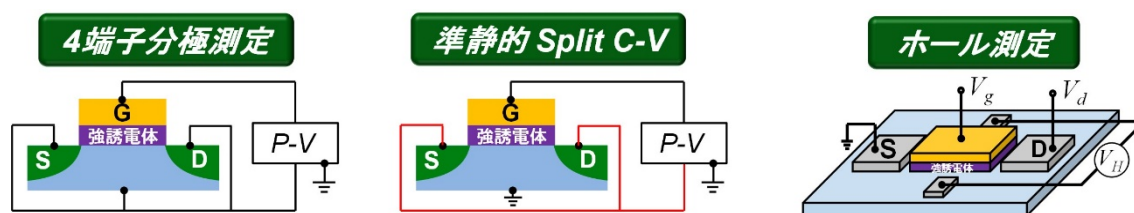


図 2 本研究で初めて提案した FeFET 機構解析の測定手法

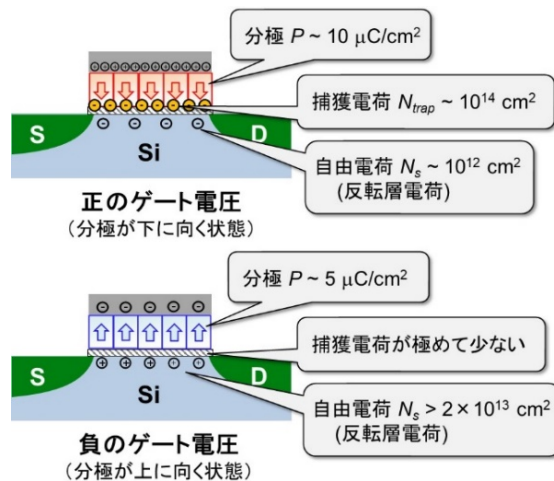


図3 明らかになった FeFET における分極と電荷分布

性が良くないことが示唆された。負の電圧で動作する p チャネル FeFET のメモリ特性が良好でないことが、今回得られた知見でよく説明できる。

このように、分極、電荷の分布、分極と電荷のカップリングの様子を明らかにしたことにより、デバイス動作やメモリ特性をよく説明できるようになった。Hf_{0.5}Zr_{0.5}O₂/Si FeFET で起こっている現象の知見により、界面層やチャネル材料をエンジニアリングする際に重要なガイドラインになる。

(3) 強誘電体/半導体の界面特性の明確化と改善方法の確立

FeFET を作製する際に、Hf_{0.5}Zr_{0.5}O₂ の強誘電性を現す直方晶（ここで強誘電相という）を結晶化させる必要があり、Hf_{0.5}Zr_{0.5}O₂ をシリコン上に堆積した工程の後に行う熱処理が重要となる。その熱処理温度が 300°C 程度と低い場合は結晶化が十分に行われず、強誘電特性が得られない。これは図 4 左に示した負のメモリウィンドウに相当する。それに対し、400°C で熱処理を行うと強誘電相が結晶化し、正のメモリウィンドウ、つまり強誘電性ヒステリシスが確認された。しかし、熱処理温度を高くしてしまうとメモリウィンドウがかえって減少する傾向が見られた。透過電子顕微鏡で確認すると図 4 右で示された通り、高い温度で熱処理が施された試料では Hf_{0.5}Zr_{0.5}O₂ 強誘電体とシリコンの間に厚い界面層が確認され、熱処理中にシリコン表面が酸化されたことが分かった。容量解析を行うと、高温になるとともに形成された界面層が高い界面準位密度を有することが分かった。

通常、強誘電相を結晶化するのに高い温度の熱処理過程が必要であるが、結晶化と界面特性のトレードオフを克服するために、その熱処理の温度を結晶化できる最低温度にすることが好ましいことが分かった。この現象は金属/強誘電体/金属構造を有する通常の強誘電体メモリでは見られないが、金属/強誘電体/半導体構造を有する FeFET 特有の現象で、強誘電体と半導体との界面特性がメモリ特性に直接影響するため特に注意が必要であることが示唆された。本研究で作製した Hf_{0.5}Zr_{0.5}O₂/Si FeFET ではその最適な温度が 400~500°C 程度であることが分かり、その温度で結晶化して作製した FeFET が優れたメモリ特性（メモリウィンドウが 2 V 程度）を示した。

本研究の研究成果により、FeFET のメモリ動作において強誘電体と半導体との界面が重要な役割をしており、界面における捕獲電荷および界面準位密度を制御することにより FeFET のメモリ特性を改善することが可能であることが明らかになった。この知見の元にストレージクラスメモリ素子および AI ハードウェアの鍵として期待されている FeFET の設計指針を確立し、次世代コンピューティングの発展に貢献した研究成果である。

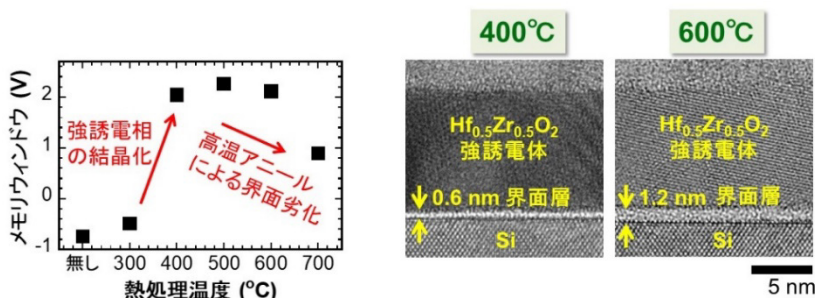


図 4 異なる熱処理温度による（左）メモリ特性の挙動と（右）界面層の違い

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Kasidit Toprasertpong, Kento Tahara, Taichiro Fukui, Zaoyang Lin, Kouhei Watanabe, Mitsuru Takenaka, Shinichi Takagi	4. 巻 41
2. 論文標題 Improved Ferroelectric/Semiconductor Interface Properties in Hf0.5Zr0.5O2 Ferroelectric FETs by Low-Temperature Annealing	5. 発行年 2020年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1588 ~ 1591
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LED.2020.3019265	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kasidit Toprasertpong, Kento Tahara, Mitsuru Takenaka, Shinichi Takagi	4. 巻 116
2. 論文標題 Evaluation of polarization characteristics in metal/ferroelectric/semiconductor capacitors and ferroelectric field-effect transistors	5. 発行年 2020年
3. 雑誌名 Applied Physics Letters	6. 最初と最後の頁 242903 ~ 242903
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/5.0008060	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計11件（うち招待講演 3件 / うち国際学会 6件）

1. 発表者名 K. Toprasertpong, K. Tahara, T. Fukui, Z.-Y. Lin, K. Watanabe, M. Takenaka, and S. Takagi
2. 発表標題 Critical impact of ferroelectric-phase formation annealing on MFIS interface of HfO ₂ -based Si FeFETs
3. 学会等名 2020 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4. 発表年 2020年

1. 発表者名 K. Toprasertpong, Z.-Y. Lin, T.-E. Lee, M. Takenaka, and S. Takagi
2. 発表標題 Asymmetric polarization response of electrons and holes in Si FeFETs: Demonstration of absolute polarization hysteresis loop and inversion hole density over $2 \times 10^{13} \text{ cm}^{-2}$
3. 学会等名 2020 Symposia on VLSI Technology and Circuits (国際学会)
4. 発表年 2020年

1. 発表者名	S. Takagi, K. Toprasertpong, K. Tahara, E. Nako, R. Nakane, Z. Wang, X. Luo, T. E. Lee, and M. Takenaka
2. 発表標題	HfZrO-based ferroelectric devices for lower power AI and memory applications
3. 学会等名	240th ECS Meeting (招待講演) (国際学会)
4. 発表年	2021年

1. 発表者名	K. Tahara, K. Toprasertpong, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka, and S. Takagi
2. 発表標題	Strategy toward HZO BEOL-FeRAM with low-voltage operation (≤ 1.2 V), low process temperature, and high endurance by thickness scaling
3. 学会等名	2021 Symposia on VLSI Technology and Circuits (国際学会)
4. 発表年	2021年

1. 発表者名	S. Takagi, K. Toprasertpong, K. Kato, K. Sumita, E. Nako, R. Nakane, K.-W. Jo, and M. Takenaka
2. 発表標題	Advanced CMOS technologies for ultra-low power logic and AI applications
3. 学会等名	IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2021 (招待講演) (国際学会)
4. 発表年	2020年

1. 発表者名	トープラサートボン カシディット, 田原建人, 福井太一郎, 林早ザオヤーン, 渡辺耕坪, 竹中充, 高木信一
2. 発表標題	HfO ₂ 系FeFETにおける結晶化アニール温度とSi界面特性のトレードオフ
3. 学会等名	第68回応用物理学会春季学術講演会
4. 発表年	2020年

1. 発表者名 トープラサートボン カシディット, 林ザオヤーン, 李宗恩, 竹中充, 高木信一
2. 発表標題 Si強誘電体FETにおける強誘電分極に誘起される反転層電荷の振る舞い
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 トープラサートボン カシディット, 林ザオヤーン, 李宗恩, 竹中充, 高木信一
2. 発表標題 Si強誘電体FETにおける強誘電分極・反転層電荷・トラップ電荷のカップリングとメモリ特性への影響
3. 学会等名 電子情報通信学会 ICD/SDM/ITE-IST研究会 (招待講演)
4. 発表年 2020年

1. 発表者名 K. Toprasertpong, M. Takenaka, and S. Takagi
2. 発表標題 Direct observation of charge dynamics in FeFET by quasi-static split C-V and hall techniques: Revealing FeFET operation
3. 学会等名 2019 IEEE International Electron Devices Meeting (国際学会)
4. 発表年 2019年

1. 発表者名 トープラサートボン カシディット, 竹中充, 高木信一
2. 発表標題 強誘電体FETのMOS界面における電荷分布の評価とデバイス動作の理解
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 トープラサートボン カシディット, 田原建人, 福井太郎, 竹中充, 高木信一
2. 発表標題 TiN/Hf0.5Zr0.5O2/Si MFSキャパシタの電気特性に与える基板タイプの影響
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------