

令和 4 年 5 月 29 日現在

機関番号：37111

研究種目：若手研究

研究期間：2019～2021

課題番号：19K15458

研究課題名（和文）プラスチック基板上における金触媒を用いたn型ゲルマニウム結晶の低温形成技術の開発

研究課題名（英文）Development of a method for low-temperature fabrication of crystalline n-type germanium layers on plastic substrates with a gold catalyst

研究代表者

笠原 健司（Kasahara, Kenji）

福岡大学・理学部・助教

研究者番号：00706864

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では研究代表者が開発した多層金誘起層交換成長(ML-GIC)法を改良し、n型Ge結晶の低温形成を目指して、Ge結晶膜中の欠陥起因の正孔濃度の低減を試みた。具体的には、従来のML-GIC法で用いていた(a-Ge/Au)x多層構造の代わりに、a-Ge中にAuをドーピングしたGeAu層を用いた。GeAu層を用いたGICでも、X線回折法や電子線後方散乱分光法などにより(111)配向したGe結晶層の形成が確認された。しかしながらGeの結晶サイズは~120 μmと従来のML-GIC法の1/8程度の大きさしかなく、また正孔濃度も結晶サイズの低下に伴う結晶粒界の増大の影響で増加する結果となった。

研究成果の学術的意義や社会的意義

従来の多層金誘起層交換成長(ML-GIC)法で用いていた(a-Ge/Au)x多層構造の代わりに、a-Ge中にAuをドーピングしたGeAu層を用いたGICプロセスにおいても(111)配向したGe結晶層の形成が確認されたことは、Ge結晶の低温形成の作製工程を大幅に簡素化できたという意味で産業応用的に意義深い結果であると言える。

研究成果の概要（英文）：In this research, we improved the multi-layer gold-induced layer exchange growth (ML-GIC) method, which is developed by the principal investigator, and tried to reduce the hole concentration caused by defects in the Ge crystal film for aiming at low-temperature formation of n-type Ge crystals. Instead of the (a-Ge / Au) x multilayer structure used in the conventional ML-GIC method, an a-Ge layer doped Au, namely a GeAu layer, was used. Even in GIC using the GeAu layer, the formation of a (111) oriented Ge crystal layer was confirmed by X-ray diffraction and electron backscatter spectroscopy methods. However, the size of the Ge grains is about 120 μm, which is about 1/8 times as large as that for the conventional ML-GIC method, and the hole concentration also increases due to the increase in grain boundaries caused by the decrease in crystal size.

研究分野：半導体物性

キーワード：ゲルマニウム 低温形成 金誘起層交換成長

1. 研究開始当初の背景

近年、プラスチックや薄いガラス板といった簡単に手で曲げられるフレキシブルな基板の上に、ディスプレイやセンサーなどを搭載し、既存の電子機器のフレキシブル化や、ウェアラブル機能の付加、そして超軽量化などを試みようとする「フレキシブルエレクトロニクス」という研究分野が注目されている(Fig. 1)[1, 2]. 既に実用化されている様々な種類の電子素子をプラスチックなどの軟化温度が低い材料(~300°C)の上に作製するためには、当然ながら、それらのプロセス温度を軟化温度以下にする必要がある。これまでに、低温作製でも比較的高い移動度が実現できるアモルファス酸化半導体や有機物半導体を用いることで、スイッチング用の薄膜トランジスタ(TFT)[3]や発光ダイオード[4]などをプラスチック基板上に形成したという報告が数多くなされており、一部は既に実用化もなされている。最近では巨大磁気抵抗(GMR)素子や磁気トンネル接合(MTJ)素子の低温作製に関する報告も増えており[5, 6], フレキシブル基板の磁気メモリやスピントルク発信器や、基板のフレキシブル性を生かした歪みセンサ[7, 8]などへの応用も期待されている。一方で、これらの電子デバイスを動作させるためには、それらを適切に駆動し、信号や情報を高速に処理する、大規模集積回路(LSI)に代表される、システム部が必須となる。しかし、高い性能が要求されるシステム部を300°C以下という低温で作製することは、既存の技術では非常に難しく、現状ではディスプレイ部やセンサー部などと、システム部は別々の基板上に形成し、後から配線で繋ぐしか方法がない。もし、ディスプレイ部やセンサー部と、システム部を同一基板上に形成し、一体化できれば、フレキシブル電子デバイスのさらなる省スペース化や機器の軽量化、ウェアラブル性の向上など様々な性能向上が期待できる。[9, 10]

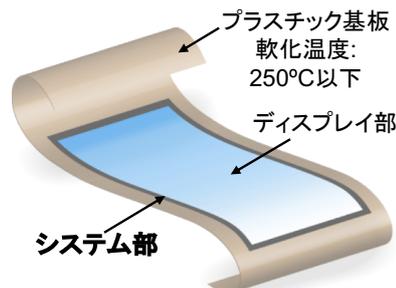


Fig. 1 曲げられるプラスチック基板上に『ディスプレイ部』と『システム部』を一体化させたフレキシブルシステムインディスプレイ。[1,2] ディスプレイのフレキシブル化と共に省スペース化や超軽量化が期待できる。

このシステム部の半導体チャネル材料の候補としては、現在の LSI のチャネル材料に適用されている Si(電子移動度 $\mu_n \sim 1400 \text{ cm}^2/\text{Vs}$, 正孔移動度 $\mu_p \sim 470 \text{ cm}^2/\text{Vs}$)や、次世代 LSI のチャネル材料として期待されている Ge($\mu_n \sim 3900 \text{ cm}^2/\text{Vs}$, $\mu_p \sim 1900 \text{ cm}^2/\text{Vs}$)といったIV族系の無機半導体材料が挙げられる。しかしながらこれらの半導体材料は、300°C以下の低温で何の工夫もせずに形成した場合、微結晶の集まりであるアモルファス(a-)という状態になり、その電気伝導特性は単結晶に比べて大きく劣化し、全くその性能を発揮できないことがよく知られている ($\mu_n, \mu_p < 0.1 \text{ cm}^2/\text{Vs}$)。すなわち、プラスチック基板などの上において、その軟化温度(300°C)以下という低温で Si や Ge などを結晶化させ、いかに単結晶に近い電気伝導特性を実現できるかがこのデバイス実現への鍵となる。最近、a-Si/ AlO_x /Al/絶縁性基板, a-Ge/ AlO_x /Au/絶縁性基板といった構造を熱処理し、Al や Au の触媒効果を利用することで、200 ~ 400°C という非常に低温ながら、結晶性の(c-)Si や Ge を石英やプラスチック基板上に形成するという、所謂、アルミニウム誘起層交換成長(AIC)法や金誘起層交換成長(GIC)法という手法が注目を集めている[11-18]。この手法は次に示すような4つのフェーズで、c-Si や c-Ge 層が形成される。(1)まず、上部の a-Si もしくは a-Ge 層から AlO_x 層の拡散パスを通り、Si もしくは Ge 原子が下部の Al もしくは Au 層に供給される。(2)その下部 Al もしくは Au 層内において、Si もしくは Ge が結晶化し、結晶核が発生する。(3)この結晶核を元に、Si もしくは Ge 結晶粒が成長する。その際、元々下部層にあった Al もしくは Au 原子は上部層に押し上げられ、吐き出される。(4)隣り合った結晶粒同士がぶつくと、Si もしくは Ge 結晶粒の成長が停止する。その後、上部に吐き出された Al 層もしくは Au 層と AlO_x 層をウェットエッチングなどで取り除くと、絶縁性基板上に c-Si もしくは c-Ge 層が残る。この手法で Si や Ge が低温でも結晶成長する理由には、触媒の Al や Au 原子の電子遮蔽効果によって Si-Si もしくは Ge-Ge の結合が弱まり、低温でも Si や Ge 原子が動きやすくなることや、下部層の Al や Au 結晶粒の粒界において、低温でも Si や Ge が結晶化しやすくなることなどが挙げられている[11, 19]。ごく最近、我々はこの手法を発展させ、(Au/a-Ge) $_{10}$ / AlO_x /Au/絶縁性基板という多層構造を300°C以下で熱処理することで、直径が1000 μm に達するような巨大な Ge 結晶粒を石英およびプラスチ

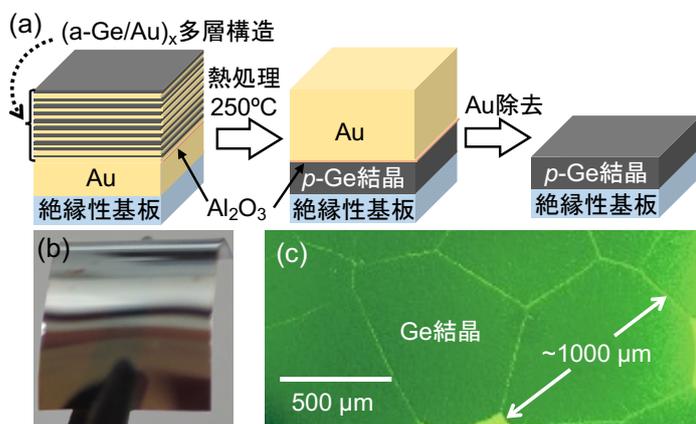


Fig. 2 (a)ML-GIC法によるp-Ge結晶の作製手順と、(b)プラスチック基板上に作製したp-Ge結晶の写真。(c)は、石英基板上に形成したp-Ge結晶の光学顕微鏡写真。その直径は1 mmを超えている。[20]

ック基板に実現した(Fig.2)[20]. また、その Ge を用いることで低温プロセスだけで作製した蓄積層型 p チャネル TFT の動作確認にも成功した(Fig. 3)[21, 22]. 我々はこの手法を多層(ML-)GIC 法と呼んでいる. この手法は、Ge の拡散パスを制御する AlO_x 層の品質を高めることで Ge 結晶核の発生密度を抑制し、上部の a-Ge 層へ Au 層を挿入することにより Ge-Ge 結合を弱化し、Ge の結晶成長を促進させることで、超巨大な Ge 結晶粒を実現した.

2. 研究の目的

現在の LSI の主要構成素子である相補型 MOS(CMOS)デバイスをプラスチック基板に実現するためには、p 型 Ge 結晶だけではなく、n 型 Ge 結晶もプラスチック基板に形成する必要がある. ML-GIC 法で作製した Ge 結晶は、自然に 10¹⁸ cm⁻³ 程度の正孔が生成されることがこれまでの研究で明らかになっている. [20-22] これは、Ge 結晶中の欠陥(格子間原子や空孔など)がアクセプタとして働くためである. 800 ~ 900°C という超高温で作製される単結晶の Ge ですら、n 型の実現にはその欠陥密度より高い濃度のドナーをドーピングする必要があることが良く知られている. Ge 結晶中の欠陥は作製温度が低くなるほど増える傾向にあり、それに伴って欠陥起因の正孔も増えるため、それを補償するためにはより高濃度のドナーが必要となる. Ge のドナーとして有名なアンチモン(Sb)の 300°C 近傍における固溶度は 10¹⁸ cm⁻³ 程度であり、ML-GIC 法で作製した p-Ge 結晶の正孔濃度と同程度であることから、このままでは、Sb の濃度が Ge 結晶の正孔濃度を上回れるかが非常に不透明な状況である. そこで、本研究では従来の ML-GIC 法を改良し、(a-Ge/Au)_x 多層構造の代わりに a-Ge 中に Au をドーピングした GeAu 層を用いることで Ge 結晶中における欠陥由来の正孔濃度の低減を試みた.

3. 研究の方法

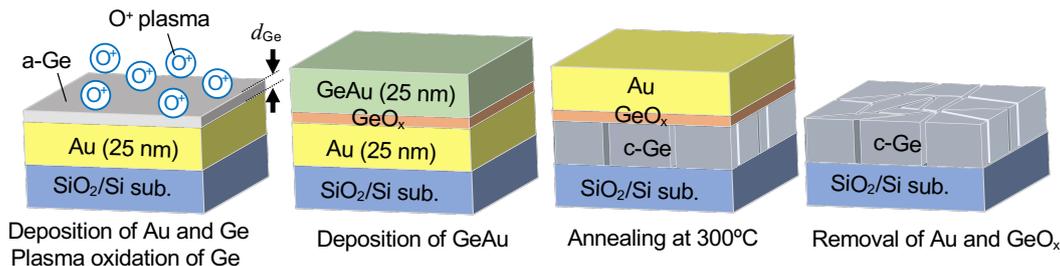


Fig. 4. Ge 結晶薄膜の作製方法の概略図.

Figure 4 に試料作製の方法について概要を示す. まず、熱酸化膜(~325 nm)付き Si(100)基板を化学洗浄したのち、抵抗加熱蒸着装置を用いて、25 nm 厚の Au 層と、厚さ d_{Ge} が 0.7, 1.0, および 1.3 nm の Ge 層を成膜した. Ge をプラズマ酸化し(投入電力: 200 W, 酸化時間; 16 h), 拡散制御層の GeO_x 層を形成した. その後、電子蒸着法を用いて、25 nm 厚の GeAu (Au: 36 wt%)層を形成した. 層交換により Ge 結晶を成長させるために、管状炉を用い、N₂ 雰囲気中で、300°C, 100 h の熱処理を行なった. 最後に、ヨウ素-ヨウ化カリウム水溶液を用いたウェットエッチングにより、上部の Au 層および GeO_x 層を除去した. c-Ge 層における結晶性の評価は、X 線回折(XRD)法および電子線後方散乱分光(EBSD)法を用いて行い、電気伝導特性の評価はホール効果測定により行なった.

4. 研究成果

Figure 5 は、ウェットエッチング後の試料における XRD スペクトルの酸化前の Ge 膜厚(d_{Ge})依存性である. ここでは比較のために、SiO₂/Si(100)基板の XRD スペクトルも示している. $d_{Ge} = 0.7$ および 1.0 nm の試料においては、基板ピークの他に明瞭な Ge(111)ピークが観測されており、GIC によって(111)配向した Ge 結晶が形成されていることが示唆されている. 一方で、 $d_{Ge} = 1.3$ nm の試料においては、Ge(111)ピークが全く観測されず、代わりに、Au(111)ピークが明瞭に観測されている. この結果は、上部の GeAu 層と下部の Au 層の層交換が行われなかったために Ge 結晶が SiO₂/Si 基板上に形成されておらず、かつ基板表面にそのまま残っていた Au 層をウェットエッチングで完全に除去できなかったことを示している. 以上の結果から、GeAu 層を用いた GIC 法においても Ge 結晶

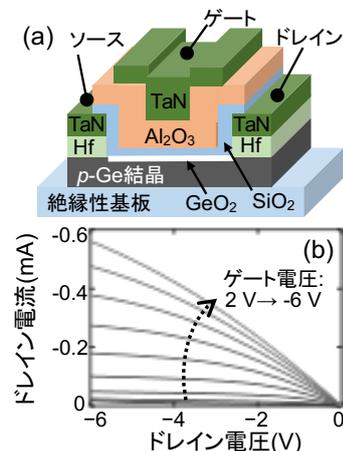


Fig. 3 p-Ge 結晶を用いて作製した TFT の(a)模式図と(b)その特性. [21, 22]

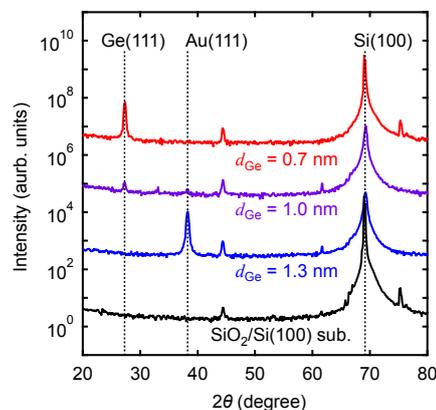


Fig. 5. $d_{Ge} = 0.7$ (赤), 1.0 (紫), および 1.3 nm (青)の試料における XRD スペクトル. 比較のために、SiO₂/Si 基板の XRD スペクトルも一緒に示している.(黒)

が SiO₂/Si 基板上に低温形成されることが明らかとなった。

次に各 d_{Ge} におけるウェットエッチング後の試料表面の光学顕微鏡写真を Fig. 6 に示す。 $d_{\text{Ge}} = 0.7$ および 1.0 nm の試料においては Ge 結晶粒が数多く確認できるものの、 $d_{\text{Ge}} = 1.3$ nm の試料においては全く確認できないことがわかる。この結果は、XRD 測定の結果とよく一致している。 $d_{\text{Ge}} = 1.3$ nm の試料で Ge 結晶が発生しなかった原因として、拡散制御層である GeO_x 層が厚すぎることが考えられる。すなわち、厚い GeO_x 層では、拡散パスの多くが塞がり、Ge 原子が GeAu 層から下部 Au 層へほとんど拡散できなかったために、Ge 結晶の核発生およびその成長が起きなかったものと考えられる。次に、 $d_{\text{Ge}} = 0.7$ および 1.0 nm の試料を比較してみると、 $d_{\text{Ge}} = 0.7$ nm の試料の方が、単位面積あたりにおける Ge 結晶粒の数が多く、かつその大きさも2倍以上も大きいことがわかる。 $d_{\text{Ge}} = 0.7$ nm の GeO_x 層は $d_{\text{Ge}} = 1.0$ nm に比べ薄いため、単位面積当たりの Ge の拡散パスが多いものと考えられる。従って、下部 Au 層内における Ge 結晶核の発生密度も高くなり、その結果、Ge 結晶粒の密度が高くなったものと考えられる。さらに、各々の拡散パスのコンダクタンスについても $d_{\text{Ge}} = 0.7$ nm の方が大きく、Ge の拡散量も多いものとする。 Ge 原子の供給量が上がれば、Ge 結晶の成長速度も速くなるため、結果として $d_{\text{Ge}} = 0.7$ nm の Ge 結晶粒のサイズが大きくなったものと考えられる。このような、Ge 結晶粒の発生密度や粒サイズにおける拡散制御層の厚さ依存性は、スパッタ法で形成した Al₂O₃ 層を拡散制御層に用いた GIC 法の実験でも観測されている。 Park らは、Al₂O₃ 層の厚さを 6 nm から 9 nm まで厚くすると急に Ge 結晶粒が成長しなくなると報告している[15]。このように、Ge 結晶の成長過程は拡散制御層の厚さに対してとても敏感であり、GeAu 層を用いた GIC 法において拡散制御層の膜厚コントロールは非常に重要であることが判明した。

c-Ge 層の結晶特性を詳しく調査するために、 $d_{\text{Ge}} = 0.7$ および 1.0 nm の Ge 結晶粒について EBSD 測定を行なった。 Figures 7(a)および(c)は、それぞれ $d_{\text{Ge}} = 0.7$ および 1.0 nm における典型的な Ge 結晶粒の EBSD 像である。どちらも、Ge 結晶粒の全面が(111)配向を表す青色になっていることがわかる。これは、Ge 結晶粒が単結晶であり、基板の面直方向に対して(111)配向していることを示唆している。この結果は、XRD 測定で Ge(111)ピークが観測された結果と一致しており、(Fig.5) これまでに報告されている GIC 法で作製された Ge 結晶層の結果ともよく一致している[15, 16, 20, 23, 24]。 Park らは、GIC 法で Ge 結晶粒がどの面方位で配向するかは基板表面でどの面方位の結晶核が発生しやすいかによって依存すると説明している[15]。 SiO₂ 表面においては、(111)方向の Ge 結晶核が発生しやすいために、(111)配向した Ge 結晶粒が得られるとされている。本研究でも、ほとんどの Ge 結晶粒は(111)配向することが XRD および EBSD 法の解析から確認された。しかしながら中には、面方位が青色の(111)方向から赤色の(100)方向に変化しているものがあることが確認された[Figs. 7(b)および(c)]。これは、Ge の結晶成長にその面方位が(111)面から(100)面に回転したものと考えられる。このような結晶成長中に Ge の面方位が(111)面から(100)面に回転するという現象は、Ge の横方向溶解成長法という手法においてよく報告されている[25, 26]。この手法は、SiO₂ 基板などの絶縁体基板上において高温で溶解させた a-Ge を、冷却中に Si 種結晶を用いて結晶化させることで c-Ge を絶縁体基板上に形成する手法であり、GIC 法とは違い、Au のような金属触媒は用いない。 Toko らは、この手法において SiO₂ 上で Ge が結晶成長する際に(111)方向から(100)方向に回転する原因は、Ge/SiO₂ 界面における界面の自由エネルギーが、(111)面より(100)面の方が小さくなるためと説明している[26]。本研究においても、同様の理由で、Ge が結晶成長の途中で(111)面から(100)面へ面方位が回転したものと考えられる。しかしながら、同じ GIC 法を用いている実験では面方位が回転するような現象は観測されていない[15-17, 20-24]。この相違については原因がよくわかっておらず、現在、その特定に向けて調査を行なっている段階である。

最後に、c-Ge 層の電気伝導特性を調査するために、フォトリソグラフィ法および 1%-H₂O₂ 水溶液を用いたウェットエッチングにより、c-Ge 層をホールバーに加工し、ホール効果測定を行った(厚さ: 25 nm, 幅: 9.0 μm, 電極間距離: 20 μm)(Fig. 8 の挿入図)。 $V-I$ 特性のグラフを見てみると、低い電流領域においてグラフが明瞭に曲がっていることがわかる[Fig. 8(a)]。これは電流回路内に薄い絶縁障壁が存在し、伝導キャリアがトンネル伝導していることを示唆している。 GIC 法で作製された Ge は通常、 p 型になることが知られている [17, 21-24]。一般的に、金属/ p -Ge 接合は、強いフェルミレベルピンニング現象のために、金

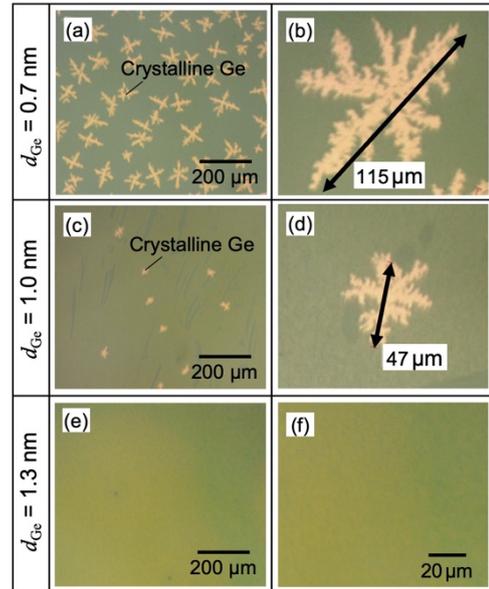


Fig. 6. $d_{\text{Ge}} =$ (a)(b) 0.7, (c)(d) 1.0, および (e)(f) 1.3 nm の試料の光学顕微鏡写真。

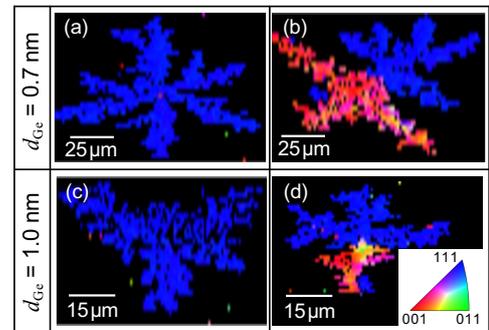


Fig. 7. $d_{\text{Ge}} =$ (a)(b) 0.7 および(c)(d) 1.0, nm の試料における EBSD 画像。画像の色は、挿入図のカラーマップに従い、Ge 結晶粒の面方位を示している。(a)と(c)は(111)配向した単結晶を示しているが、(b)と(d)では粒内で面方位が回転している。

属の種類にほとんど依らず、オーミック接合になることがよく知られている。しかしながらその一方で、金属/*p*-Ge 界面に薄いトンネル絶縁層が存在している場合、フェルミレベルピンニング現象が緩和され、金属の種類によっては、整流特性が現れることも報告されている。本実験では、Au/Cr 層を蒸着する前に、超純水を用いて自然酸化膜の除去を試みているが、完全には除去できていなかった可能性がある。その結果、Cr/Ge 界面に GeO_x 層が残っており、整流特性が現れたのではないかと考えられる。すなわち、電極パットと Ge の接合部分にショットキー障壁が存在しており、キャリアの伝導がトンネル伝導となっているため、*V*-*I* 特性のグラフが曲がったものと考えられる。*V*-*I* 特性のグラフをよく見てみると高い電流領域では、比較的、直線になっている。そこでこの領域において直線でフィッティングを行い(図中の青実線)、その傾きから Ge 結晶粒の抵抗率 ρ を算出したところ、 $\rho \sim 1.9 \times 10^{-2} \Omega\text{cm}$ という値が得られた。この値は、これまでに報告されている GIC 法で作製された Ge 結晶粒と同等の値である[17, 21]。次に、Ge ホールバーに印加電流 $I_m = 0.100 \text{ mA}$ を印加し、外部

磁場 B を $-1.0 \sim 1.0 \text{ T}$ で変化させた時のホール電圧 V_{Hall} の磁場依存性を Fig. 8 (b)に示す。 V_{Hall} は磁場 B に対して直線的に増加していることがわかる。その傾きは正であることから、これまでの GIC の研究報告と同様に、本研究で作製した Ge 結晶も *p* 型であることがわかる。しかしながら、 V_{Hall} の値はノイズが多く、かつ、磁場 $B = 0 \text{ T}$ のときでも、 $V_{\text{Hall}} \neq 0 \text{ V}$ になっておらず、大きなオフセット電圧が生じていることがわかる。これは、各電極/Ge 接合がショットキー接合で接合抵抗が高いために、Ge ホールバー内を流れる電流パスが不均一になっていることが主な原因と考えられる。これらを抑制するためには、Cr/Ge 界面に存在している自然酸化膜 GeO_x をしっかり除去し、オーミック接合となるようにすることが最も良い方法であると考えられる。 V_{Hall} の磁場依存性のグラフを直線フィッティングし、その傾きから正孔密度 n_p を算出したところ、 $n_p \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ という値が得られた。この n_p の値は、先行研究で報告されている正孔密度の値よりも一桁程度、大きい値である[17, 21, 22]。また正孔移動度 $\mu_p = 1/(en_{pp})$ (e は電気素量)は、 $\mu_p \sim 57 \text{ cm}^2/\text{Vs}$ という値が見積もられた。この値はこれまでに報告されている GIC 法で作製された Ge 結晶粒の μ_p の値に比べて、1/4 程度の大きさしかない[17, 21, 22]。本研究では、上部のアモルファス Ge 層内にあらかじめ Au 原子を導入していた。その Au 原子が Ge 結晶内に高濃度で残留し、アクセプタとして多くの正孔を生成すると共に、正孔の不純物散乱を増強したために、正孔密度の増大とその移動度の低下が引き起こされた可能性がある。また今回作製した Ge ホールバーには結晶粒界が多く含まれることから、結晶粒界で生成された多数の正孔と粒界散乱の影響により、Ge 結晶粒の電気伝導特性が劣化した可能性もある。今後は、二次イオン質量分析法やオージェ電子分光法などの組成分析で Ge 結晶粒内にどの程度、Au 原子が残留しているかなどを詳しく調査するとともに、Ge 結晶粒の大粒径化などを試みることでホールバー内に含まれる結晶粒界を抑制するなどの工夫を行うことで、Ge 結晶粒の電気伝導特性の改善を試みたい。

引用文献

- [1] G. D. Crawford, "Flexible Flat Panel Displays", John Wiley & Sons. (Chichester, 2005).
- [2] S. R. Forrest, Nature **438**, 911 (2004).
- [3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, Nature **432**, 488 (2004).
- [4] Vaeth, K. M. OLED-display technology. Inform. Display **19**, 12–17 (2003).
- [5] Y.-F. Chen, *et al.*, Adv. Mater. **20**, 3224 (2008).
- [6] C. Barraud, *et al.*, Appl. Phys. Lett. **96**, 072502 (2010).
- [7] S. Ota, A. Ando, and D. Chiba, Nat. Electron. **1**, 124 (2018).
- [8] H. Matsumoto, S. Ota, A. Ando, and D. Chiba, Appl. Phys. Lett. **144**, 132401 (2019).
- [9] T. Matsuo and T. Muramatsu, SID Symp. Gig. Tech. Pap. **35**, 856 (2004).
- [10] M. Hatano, 210th ECS Meeting, Abstract No. 1558 (2006).
- [11] O. Nast, T. Puzzer, L. M. Koschier, A. B. Sproul, and S. R. Wenham, Appl. Phys. Lett. **73**, 3214 (1998).
- [12] Z. M. Wang, J. Y. Wang, L. P. H. Jeurgens and E. J. Mittemeijer, Phys. Rev. B **77**, 045424 (2008).
- [13] M. Kurosawa, N. Kawabata, T. Sadoh, and M. Miyao, Appl. Phys. Lett. **95**, 132103 (2009).
- [14] H. Kuraseko, N. Orita, H. Koizawa, and M. Kondo, Appl. Phys. Express **2**, 015501 (2009).
- [15] J. Park, T. Suzuki, M. Kurosawa, M. Miyao, and T. Sadoh, Appl. Phys. Lett. **103**, 082102 (2013).
- [16] J. Park, M. Miyao, and T. Sadoh, Jpn. J. Appl. Phys. **53**, 020302 (2014).
- [17] J. Park, K. Kasahara, K. Hamaya, M. Miyao, and T. Sadoh, Appl. Phys. Lett. **104**, 252110 (2014).
- [18] K. Toko and T. Suemasu, J. Phys. D: Appl. Phys. **53**, 373002 (2020).
- [19] Z. Wang, L. P. H. Jeurgens, J. Y. Wang, and E. J. Mittemeijer, Adv. Eng. Mater. **11**, 131 (2009).
- [20] H. Higashi, *et al.*, Appl. Phys. Lett. **106**, 041902 (2015).
- [21] K. Kasahara, *et al.*, Appl. Phys. Lett. **107**, 142102 (2015).
- [22] K. Kasahara, *et al.*, Mater. Sci. Semicond. Process. **70**, 68 (2017).
- [23] H. Higashi, *et al.*, Appl. Phys. Lett. **111**, 222105 (2017).
- [24] H. Higashi, *et al.*, J. Appl. Phys. **123**, 215704 (2018).
- [25] M. Miyao, K. Toko, T. Tanaka, and T. Sadoh, Appl. Phys. Lett. **95**, 0221155 (2009).
- [26] K. Toko, T. Tanaka, Y. Ohta, T. Sadoh, and M. Miyao, Appl. Phys. Lett. **97**, 152101 (2010).

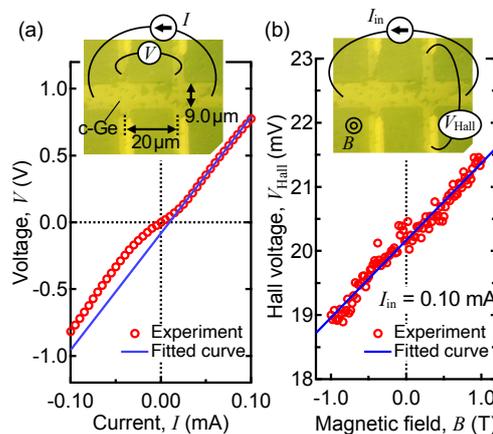


Fig. 8. Ge 結晶を用いて作製したホールバーの(a)*V*-*I*特性と(b)ホール電圧 V_{H} の印加磁場依存性。挿入図は、作製した Ge ホールバーの光学顕微鏡写真。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 笠原健司, 梶昂輝, 眞砂卓史	4. 巻 51
2. 論文標題 GeAu層を用いた金誘起層交換成長法で作製した結晶性 Ge における結晶学的特性と電気伝導特性の評価	5. 発行年 2021年
3. 雑誌名 Fukuoka University Science Reports	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 梶昂輝, 笠原健司, 清水昇, 角田功, 眞砂卓史
2. 発表標題 Ge-Au同時蒸着膜を用いた金誘起層交換成長法によるGe結晶の低温形成
3. 学会等名 2019年 第66回応用物理学会春季学術講演会
4. 発表年 2019年

1. 発表者名 梶昂輝, 笠原健司, 眞砂卓史
2. 発表標題 GeAu同時蒸着金誘起層交換成長法で作製した Ge薄膜の電気伝導特性
3. 学会等名 2019年度応用物理学会九州支部学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------