

令和 6 年 6 月 11 日現在

機関番号：11301

研究種目：若手研究

研究期間：2019～2023

課題番号：19K20232

研究課題名（和文）複合型メインメモリのための次世代型メモリ管理方式の創出

研究課題名（英文）Next-Generation Memory Management for Heterogeneous Memory Systems

研究代表者

佐藤 雅之（Sato, Masayuki）

東北大学・情報科学研究科・准教授

研究者番号：50781308

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本プロジェクトでは、複合型メインメモリの次世代型メモリ管理方式の検討を行った。アプリケーションのメモリアクセスを解析し、複合型メインメモリを管理するためのメタデータへのアクセスパターンを調査し、その特性を明らかにした。また、メタデータへのアクセスレイテンシを隠蔽するプリフェッチ機構を提案し、複合型メモリシステムの性能向上を実現可能であることを明らかにした。さらに、同じメタデータへの重複したアクセスを排除することにより、単位時間当たりのメタデータアクセス頻度を削減し、システムの性能向上を実現可能であることを明らかにした。

研究成果の学術的意義や社会的意義

ビッグデータやAI等の処理の増加によって、計算機システムに対するメモリの大容量化への要求が今後ますます強くなることが予想される。また、データセンターへの計算機資源の集約のためにディスクアグリゲートメモリ等が採用されることにより、一つのプロセッサが異なる性能特性を持つ複数のメモリにアクセスするようなケースが増加すると考えられる。本研究の成果によって得られた複合型メインメモリに関する知見が、これらの状況への対応策として貢献できると考える。

研究成果の概要（英文）：This project investigates next-generation memory management methods for hybrid memory architectures (HMAs). The project has analyzed the memory access of applications and has unveiled the characteristics of the access patterns to metadata on HMAs. Based on these results, this project has proposed a prefetch mechanism that hides the access latency to metadata for HMAs. Moreover, the project clarified that it is possible to improve the performance by eliminating duplicated requests that access the same metadata.

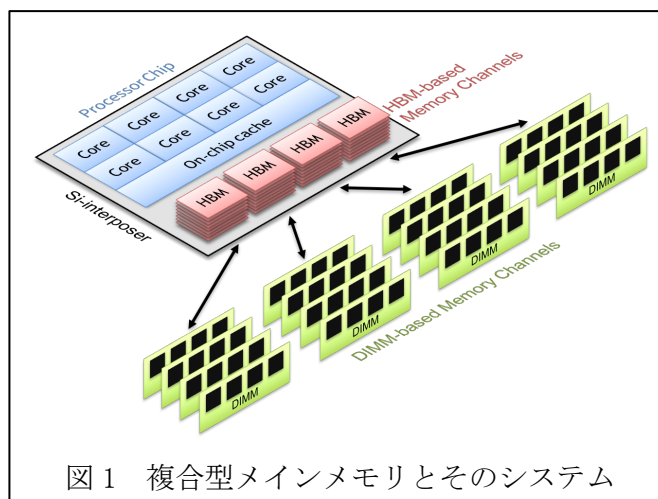
研究分野：Computer Architecture

キーワード：Memory Metadata Prefetch

1. 研究開始当初の背景

メニーコア化やベクトル演算器のベクトル長拡大に伴い、プロセッサの演算性能は著しく向上しつつある。そして、高い演算性能を十分に生かすために、メモリシステムにはより一層のデータ転送性能向上が求められている。これに対しメモリシステム側では、プロセッサコアと同じチップ上にキャッシュメモリを設け、再利用性の高いデータを保存することにより性能を向上してきた。しかし、キャッシュメモリではその容量に限界があるため、一度により大きいデータセットを持つアプリケーションに対して高いバンド幅によるメモリアクセスを可能とするメモリシステムが求められている。

このようなシステムの実現のために、積層メモリモジュール(High Bandwidth Memory, HBM)が近年注目されている。HBMはプロセッサチップと共にシリコンの受動基板であるシリコンインターポザ(Si-interposer)上に集積されることにより、PCB基盤を介して接続される従来のメモリモジュール(DIMM)と比較して、高いメモリバンド幅を実現可能で



ある。しかし、Si-interposerの製造可能な面積の限界のため集積可能なHBMの容量には限界があり、HBMのみでメインメモリを実現することは困難である。この問題を解決するために、Si-interposer上にプロセッサチップと共にHBMを集積しつつDIMMを接続する複合型メインメモリ(図1)が注目されている。HBMをニアメモリ、DIMMをファーメモリとし位置づけ、これら2種類を束ねてひとつのメインメモリとして扱うことにより、高いバンド幅と大容量を両立することを目指している。

このような複合型メインメモリ構成の実現に向けた大きな問いとして、キャッシュメモリ階層との設計のトレードオフがどのように異なるのかという点が挙げられる。キャッシュ・メインメモリという従来からあった関係と、複合型メインメモリにおけるニア・ファーメモリの新たな関係は、高速小容量・低速大容量の2種類のメモリによるメモリ階層という点では本質的には同じである。しかし、プロセッサの演算性能が向上し続ける一方でニア・ファーメモリの性能差は非常に大きく、ファーメモリは今にも増してデータ転送におけるボトルネックとなる。このような状況下において、ニアメモリがファーメモリの低い性能をいかに補填しつつ、高性能・大容量・低消費電力なメモリシステムを実現するのか検討しなければならない。

2. 研究の目的

本研究の目的は、複合型メインメモリを見据えた次世代のメモリ管理方式の実現である。広大な複合メインメモリ領域を低コストで管理しつつ、搭載された高バンド幅メモリモジュールの潜在能力をアプリケーション性能向上のために最大限引き出すことを目指す。

3. 研究の方法

複合型メインメモリを見据えた次世代のメモリ管理方式の実現に向け、本プロジェクトでは下記の項目について検討を行った。

- (1) 複合型メインメモリ管理戦略に向けたメモリアクセスパターン解析
- (2) 複合型メインメモリ向けデータ管理機構の設計
- (3) ベクトル演算機構を用いたメタデータ取得オーバーヘッド削減機構

4. 研究成果

- (1) 複合型メインメモリ管理戦略に向けたメモリアクセスパターン解析

本項目ではメモリアクセスパターンの解析を行い、次世代メモリ管理手法に向けた予備検討を行った。図2は本プロジェクトで対象とする複合型メインメモリ(Hybrid Memory Architecture, HMA)を示す。HMAはマイクロプロセッサからのデータ要求が来ると、まずはそのデータが小容量・高速なメモリ(Near Memory, NM)と大容量・低速なメモリ(Far Memory, FM)のどちらにあるのか把握しなければならない。その判断の根拠となるデータ(メタデータ)もメモリシステム上の決められた位置に配置されている。まずは、メタデータにアクセスしてから、NMとFMのどちらにあるのかを判断し、実際のデータにアクセスする事になる。実際のデータを取得するまでに2回のアクセスが必要になるため、オーバーヘッドが大きい。

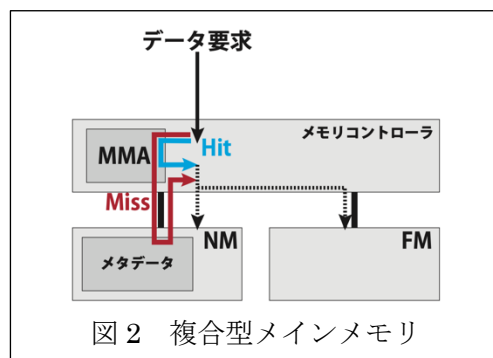


図2 複合型メインメモリ

そこで本項目ではメタデータをキャッシュする容量を増加させるだけではなく、メタデータを必要になる前にMMAに格納するプリフェッチを実現することを目標に、実際のアプリケーションでメタデータにどのようなアクセスパターンが発生するかを調査した。その結果の一部を図3に示す。横軸はアクセス回数を示し、縦軸はアドレス差分を示す。アドレス差分とは、あるアクセスとその一つ前のアクセスのアドレス同士の差分を取ったものである。右図より、アドレス差分0を中心として対称かつ規則的な位置にアクセスが多く発生していることがわかる。このことから、アドレス差分を考慮することによって将来アクセスされる可能性が高いブロックとそのメタデータを予測する事が可能であることを明らかにした。

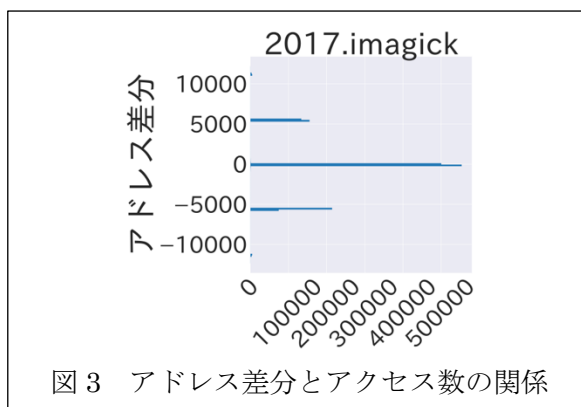


図3 アドレス差分とアクセス数の関係

- (2) 複合型メインメモリ向けデータ管理機構の設計

本項目では、(1)で議論したアドレス差分の規則性に基づくメタデータプリフェッチ機構を提案した。提案したメタデータプリフェッチ機構は、MMAミスが発生したときに、現在使用しているメタデータの周辺にあるメタデータをMMAにキャッシュする。さらに、アドレス差分を用いて近い将来に必要なメタデータを予測してプリフェッチするものである。

まず、最初に本提案でアドレス差分に基づくプリフェッチを行うために、アドレス差分が現れるアクセスパターンのモデル化を行った。図4はそのモデル化の概要を表したものである。HMAのデータはセクタ単位で管理されているため、プリフェッチするメタデータの候補もセクタのアドレスで指定する。

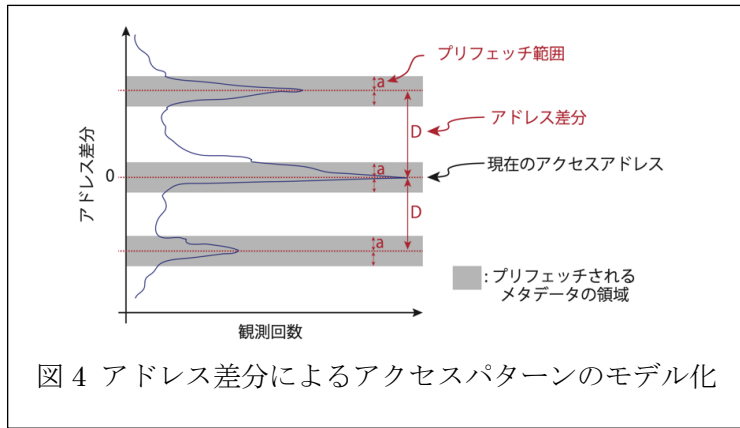


図4 アドレス差分によるアクセスパターンのモデル化

セクタアドレスが $Addr$ の位置で MMA ミスが発生した場合、提案する機構では、 $Addr \pm a$, $(Addr + D) \pm a$, $(Addr - D) \pm a$ の範囲でメタデータをプリフェッチする。ここで、 D はアドレス差分を表す。また、 a はプリフェッチ範囲であり、プリフェッチすべき隣接セクタのメタデータの数を示す。

このようなモデル化に基づき複合型メモリシステムのためのメタデータプリフェッチ機構の設計を検討した。図5は検討した機構のブロック図を示す。解くに、メタデータ管理ロジックはデータアクセスロジックからの要求に従い、メモリアクセス要求に含まれるアドレスに対応するメタデータを返す。メタデータが実際にキャッシュされていてメタデータを返すことができれば MMA ヒットであり、メタデータを返すことができなければ、MMA ミスとなる。MMA ミスの場合、NM からメタデータを取得して MMA に格納した上で、メタデータをデータアクセスロジックに返す。

メタデータ管理ロジックにおいてはプリフェッチ機能を備えている。図6はメタデータ管理ロジックの内部を詳細化したブロック図である。メタデータ管理ロジックはメタデータプリフェッチロジックを内包しており、アドレス差分を算出するために全メモリアクセスのアドレスを監視する。アドレス差分は観測したアドレス差分とその回数を記録するテーブル構造であり、

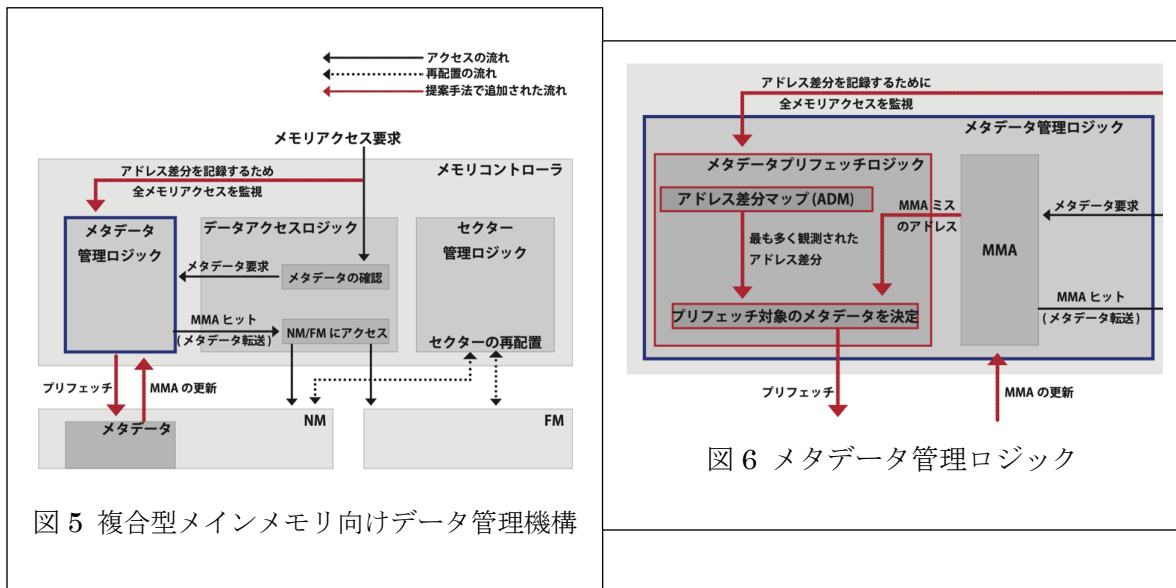


図5 複合型メインメモリ向けデータ管理機構

図6 メタデータ管理ロジック

最も多く観測されたアドレス差分 D を出力する機構である。その出力に基づき、アドレス差分 D とあらかじめ決められたプリフェッチ範囲 a から、プリフェッチ対象のメタデータを決定する。その後、プリフェッチが行われる。

評価結果からは、アドレス差分 D とプリフェッチ範囲 a に基づいてプリフェッチを行った提

案手法が、プリフェッチを行わない場合や、プリフェッチを行ってもプリフェッチ範囲を設けない場合より多くのベンチマークで高い性能を実現できることが明らかとなった。また、アドレス差分の規則性が綺麗に発生するベンチマークのグループその効果が顕著であることも明らかとなった。以上から提案手法の有効性が示された。

(3) ベクトル演算機構を用いたメタデータ取得オーバーヘッド削減機構

(2)における MMA をはじめとした各種のメタデータキャッシュは、メモリリクエスト要求の度にアクセスされ、その情報が利用されて本当に欲しいデータへのメモリアクセスが行われるようになる。このため、メモリアクセスが発生する頻度に応じてメタデータキャッシュの性能を向上させる必要がある。一方で、近年ではコア当たりの性能を向上させるベクトル演算・メモリアクセス命令の搭載によるコア性能の向上により、単位時間当たりのメモリアクセス数が増加しているため、メタデータキャッシュにかかる負荷は大きくなりつつある。このことから、メタデータキャッシュが大量に来るリクエストを裁ききらなければ、アプリケーション性能の低下を招くことになる。

そこで、本項目ではベクトルメモリアクセス命令が実行される際のメタデータリクエスト数を削減するための方策として、一つのベクトルメモリアクセス命令で発行されるメモリアドレス群の冗長性に着目した。もし、ベクトルメモリアクセス命令から複数個のメモリリクエストが発行される場合に、そのメモリリクエストがアクセスするメタデータが同じだとすると、メタデータのアクセス回数を削減し、メタデータキャッシュの負荷を削減することができる。評価で仮定した最大ベクトル長 256 のベクトルアーキテクチャを仮定し、ベンチマークで評価したところ、重複排除を行えばメタデータへのアクセスは 1 回もしくは 2 回まで抑制できることが明らかとなった。

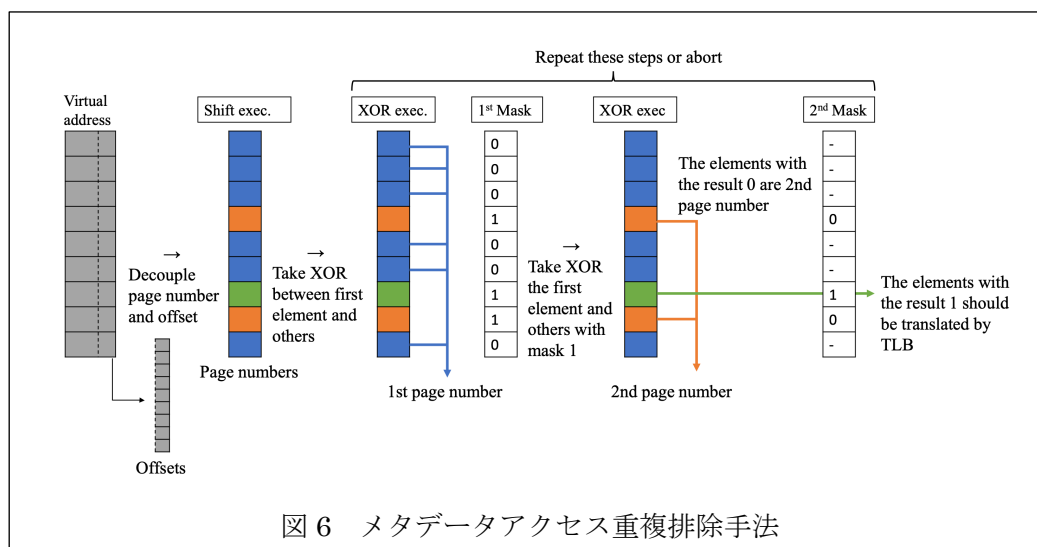


図 6 メタデータアクセス重複排除手法

以上の知見から、メタデータアクセス重複排除手法を提案した。図 6 に本提案の概要を示す。本提案は近年のマイクロプロセッサに広く搭載されているベクトル演算器を仮定し、その機能を用いることで、追加のハードウェア資源を投入すること無しに、メモリアドレスの重複排除を行う事を可能としている。

評価結果から、提案手法は数値計算アプリケーションでは 2 倍、ベクトルギャザー命令を多く含むグラフアプリケーションでは 1.08 倍の性能向上が達成できることが明らかとなった。また、実際にメタデータキャッシュへのアクセス回数を削減できることを明らかにした。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 1件）

1. 著者名 Hikaru Takayashiki, Masayuki Sato, Kazuhiko Komatsu, Hiroaki Kobayashi	4. 巻 -
2. 論文標題 Page-Address Coalescing of Vector Gather Instructions for Efficient Address Translation	5. 発行年 2022年
3. 雑誌名 In Proceedings of 12th Workshop on Irregular Applications: Architectures and Algorithms	6. 最初と最後の頁 1--8
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/IA356718.2022.00007	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Masayuki Sato, Takuya Toyoshima, Hikaru Takayashiki, Ryusuke Egawa, Hiroaki Kobayashi	4. 巻 Vol.6, No.4
2. 論文標題 An Energy-aware Dynamic Data Allocation Mechanism for Many-Channel Memory Systems	5. 発行年 2019年
3. 雑誌名 Journal of Supercomputing Frontiers and Innovations	6. 最初と最後の頁 4--19
掲載論文のDOI（デジタルオブジェクト識別子） 10.14529/jsfi190401	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 佐藤 雅之, 小松 一彦, 小林 広明	4. 巻 16
2. 論文標題 クラスター型アーキテクチャにおけるメモリ性能特性に関する一検討	5. 発行年 2023年
3. 雑誌名 情報処理学会論文誌コンピューティングシステム	6. 最初と最後の頁 1--13
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件／うち国際学会 2件）

1. 発表者名 橋口航弥, 佐藤雅之, 小松一彦, 小林広明
2. 発表標題 ベクトルプロセッサの消費電力推定,
3. 学会等名 LSIとシステムのワークショップ
4. 発表年 2022年

1. 発表者名 Shunsuke Tsukada, Hikaru Takayashiki, Masayuki Sato, Kazuhiko Komatsu, Hiroaki Kobayashi
2. 発表標題 A Metadata Prefetching Mechanism for Hybrid Memory Architectures
3. 学会等名 IEEE Symposium in Low-Power and High-Speed Chips and Systems (COOL CHIPS) (国際学会)
4. 発表年 2021年

1. 発表者名 Shunsuke Tsukada, Masayuki Sato Kazuhiko Komatsu, Hiroaki Kobayashi
2. 発表標題 Metadata Management for Large-Scale Hybrid Memory Architectures
3. 学会等名 ISC High Performance (国際学会)
4. 発表年 2020年

1. 発表者名 塚田 竣介, 佐藤 雅之, 高屋敷 光, 小松 一彦, 小林 広明
2. 発表標題 複合型メインメモリのメタデータ管理のためのデータアクセス解析
3. 学会等名 並列/分散/協調処理に関する「福井」サマー・ワークショップ(SWoPP2020)
4. 発表年 2020年

1. 発表者名 塚田 竣介, 佐藤 雅之, 小松 一彦, 小林 広明
2. 発表標題 複合型メインメモリのためのメタデータ管理手法に関する一考察
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------