

令和 4 年 5 月 9 日現在

機関番号：17104

研究種目：若手研究

研究期間：2019～2021

課題番号：19K20236

研究課題名（和文）VLSIにおける劣化影響を低減可能なデジタル温度電圧センサに関する研究

研究課題名（英文）A digital temperature and voltage sensor that can reduce effects of degradation in VLSIs

研究代表者

三宅 庸資（Miyake, Yousuke）

九州工業大学・大学院情報工学研究院・研究職員

研究者番号：60793403

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：LSIはチップ内の温度や電圧により性能が変動するため、チップの発熱状況や電圧変動の監視をシステムの高性能化・高信頼化に活用できる。センサをフィールド上で長期間運用し続けるには、劣化現象への対策が必要不可欠である。本研究はVLSIにおける劣化影響を低減可能なデジタル温度電圧センサ技術の開発を目的とし、65nmCMOSテクノロジーを用いて耐劣化構造を有するセンサの試作チップを設計し、実際に試作チップに高ストレスを与える長期信頼性試験による劣化評価を実施。得られた劣化データを活用して、回路の動作状況の違いに伴う劣化予測モデル更新の有効性についての評価などを行った。

研究成果の学術的意義や社会的意義

本研究ではセンサに劣化が生じた場合でも測定精度を維持するために、実チップでの劣化評価やフィールドでの運用状況に合わせて劣化予測のモデルを更新する手法などについての開発を行った。センサの劣化予測技術はVLSIのフィールド高信頼化が期待でき、予知保全に寄与するため、社会への波及効果は大きい。さらに、製品寿命を考慮したライフエンド設計への適用等、幅広い用途を見込むことができる。

研究成果の概要（英文）：Since the performance of LSIs varies depending on the temperature and voltage inside the chip, monitoring the heat generation status and voltage fluctuation of the chip can be used to improve system performance and reliability. In order to continue to operate sensors in the field for a long period of time, it is indispensable to take measures against the degradation phenomenon.

The purpose of this work is to develop a digital temperature voltage sensor technology that can reduce the effects of degradation in VLSIs. A test chip with an aging-tolerant structure was designed using 65nm CMOS technology. Deterioration evaluation was proposed by a long-term reliability test that actually gives high stress conditions such as high temperature and high voltage to the chips. Using the obtained degradation data, we proposed a prediction model that reflecting changes in degradation trends due to the operating environment of chips in the field, and evaluated its effectiveness.

研究分野：計算機システム関連

キーワード：温度センサ 電圧センサ 劣化 リングオシレータ LSIテスト フィールドテスト VLSI設計技術 デイペンダブル・コンピューティング

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

### 1. 研究開始当初の背景

スーパーコンピュータや高性能サーバ等に利用される MPU は、チップ内の温度や電圧により性能が変動するため、VLSI システムの高性能化・高信頼化には、チップの発熱状況や電圧変動を監視し、その状況に合わせた電力制御や性能最適化に利用することが有効となる。VLSI 稼働時のモニタリングに使用する一般的な温度センサとして、アナログ回路に基づくセンサ技術が実用化されている。

センサをフィールド上で長期間運用し続けるためには、劣化現象への対策が必要不可欠である。特に、最先端 VLSI では経年劣化に起因する故障の増加が懸念されている。しかしながら、従来センサの多くは劣化現象への対策が施されていない。劣化による性能低下や製造バラツキの影響による障害を回避する手段として、動作マージン設計が行われている。設定可能な動作マージン量の割合は微細化に伴い低下するため、故障発生率が増加する。さらに、微細化により劣化現象の早期顕在化が引き起こされるため、図 1 に示すように、故障発生率の増加や製品寿命の低下が問題になっている。このように、最先端 VLSI では劣化対策が非常に重要な課題であり、VLSI 稼働時のモニタリングに用いるセンサも劣化への対策が必要不可欠とされている。しかし、従来のアナログ回路を利用したセンサは、物理的な制約や電源電圧の制約などによって微細化対応が困難であり、劣化によって生じるデバイス特性の変動が顕著であるため、従来センサの多くは微細化に伴う劣化現象への対策が施されていない。

これまでの研究でフィールドテスト向けの小型で高速動作可能なデジタル温度電圧センサの開発を行っている。開発センサは物理的な劣化現象の 1 つである NBTI (Negative Bias Temperature Instability) に対して耐性を持つ構造を有している。開発センサはリング発振器 (RO: Ring Oscillator) を用いたデジタルセンサである。図 2 は、異なる回路構成を持つ 7 種類の発振回路 (RO: Ring Oscillator) が、時間経過と共に性能が低下する様子を実測した結果である。耐劣化構造の RO や劣化対策を施していない RO を実装し、高温の環境下で 30 時間程度の劣化加速試験を行った。耐劣化構造を構築することにより、耐劣化構造がない場合と比較して劣化量を 60% 程度に抑えることができている。このように、30 時間程度の劣化加速試験ではあるが、耐劣化構造の有無の違いが確認されている。しかしながら、実際の VLSI に生じる劣化現象は、フィールド上でチップを長時間稼働し続けた結果生じる現象であるため、実施した劣化加速試験が実際の劣化現象を再現できているのかが不明である。また、耐劣化構造を構築しても性能低下が起きており、劣化の影響を低減できていない。

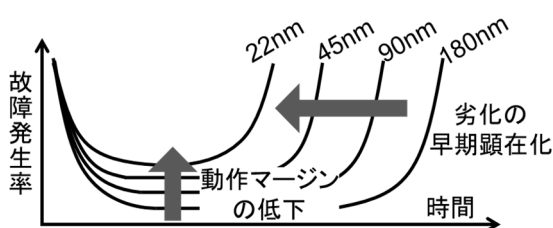


図 1 VLSI の微細化と故障発生率の関係。  
微細化に伴い設計マージンの低下や劣化の早期顕在化による寿命低下が生じる

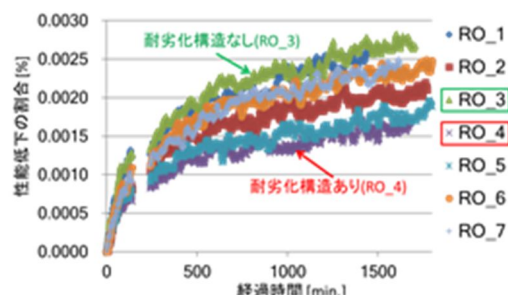


図 2 劣化に伴う回路性能の低下

### 2. 研究の目的

VLSI はチップ内の温度や電圧により性能が変動するため、チップの発熱状況や電圧変動の監視を、電力制御や性能最適化によるシステムの高性能化・高信頼化に利活用できる。センサをフィールド上で運用し続けると、劣化により測定精度が低下するが、従来センサは劣化現象の対策が不十分である。

センサをフィールド上で長期間運用し続けるには、劣化現象への対策が必要不可欠であり、VLSI に生じる劣化現象を再現した評価が重要となる。また、劣化の完全な抑止は実現不可能であるため、劣化が生じた場合でもセンサの測定精度を維持する技術が必要である。本研究では、VLSI における劣化影響を低減可能なデジタル温度電圧センサ技術の開発を目的とし、劣化が生じた場合でもセンサの測定精度を維持する技術について研究を行う。

### 3. 研究の方法

研究の目的を達成するために、下記の項目に関する研究開発を実施する。

#### (1) 耐劣化構造を有するセンサの開発と試作チップ設計

温度電圧センサにおける耐劣化構造や劣化量制御構造について評価するため、耐 NBTI 劣化構造を有する RO の開発を行い、センサの試作チップ設計を行う。d.Lab (旧 VDEC) による製造委託サービスおよび 65nm CMOS テクノロジーを用いる。試作チップを用いて RO 特性評価やセンサ

としての精度評価等を行い、耐劣化構造により劣化影響を 60%程度に抑えることを目標とする。本項目で開発したセンサは、劣化シミュレーション評価や劣化影響の低減手法の開発における検証にも活用する。開発の初期段階では FPGA も動作検証に利用する。

#### (2)劣化シミュレーション環境の構築と評価

RO を用いたセンサに対する劣化評価を実施するため、SPICE を用いた劣化シミュレーション環境の構築と評価を実施する。トランジスタにおける劣化を再現するために、Synopsys 社の回路シミュレータ HSPICE に搭載されている信頼性解析機能を用いる。

#### (3)センサにおける劣化影響の低減手法の開発

劣化が生じた場合でもセンサの測定精度を維持する手法を開発する。アプローチとして、RO 間の周波数変化の差を用いた測定手法を開発する。RO 周波数のみを用いる既存手法では、劣化により RO 周波数が大きく低下した際、センサとしての測定精度に与える影響が大きい。一方、RO 間の周波数変化の差は劣化が進行しても拡大しにくいいため、この比率や差を利用した手法を開発する。手法により劣化影響を更に半分程度抑えることを目標とし、RO の耐劣化構造と合わせて全体で劣化影響を低減させることを目標とする。

#### (4)試作チップを用いた劣化加速試験評価

試作したテストチップと卓上テスト、恒温槽を用いて、実際に試作チップの温度と電圧を変化させた際のセンサの測定精度等を評価する。さらに、劣化加速試験によりチップを意図的に劣化させ、耐劣化構造の有効性を検証するとともに、劣化がセンサの測定精度にどの影響するのかの評価や、提案する劣化影響低減手法の有効性を評価する。

### 4. 研究成果

#### (1)耐劣化構造を有するセンサの開発と試作チップ設計

デジタル温度電圧センサにおける高精度化を実現するため、高精度な推定精度を実現する手法の開発を行った。推定精度の高精度化手法として、利用可能な多種多様な RO(Ring-Oscillator)の中から温度電圧センサに用いる 3 種類の RO を選択する際に、温度と電圧の推定精度が高くなる RO の組合せを体系的に選択する RO 選択手法の開発を行った。RO 選択手法には、測定対象の温度範囲を区間に分割して推定誤差を低減する際に、区間分割を考慮して RO を選択する手法や、実際に運用するアプリケーションに合わせた特定の温度領域において高精度な温度電圧測定を可能とする RO を選択する手法など、利用状況に合わせて高精度な推定精度を実現する最適 RO 選択手法を開発し、評価を行う。

これまでの研究で開発している RO 選択手法は、RO の持つ線形性のみに着目して選択する手法はシンプルで利用やすく、ある程度精度の良い組合せが選択可能であるが、RO の線形性が同じであっても RO の温度感度や電圧感度が異なるため、線形性のみに着目しても必ずしも精度の良い組合せが選択されるわけではない。また、RO を選択する際の評価尺度として、高温や高電圧などの RO 特性が顕著に変化する領域について考慮されておらず、特定の温度や電圧の領域で測定精度が低下する問題には対応できていない。これらの問題に対応するため、RO の持つ周波数に対する温度感度や電圧感度などを評価尺度として、RO を利用した温度電圧センサのための最適な RO 選択手法について提案した。提案した RO 選択手法はセンサとして利用可能な RO の種類の中から、RO 単体に対する温度電圧の特性評価や 2 種類の RO の組合せ評価を用いて温度電圧測定に有効な 3 種類の RO を選択する手法である。試作チップに搭載したデジタル温度電圧センサのシミュレーション評価により、表 1 に示すとおり、温度測定誤差 0.52°C 以下、電圧測定誤差 1.43mV 以下の精度を実現する RO の組合せを得ることができることを確認した。

開発した RO 選択手法を用いて選出した 3 種類の RO による温度電圧センサ(TVS: Temperature and Voltage Sensor)を構成し、65nmCMOS テクノロジーを用いて試作チップを設計した。試作チップを用いて開発センサの各種性能評価を実施する際、評価には 8 枚のチップを用いており、測定条件は電圧範囲 1.05 ~ 1.35V (標準 VDD: 1.20V)、温度範囲 20 ~ 85°C である。温度電圧推定に用いる温度と RO 周波数の関係、電圧と RO 周波数の関係などは、8 枚のチップの中で平均的な RO 周波数値である Chip2 の TVS3 (4 組搭載した TVS の中で CUT の左上に配置した TVS) を用いた。また、製造ばらつきに対応するための初回測定時のキャリブレーション処理として、温度電圧 1 点による補正では温度と周波数の特性や電圧と周波数の特性の曲線性に対応できないため、異なる電圧 2 点の実測値を補正に用いる 2 点補正手法を用いた。表 2 にチップ 8 枚の TVS3 の温度電圧推定誤差を示す。温度電圧推定に区間分割を用いることで、チップ 8 枚の平均の温度測定誤差は 1.41°C、電圧推定誤差は 1.66mV であることが確認できた。しかしながら、他のチップと比べて誤差の大きいチップの存在も確認され、これら 2 枚のチップは、製造ばらつきに影響によって、推定式作成に用いた Chip2 とは周波数に対する温度電圧特性が異なるチップであることが判明した。更なる精度向上には、補正に用いる温度電圧値を調整するなど、チップ毎の製造ばらつきに合わせたキャリブレーション処理を適用することにより対応可能であることが期待される。

表 1 温度電圧センサに用いた 3 種類 RO の温度，電圧誤差 (シミュレーション評価)

65 nm technology		Temperature error [°C]			Voltage error [mV]		
Chip 2019		Full-range	Sub-range		Full-range	Sub-range	
		30~80°C	30~55°C	55~80°C	30~80°C	30~55°C	55~80°C
Full-range	1.05~1.35v	1.37	-	-	4.42	-	-
Sub-range	1.25~1.35v	-	0.35	0.52	-	1.38	1.43
	1.15~1.25v	-	0.24	0.38	-	1.22	1.25
	1.05~1.15v	-	0.23	0.21	-	1.05	1.16

表 2 各チップの温度電圧センサの温度電圧測定誤差 (チップ数 8, センサ位置 TVS3)

*補正式: Chip 2 の測定値から算出 *測定範囲: 1.05~1.35V, 20~80°C *2点補正: (1.20V, 60°C), (1.10V, 60°C)		Chip 1	Chip 2	Chip 3	Chip 4	Chip 5	Chip 6	Chip 7	Chip 8	Average
温度測定誤差 [°C]	全区間	1.12	0.63	1.67	4.62	1.13	1.02	1.48	3.87	2.13
	区間分割利用	1.07	0.63	0.98	2.54	1.36	1.04	0.75	2.11	1.41
電圧測定誤差 [mV]	全区間	3.37	0.71	2.44	1.44	1.85	2.01	4.58	1.52	2.46
	区間分割利用	2.44	0.72	1.50	1.49	0.95	2.01	2.27	0.97	1.66

## (2)劣化シミュレーション環境の構築と評価

耐 NBTI 構造を有する RO を用いたセンサに対する劣化評価を実施するため, SPICE を用いた劣化シミュレーション環境の構築と評価を実施した. トランジスタにおける劣化を再現するために, Synopsys 社の回路シミュレータ HSPICE に搭載されている信頼性解析機能 (MOSRA) を用いた. 劣化シミュレーションによって設定した加速試験のストレス条件として, 電圧 2.0V と温度 85°C の高電圧高温下における 168 時間の加速時間を想定し, NBTI 劣化の影響評価を行った. 図 4 に劣化評価結果を示す. 高ストレス下において RO1 は 0.010%, RO2 は 0.012%, RO3 は 0.014% の周波数低下で収まっていることが確認できる. 長期運用を想定したストレス条件である電圧 1.2V, 温度 60°C, 10 年を想定した加速時間の劣化評価結果を図 5 に示す. 長期運用を想定した場合でも, 3 種類の RO はそれぞれ 0.1~0.2% 程度の周波数低下で収まっていることが確認できる. 予備実験において, 劣化の影響で 1% 以上の周波数低下が確認された RO も存在していたため, センサとして搭載した耐 NBTI 劣化構造 RO が有効であることが確認できた.

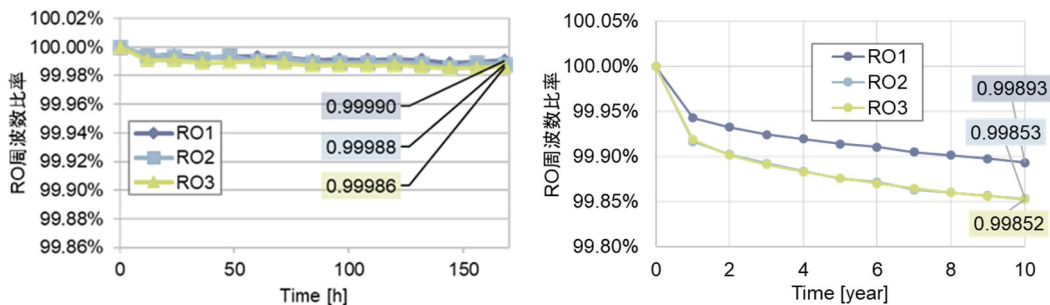


図 4 劣化シミュレーション(2.0V, 85°C, 168 時間) 図 5 劣化シミュレーション(1.2V, 60°C, 10 年)

## (3)センサにおける劣化影響の低減手法の開発

RO を利用したセンサでは, 温度と電圧を測定する推定式の導出に重回帰分析を利用している. まず初めに, 更なる精度向上のために, 機械学習に使われるサポートベクターマシン (サポートベクター回帰) を利用して推定式を導出することで, 製造ばらつきによる温度と周波数, 電圧と周波数のばらつきの影響を抑え, 温度や電圧の測定精度を向上させる手法を提案した. 試作チップを用いた評価実験では, 製造ばらつきの影響がある複数のチップに対して, 提案手法は既存手法である重回帰分析よりも推定精度が向上することを確認した. 65nm CMOS テクノロジーの試作チップ評価では, 従来の重回帰分析を利用した温度測定誤差は 1.423 であるが, 提案手法により誤差が 1.069 となり, センサの推定精度が向上できることを確認した.

次に, 劣化により生じる回路遅延の増加の予測を目的として, 代表的な劣化現象である回路遅延の増加をオンチップ遅延測定によって捕らえ, 将来の回路遅延の劣化度合いを予測する手法を提案した. 提案手法では, 劣化シミュレーションや長期信頼性試験, 代表チップを用いた予備実験で得られる回路遅延値から初期の予測モデルを作成し, 個々のチップに対して実際の測定値に基づくオフセット補正及び機械学習に使われる勾配降下法などを用いた動的なモデル更新により, 製造ばらつきや運用状況の差異を反映した劣化予測を行う. 実チップの劣化加速試験のデータを用いた評価実験から, 提案手法は, 製造ばらつきや運用状況の差異による劣化傾向の変化に対応した遅延劣化の予測モデルを構築できることを確認した.

後述の(4)試作チップを用いた劣化加速試験評価において, 回路に生じる劣化現象を完全に抑止することができず, 劣化した RO 周波数が温度電圧センサの精度に影響を与えていることを確認した. 研究開始当初は RO 間の周波数変化の差を利用したセンサにおける劣化影響の低減手法の開発を検討していたが, RO の劣化度合いは動作状況により異なるため, 当初計画していた手法は適切ではないことが判明した. そのため, 別アプローチとして, 劣化状況に合わせて温度電圧センサのパラメータを更新するなどの, システム運用中の測定データから得られる情報を基

に、劣化影響を低減可能な手法を開発した。動作状況の違いによる劣化傾向の変化に対する劣化予測モデルの有効性を評価するため、4つの同じ構造を持つ RO を用いて実チップ評価を行い、同じ構造のチップでも動作状況により劣化度合いが異なることを確認した。使用前に作成した劣化予測モデルをキャリブレーションや稼働中の測定値を使用して更新することで、予測の誤差が大幅に軽減することを示し、フィールドにおける測定値を用いる劣化予測モデルの更新は動作状況に伴う劣化傾向の変化に有効であることを示した。

#### (4) 試作チップを用いた劣化加速試験評価

デジタル温度電圧センサの耐 NBTI 劣化構造の有効性を検証するため、図 6 に示すような設計した試作チップを評価するための実験環境の構築を行った。測定には Advantest 社の卓上 LSI テスタ CX1000D および小型環境試験器 (0.1°C 刻みで温度設定可能な恒温槽) を利用した。試作チップと恒温槽を用いて実際に劣化加速試験を実施することにより、耐劣化構造の有効性を確認した。標準電圧 1.20V の試作チップに対して、電圧 2.40V 温度 85°C の高温高電圧の高ストレス条件を与えて動作させることで、チップの劣化加速を実施している。劣化加速時間は 1 日約 22 時間程度であり、劣化加速実験はチップ 2 枚に対して行い、チップ 1 枚目は 168 時間、チップ 2 枚目は 176 時間 (22 時間×8 日) の劣化加速を実施した。温度電圧センサに対する経年劣化評価として、図 7 と図 8 に、チップ 1 枚目と 2 枚目の RO 劣化加速評価結果を示す。RO1 と RO2 は、劣化加速前と比較して劣化加速後の周波数は 0.02% 程度しか低下していなかったが、RO3 では周波数が 1.25% 程度低下している。この劣化した RO 周波数を元にチップ内の温度と電圧を測定した場合、測定誤差に悪影響を及ぼしていた。温度 60°C 電圧 1.20V の条件下では、劣化前の温度測定誤差は 0.37°C、電圧測定誤差は -1.16mV であるが、劣化後の温度測定誤差は 26.83°C、電圧測定誤差は -95.53mV となり、誤差が増加している。

RO の劣化に起因する温度電圧センサの測定誤差増加に対応するため、前述の(3)センサにおける劣化影響の低減手法の開発において提案した手法である劣化に伴う RO 周波数の低下に対応可能な RO 劣化補正手法の適用について検討した。温度電圧センサの測定 RO 周波数に合わせて温度電圧推定の係数パラメータを更新させることで、劣化がある状況でも温度測定誤差を 1.14°C、電圧測定誤差を 2.73mV にまで低減させることができることを確認した。

このように、劣化状況に合わせて温度電圧センサのパラメータを更新するなどの、システム運用中の測定データから得られる情報を基に、劣化影響を低減可能な手法を利用することにより、劣化の影響を低減できることを確認している。

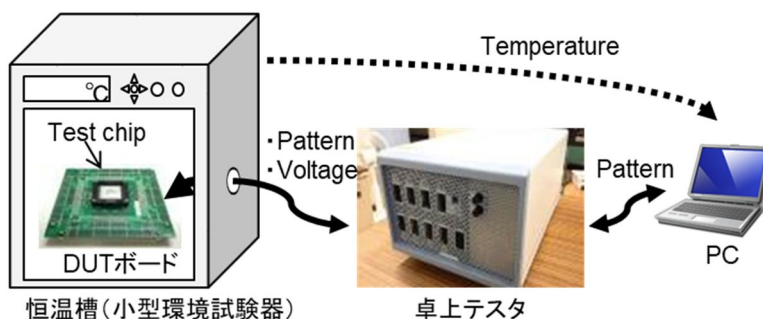


図 6 試作チップに対する劣化加速試験の実験環境

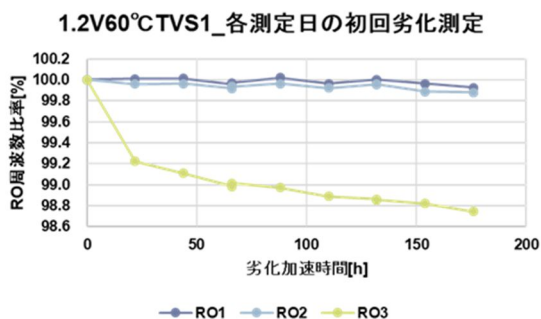


図 7 RO の劣化加速評価 (チップ 1 枚目)

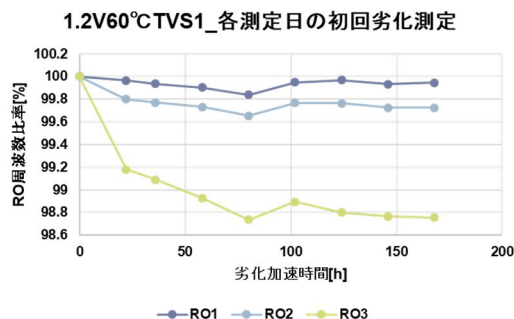


図 8 RO の劣化加速評価 (チップ 2 枚目)

本研究で開発した温度電圧センサの劣化評価や劣化対策等に関する研究成果は、国内の研究会だけでなく、IEEE 主催の LSI テスト関係の国際学会 ITC-Asia2019 や ITC-Asia2020, IOLTS2020, ATS2020 で発表を行った。また、企業と共同で本提案課題のセンサ技術の有効性を評価するなど、提案センサの実用化に向けた検討なども進めている。

## 5. 主な発表論文等

〔雑誌論文〕 計8件（うち査読付論文 7件/うち国際共著 2件/うちオープンアクセス 0件）

1. 著者名 Poki Chen, Jian-Ting Lan, Rwei-Ting Wang, Nguyen My Qui, John Carl Joel S. Marquez, Seiji Kajihara, Yousuke Miyake	4. 巻 28
2. 論文標題 High-Precision PLL Delay Matrix With Overclocking and Double Data Rate for Accurate FPGA Time-to-Digital Converters	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 904-913
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TVLSI.2019.2962606	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Yousuke Miyake, Takaaki Kato, Seiji Kajihara, Masao Aso, Haruji Futami, Satoshi Matsunaga, Yukiya Miura	4. 巻 -
2. 論文標題 On-Chip Delay Measurement for Degradation Detection And Its Evaluation under Accelerated Life Test	5. 発行年 2020年
3. 雑誌名 Proc. IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS)	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IOLTS50870.2020.9159717	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Yousuke Miyake, Takaaki Kato, Seiji Kajihara	4. 巻 -
2. 論文標題 Path Delay Measurement with Correction for Temperature And Voltage Variations	5. 発行年 2020年
3. 雑誌名 Proc. IEEE International Test Conference in Asia	6. 最初と最後の頁 112-117
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-Asia51099.2020.00031	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Masayuki Gondo, Yousuke Miyake, Takaaki Kato, Seiji Kajihara	4. 巻 -
2. 論文標題 On Evaluation for Aging-Tolerant Ring Oscillators with Accelerated Life Test And Its Application to A Digital Sensor	5. 発行年 2020年
3. 雑誌名 Proc. IEEE Asian Test Symposium	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ATS49688.2020.9301588	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takeshi Iwasaki, Masao Aso, Haruji Futami, Satoshi Matsunaga, Yousuke Miyake, Takaaki Kato, Seiji Kajihara, Yukiya Miura, Smith Lai, Gavin Hung, Harry H. Chen, Haruo Kobayashi, Kazumi Hatayama	4. 巻 -
2. 論文標題 Innovative Test Practices in Asia	5. 発行年 2020年
3. 雑誌名 Proc. IEEE VLSI Test Symposium	6. 最初と最後の頁 1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/VTS48691.2020.9107640	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yousuke Miyake, Yasuo Sato, Seiji Kajihara	4. 巻 -
2. 論文標題 A Selection Method of Ring Oscillators for An On-Chip Digital Temperature And Voltage Sensor	5. 発行年 2019年
3. 雑誌名 Proc. IEEE International Test Conference in Asia 2019	6. 最初と最後の頁 13-18
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-Asia.2019.00016	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yousuke Miyake, Seiji Kajihara, Poki Chen	4. 巻 -
2. 論文標題 On-Chip Test Clock Validation Using A Time-to-Digital Converter in FPGAs	5. 発行年 2019年
3. 雑誌名 Proc. IEEE International Test Conference in Asia 2019	6. 最初と最後の頁 157-162
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-Asia.2019.00040	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Yousuke Miyake, Yasuo Sato, Seiji Kajihara	4. 巻 -
2. 論文標題 On-Chip Delay Measurement for In-Field Test of FPGAs	5. 発行年 2019年
3. 雑誌名 Proc. IEEE Pacific Rim International Symposium on Dependable Computing (PRDC)	6. 最初と最後の頁 130-137
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/PRDC47002.2019.00043	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計6件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 森誠一郎, 権藤昌之, 三宅庸資, 加藤隆明, 梶原誠司
2. 発表標題 勾配降下法を用いた回路遅延の劣化予測について
3. 学会等名 電子情報通信学会技術研究報告, DC研究会
4. 発表年 2020年

1. 発表者名 権藤昌之, 三宅庸資, 加藤隆明, 梶原誠司
2. 発表標題 回路の動作状況の違いに伴う劣化予測モデル更新の有効性について
3. 学会等名 電子情報通信学会2021年総合大会
4. 発表年 2021年

1. 発表者名 三宅庸資, 加藤隆明, 梶原誠司, 麻生正雄, 二見治司, 松永恵土, 三浦幸也
2. 発表標題 長期信頼性試験におけるオンチップ遅延測定による劣化観測
3. 学会等名 電子情報通信学会技術研究報告, DC研究会
4. 発表年 2019年

1. 発表者名 権藤昌之, 三宅庸資, 梶原誠司
2. 発表標題 機械学習を用いたデジタル温度電圧センサの精度向上について
3. 学会等名 電子情報通信学会技術研究報告, DC研究会
4. 発表年 2020年



1. 発表者名 三宅庸資, 梶原誠司
2. 発表標題 フィールドテスト向けオンチップ遅延測定回路のIoT適用
3. 学会等名 電子情報通信学会2020年総合大会
4. 発表年 2020年

1. 発表者名 加藤隆明, 三宅庸資, 梶原誠司
2. 発表標題 オンチップ遅延測定における温度電圧の影響補正について
3. 学会等名 電子情報通信学会技術研究報告, DC研究会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関		
台湾	国立台湾科技大学		