

令和 2 年 6 月 15 日現在

機関番号：12608

研究種目：研究活動スタート支援

研究期間：2018～2019

課題番号：18H05913・19K21084

研究課題名（和文）極低電圧動作トンネルトランジスタの高周波応用向け基礎検討

研究課題名（英文）Study on tunnel field effect transistors for ultra-low power analog devices

研究代表者

後藤 高寛（GOTOW, TAKAHIRO）

東京工業大学・工学院・助教

研究者番号：70827914

交付決定額（研究期間全体）：（直接経費） 2,300,000円

研究成果の概要（和文）：極低消費電力かつ高速動作が可能なデバイスとしてトンネルFETが期待されるが、その中でも材料的な観点からソース領域にGaAsSbをチャネル領域にInGaAsを採用したType-IIヘテロ接合TFETが有力である。加えて、デバイスの構造の観点からはソース・チャネル接合の微細化を横方向で可能とするナノシートチャネル構造の採用が必須である。今回、前段階としてソース・ドレイン領域を同じInGaAs再成長層で形成したナノシートチャネルMOSFETの作製した。加えて、同一基板上に作製したMOSFETからの移動度評価を行った。これらの技術を応用することでナノシートトンネルFETの性能改善が期待される。

研究成果の学術的意義や社会的意義

本研究のトランジスタはアナログ・ロジック回路の最も重要な構成要素の1つであり、極低消費電力化と高速化を両立させようという取り組みである。また、今回の構型デバイスはこれまでのSiプラットフォームへの適用も可能であり汎用性が高い。製品応用を視野に入れると低消費電力素子が必要な分野は多く存在する。センサネットワークや発電可能な集積回路など、章補電力を極限的に下げることへの要請は数多く存在する。そのため、トンネルFETの実用化により、これまでの半導体集積回路技術では実現出来なかった新たな応用分野が広がっていくと考えられる。

研究成果の概要（英文）：Tunnel field-effect transistors (TFETs) have been widely studied as promising candidates for steep slope devices. Among them, the Type-II heterojunction TFET that uses GaAsSb as the source and InGaAs as the channel is the most promising from a material standpoint. In addition, from the viewpoint of the device structure, it is essential to adopt a nanosheet channel structure that enables lateral miniaturization of the source/channel junction. We fabricated a nanosheet channel InGaAs MOSFET and evaluated the mobility of InGaAs channel. These technologies accelerate the study of the nanosheet channel TFETs.

研究分野：化合物半導体デバイス

キーワード：TFET

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

携帯電話などの無線局の急速な増加や無線通信の高速化に伴い、通信デバイスの構成要素の1つである MOSFET の消費電力削減のための基盤技術を早急に確立することが逼迫した課題である。これまで MOSFET の消費電力削減は、微細化によって実現してきたが、物理的限界を迎えることは明白であり、加えて、従来型 MOSFET の駆動原理は電子の熱拡散によるものであるためフェルミディラック分布のテール部によるリーク電流を本質的に抑制することができず、電流の立ち上がり指標であるサブスレショルド・スロープ(S.S.)値は 60 mV/dec.で限界となる。そのため、熱励起を伴わない半導体のバンド間トンネル現象を利用したトンネルトランジスタ(TFET)が提案されている。通常、半導体材料は Si が用いられるが、Si は間接遷移型半導体であり、トンネル伝導にはフォノンの吸収・放出過程を伴うためトンネル確率が低いことやバンドギャップが 1.12eV と比較的大きいことから、高いオン電流を得ることが出来ない。また、ホモ接合 TFET では高電流密度に必要な薄いトンネル距離を得られない。そこで、直接遷移型、軽い有効質量という材料的特徴を持つ III-V 族化合物半導体を用いて、ソース・チャネル接合を Type-II ヘテロ接合とすることで、トンネル距離を短縮した GaAsSb/InGaAs Type-II ヘテロ構造 TFET が最も有力視されている。

一方、TFET の特性向上のためには、材料的観点からの工夫のみならず、デバイスアーキテクチャの観点からも工夫が重要である。GaAsSb/InGaAs をソース・ドレインに持つ TFET は、通常、トンネル電流が縦方向に流れる縦型 TFET が一般的である。しかしながら、縦型 TFET には、いくつかの課題点がある。まず、縦型 TFET においてソース・チャネル接合部の微細化はイオンエッチングで行われるが、素子の加工技術の精度に起因して素子間や素子内でのばらつき抑制が難しく、安定して良好な特性のデバイスを得ることが難しい。そこで、イオンエッチングによるソース・チャネル接合の微細化手法が必要となる。また、TFET も従来型 MOSFET と同様にゲート電極にバイアスを加えることで、チャネル層のエネルギーバンドを変調させて駆動させるため、ゲート絶縁膜と半導体の界面準位密度、チャネル層の移動度を評価することが大切となる。しかしながら、界面準位密度は MOS キャパシタの CV 測定から、移動度は長チャネル MOSFET のスプリット CV 測定から算出し評価するため、縦型構造のデバイスとはプロセスが大きく異なり、正確な評価が出来ていなかった。その縦型 TFET の課題点を解決するための手法の1つが、図1のように横型ナノシートチャネル構造の導入することである。横型ナノシートチャネル構造はチャネル層の上下を犠牲層で挟み込んだ積層構造をエピタキシャル成長によって作製する。このチャネル層の左右にソース、ドレイン領域として MOSFET であれば n-InGaAs 層を、TFET であれば p-GaAsSb と n-InGaAs 層を再成長させる。そしてウエットエッチングでチャネル層の上下の犠牲層を除去し、ナノシートチャネル構造とする。このように作製されるソース・ナノシートチャネル接合の微細化の精度はエピタキシャル成長の精度できまり、ナノメートルオーダーで制御が可能である。また、同一基板上に長チャネルデバイスも作製可能であり移動度評価も可能となる。

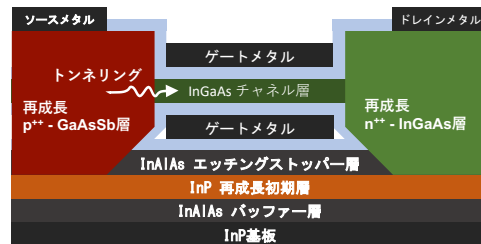


図1 ナノシートトンネル FET の概系図

2. 研究の目的

横型ナノシートチャネル構造を有する GaAsSb/InGaAs トンネル FET の作製の前段階として、ソース・ドレイン領域を同じ n-InGaAs 再成長層で形成したナノシートチャネル InGaAs MOSFET の作製と、同一基板上に作製したプレーナ型長チャネル InGaAs MOSFET からの移動度評価を目的とする。

3. 研究の方法

図2に再成長ソース・ドレイン領域を形成する前のヘテロ構造を示した。InGaAs 層の上下を InP 犠牲層で挟み込んだ構造とした。ウエットエッチングでキャップ層を除去した後、EB リソグラフィとドライエッチングによってメサ構造を形成した。デジタルウエットエッチングによってメサ幅を所望の太さまで微細化した後、n-InGaAs を再成長することでソース領域とドレイン領域を形成した。再度 EB リソとドライエッチングによって素子領域を分離し、ドライエッチングによるダメージ層と InP 犠牲層はウエットエッチングによって除去した。形成された InGaAs ナノシートチャネル層にゲート絶縁膜とゲートメタルを ALD 法で堆積させた。最後に EB 蒸着法でゲート、ソース、ドレインパッドを形成した。

移動度評価用としては、長チャネルデバイスが必要となる。長チャネルデバイスでは犠牲層を除去した中空構造とするとナノシートチャネル層が倒壊してしまうため、チャネル上部のみ除去された従来型のプレーナ MOSFET を作製し評価した。

InP Cap	21 nm
n ⁻ -InGaAs Cap	11 nm
n ⁻ -InP Cap	10 nm
i-InP	10 nm
InGaAs Channel	11 nm
InP Sacrifice	50 nm
InAlAs Etch stop	12 nm
p-InP Epl. Template	53 nm
InAlAs Barrier	350 nm

図2 エピタキシャル成長によるヘテロ構造

4. 研究成果

図 3 に試作したデバイスのチャネル部分における断面 TEM 像を示す。InP 犠牲層が適切に除去され、中空構造にナノシートが形成されていることが確認できた。この構造をより詳細に解析するため EDX 分析を Ga, Ti, Al, Zr, Ni, O, C, P に対して行った(図 4)。InGaAs チャネルが $\text{Al}_2\text{O}_3/\text{ZrO}_2$ ゲート絶縁膜と TiN ゲートメタルで囲まれているナノシートチャネル構造を作製できていることを確認した。一方、その電気特性はオンオフ比で 1 桁程度であり、ドレイン電流も小さいことが分かった。

その要因を明らかにするため、InGaAs 層の下部犠牲層が除去されていない長チャネルプレーナ InGaAs MOSFET を試作した。ここでチャネル長とチャネル幅はともに $180\ \mu\text{m}$ である。作製した InGaAs MOSFET の典型的な電気特性(I_D - V_G 特性)を示す(図 5)。ここで $V_D = 500\ \text{mV}$ とした。素子作製の後に水素雰囲気下で 300°C の PMA を 90 秒行った。この PMA を行うことでオン電流で約 1.5 倍以上もの改善が見られた。 $V_G = 3\ \text{V}$ のときドレイン電流 $350\ \mu\text{A}/\text{mm}$ を得た。またオン/オフ比で 3.5 桁を得た。

InGaAs MOSFET の移動度評価を行うため、Split-CV 測定を行った。測定はソース・ドレイン領域とを接続し、ゲート間との容量を測定した。不純物散乱の影響を小さくするため横方向電界を小さく、すなわちドレイン電圧 V_{DS} を小さくすることが必要であり、今回の測定においては $50\ \text{mV}$ で行った。測定は $1\ \text{kHz}$ から $1\ \text{MHz}$ まで行った。高周波になるにつれ蓄積容量が急激に減少していることが確認された。これは、キャリアの移動速度との関係でソース・ドレイン付近のゲート直下しか反転層となっていないこと、つまり実効的な面積が小さくなっていることに起因する。今回の移動度評価は $10\ \text{kHz}$ で行った。結果として、最大移動度 $157.2\ \text{cm}^2/\text{Vs}$ が得られた(図 6)。

このように、ナノシートチャネル構造の InGaAs MOSFET と長チャネルプレーナ型 InGaAs MOSFET から移動度を評価する技術を確認することができており、これらの技術を応用することで GaAsSb/InGaAs ナノシートトンネル FET の性能改善が期待される。

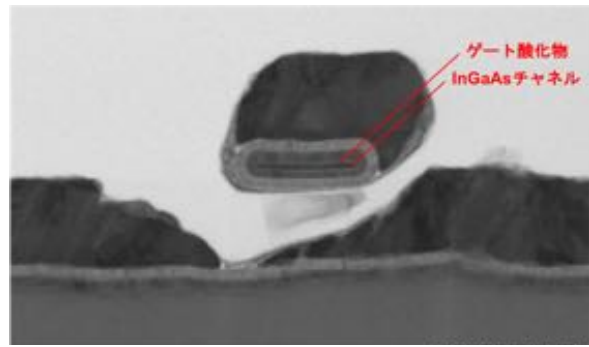


図 3 試作した InGaAs ナノシートチャネル MOSFET の断面 TEM 像

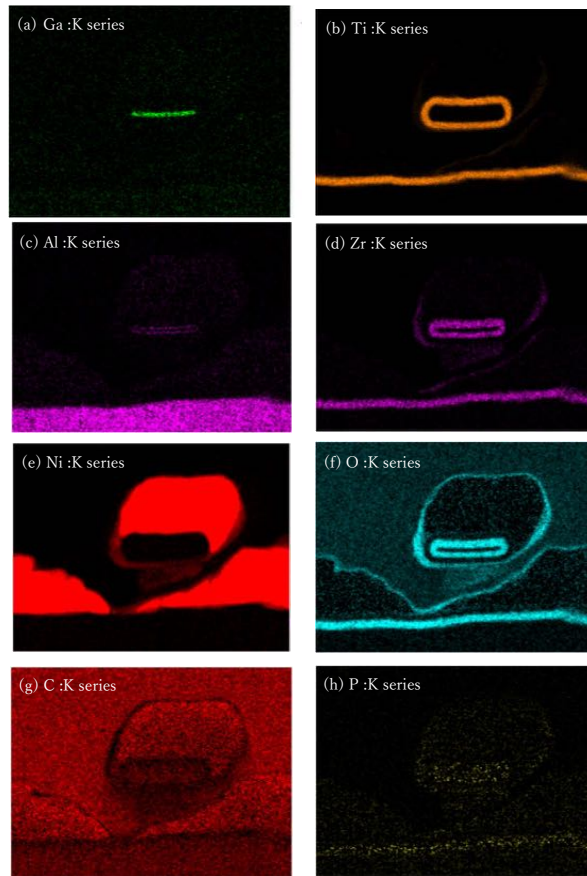


図 4 試作した InGaAs ナノシートチャネル MOSFET の断面 EDX 分析結果

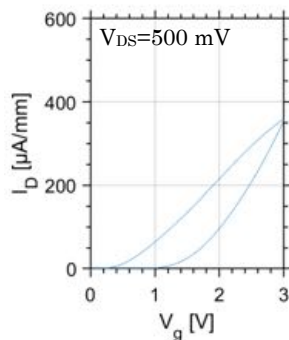


図 5 典型的な長チャネルプレーナ InGaAs MOSFET の電気特性

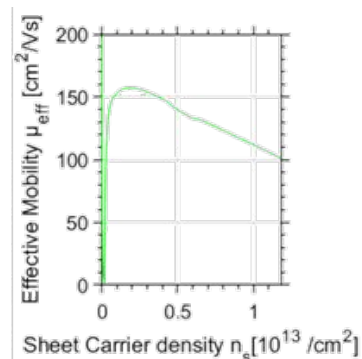


図 6 典型的な長チャネルプレーナ InGaAs MOSFET の移動度特性

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Yamaguchi Masashi, Gotow Takahiro, Takenaka Mitsuru, Takagi Shinichi	4. 巻 58
2. 論文標題 Drive current enhancement of Si MOSFETs by using anti-ferroelectric gate insulators	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBA15 ~ SBBA15
掲載論文のDOI (デジタルオブジェクト識別子) https://doi.org/10.7567/1347-4065/ab073b	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 (2)高木信一, 加藤公彦, 安大煥, 後藤高寛, 松村亮, 高口遼太郎, 竹中充	4. 巻 Vol. J102-C, NO.3
2. 論文標題 材料エンジニアリングによるトンネル電界効果トランジスタの高性能化	5. 発行年 2019年
3. 雑誌名 電子情報通信学会論文誌 C	6. 最初と最後の頁 61-69
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Gotow Takahiro, Mitsuhashi Manabu, Hoshi Takuya, Sugiyama Hiroki, Takenaka Mitsuru, Takagi Shinichi	4. 巻 126
2. 論文標題 Performance enhancement of p-GaAs _{0.51} Sb _{0.49} /In _{0.53} Ga _{0.47} As hetero-junction vertical tunneling field-effect transistors with abrupt source impurity profile	5. 発行年 2019年
3. 雑誌名 Journal of Applied Physics	6. 最初と最後の頁 214502 ~ 214502
掲載論文のDOI (デジタルオブジェクト識別子) https://doi.org/10.1063/1.5121567	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Takagi Shinichi, Kato Kimihiko, Ahn Dae-Hwan, Gotow Takahiro, Takaguchi Ryotaro, Bae Tae-Eon, Toprasertpong Kasidit, Takenaka Mitsuru	4. 巻 92
2. 論文標題 (Invited) Tunneling FET Device Technology for Ultra-Low Power Integrated Circuits	5. 発行年 2019年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 59 ~ 69
掲載論文のDOI (デジタルオブジェクト識別子) https://doi.org/10.1149/09204.0059ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 T. Gotow, M. Mitsuharu, T. Hoshi, H. Sugiyama, M. Takenaka, S. Takagi
2. 発表標題 Improvement of ION and S.S. values of p-GaAs _{0.51} Sb _{0.49} /In _{0.53} Ga _{0.47} As hetero-junction vertical TFETs by using abrupt source impurity profile
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4. 発表年 2018年

1. 発表者名 M. Yamaguchi, T. Gotow, M. Takenaka, S. Takagi
2. 発表標題 Performance enhancement of Si MOSFETs using anti-ferroelectric thin films as gate insulators
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4. 発表年 2018年

1. 発表者名 (5)S. Takagi, K. Kato, W.-K. Kim, K. Jo, R. Matsumura, R. Takaguchi, D.-H. Ahn, T. Gotow, M. Takenaka
2. 発表標題 MOS Device Technology using Alternative Channel Materials for Low Power Logic LSI
3. 学会等名 48th European Solid-State Device Research Conference (ESSDERC) (国際学会)
4. 発表年 2018年

1. 発表者名 満原学, 星拓也, 杉山弘樹, 後藤高寛, 竹中充, 高木信一
2. 発表標題 InP基板上引張歪GaAsSbとInGaAsの膜厚増加による結晶性劣化の比較
3. 学会等名 第66回応用物理学会春季学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----