

令和 3 年 6 月 7 日現在

機関番号：14301

研究種目：研究活動スタート支援

研究期間：2018～2020

課題番号：18H06462・19K21531

研究課題名（和文）最小のエネルギーでプロセッサを稼働させるリアルタイム電圧制御システムの構築

研究課題名（英文）Development of a Real-Time Voltage Scaling System Enabling Minimum Energy Point Operation of Processors

研究代表者

塩見 準 (Shiomi, Jun)

京都大学・情報学研究科・助教

研究者番号：40809795

交付決定額（研究期間全体）：（直接経費） 2,300,000円

研究成果の概要（和文）：本研究は、与えられた時間制約のもと、最小のエネルギーでプロセッサにアプリケーションを処理させるリアルタイム電圧制御システムを世界に先駆けて開発する。具体的には、(1) トランジスタが弱反転状態で動作する低電圧領域から定格電圧領域までの幅広い電圧領域に対し、最適な電源電圧(VDD)とバックゲート電圧(VBG)を瞬時に決定する電圧最適化アルゴリズムを開発し、(2) 電圧制御システムのOS実装を見据えたリアルタイムスケジューリング技術を明らかにした。国際学会に2件、国内学会に2件発表し、SASIMI2021 Best Paper Awardを含む2件の受賞があった。

研究成果の学術的意義や社会的意義

VDDとVBGの同時最適化により、従来アプローチ(VDDのみ制御)と比較して消費エネルギーを最大で半減できることを過去に実験的に明らかにしている。本研究課題においてVDDとVBGの同時最適化技術の実現可能性を高めるために、VDDとVBGの最適解を瞬時に導出するアルゴリズムと電圧制御システムを開発した。次世代の情報化社会においては、無数の集積回路デバイスがあらゆるヒトやモノに取り付けられ、自律的な情報通信・処理が行われる。本研究技術は集積回路デバイス全般に適用可能で、これらエンドポイントデバイスのバッテリー駆動時間改善や、膨大なIoTデータを処理するデータセンタの省電力化に貢献する基盤技術である。

研究成果の概要（英文）：This project aims to develop a real-time voltage scaling system enabling processors to operate with minimum necessary energy under given timing constraints. This project has developed (1) a voltage scaling algorithm that can determine the optimum pair of the supply and the back-gate voltages over a wide operating performance region ranging from the above-threshold region down to the sub-threshold region, and (2) a scheduling algorithm for integrating the voltage-scaling technique into the real-time OS. Two papers are published in international conferences/workshops. Two papers are published in domestic conferences. Two awards including SASIMI 2021 Best Paper Award are received.

研究分野：計算機システム

キーワード：計算機システム 省エネルギー 低消費電力化 スケジューラ

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

IoT (Internet of Things) の急速な発展により、地球人口を凌駕する個数の集積回路デバイスがモノや人に組み込まれ、自律的な情報の通信・処理を行っている。IoT 末端デバイスのバッテリー駆動時間延長や、膨大な IoT データを解析するサーバの電力削減の観点から、プロセッサを代表とするあらゆる集積回路デバイスの省エネルギー化が強く求められている。IoT のような応用事例では、テキスト処理からマルチメディア処理まで、計算負荷が大きく変わるタスクを処理する特徴がある。このような状況では、計算負荷に応じてプロセッサの電源電圧 (VDD) をリアルタイムに制御することが有効である。たとえば処理タスクのデッドラインに余裕がある場合、図 1 のように VDD を動的に下げることによって、消費エネルギーを効果的に削減できる。この技術は DVFS (Dynamic Voltage and Frequency Scaling) と呼ばれる。しかし、この VDD スケーリングはプロセッサの漏れ電流によるエネルギー消費を十分に制御できない。特に低電圧領域において、漏れ電流による消費エネルギーが全体の半分以上を占めることがあり、漏れ電流が省エネルギー化の壁になっている。

漏れ電流を効果的に削減する技術として、トランジスタのバックゲート電圧 (VBG、チップ基板部分の電圧) のスケーリング技術が近年注目されている。研究代表者は過去に、従来の VDD スケーリング技術と比較して、VDD と VBG の同時最適化により集積回路の消費エネルギーを最高でさらに半減できることを実験的に確認しているが、以下のような課題点が存在する：

(1) VDD と VBG の適切な制御方法

VDD のみを制御する場合、プロセッサの動作速度と VDD が一対一対応するため制御が単純である。一方で VDD と VBG を同時制御では、特定の動作速度を実現する VDD と VBG の組は無数に存在し、動作速度と一対一対応せず、制御が困難である。

(2) 最適電圧の時間依存性

消費エネルギーを最小化する VDD と VBG の組は、要求動作速度だけでなく回路の稼働率、チップ温度、経年劣化等の稼働状況パラメータにより時間的に変動する。したがって VDD と VBG の同時最適化により消費エネルギーを最小化させるためにはリアルタイムに稼働状況パラメータをモニタし、適切にフィードバックする機構が必要である。

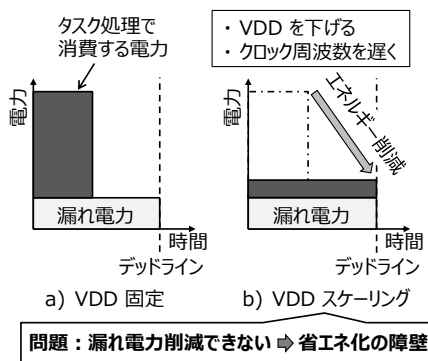


図 1: DVFS による電力削減。

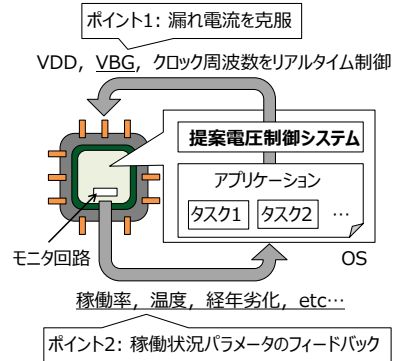


図 2: 提案システム。

2. 研究の目的

本研究では、上記の課題点を克服し、IoT を主体とする次世代情報化社会の持続的発展を支えるため、図 2 に示すハードウェア・ソフトウェア協調型の電圧制御システムを開発することを目指す。一般的なプロセッサには、稼働率、チップ温度、経年劣化等の稼働状況パラメータをリアルタイムにモニタする回路が搭載されている。提案システムでは、これらのモニタ回路のモニタ結果に基づき、VDD と VBG の最適解を瞬時に導出する。与えられた要求性能を満たしながら、あらゆるプロセッサに対し最小の消費エネルギーでアプリケーションを処理させる電圧制御システムを実現することを目指す。VDD と VBG の同時調節という概念を追加した独自の電圧制御システムをあらゆる集積回路デバイスに組み込み、次世代情報基盤技術にブレークスルーをもたらすことを目指す。

3. 研究の方法

以下のアプローチにわけて研究を実施した。

(a) VDD と VBG の最適化技術の開発

CMOS 集積回路の性能予測モデルに基づき、与えられた要求動作速度を満たし、最小のエネルギーで集積回路が動作する VDD と VBG (以後最小エネルギー点と呼ぶ) の解析モデル式を導出する。特に、幅広い動作性能領域においてプロセッサが最小エネルギー点で動作できるように、トランジスタの動作性能領域をまたいで連続的に最小エネルギー点を表現可能なモデル式を導出する。稼働状況パラメータのモニタ結果に基づき、瞬時に最小エネルギー点を導出する電圧最適化手法を明らかにすることで、あらゆる集積回路デバイスを最小のエネルギーで稼働させるための電圧制御手法を明らかにする。

(b) ハードウェア・ソフトウェア協調型スケジューラの開発

電圧制御システムを OS に搭載することを見据え、VDD と VBG に加え、クロック周波数を動的に調節し、プロセッサの消費エネルギーを最小化させるスケジューリング問題に取り組む。具体的には、プロセッサに与えられたアプリケーション（タスクの集合）とデッドラインの下、最小の消費エネルギーでアプリケーションを実行する VDD、VBG、クロック周波数を決定する手法を明らかにする。最小のエネルギーでアプリケーションを実行可能な組込プロセッサ向けの独自のスケジューラを明らかにする。

(c) 実チップ測定による検証

65-nm SOTB プロセステクノロジーを例に、提案手法を実チップ測定に基づき検証し、その有効性を明らかにする。

4. 研究成果

① 幅広い動作性能領域において、最小エネルギー点動作を実現するための電圧制御手法

方法(a)のアプローチを通し、幅広い電圧領域において閉形式かつ連続的に最小エネルギー点を近似する関数を導出した。トランジスタが弱反転状態で動作するサブスレッショルド領域から、強反転状態で動作するアバブスレッショルド領域までトランジスタ特性を連続的に表現可能な EKV モデルを活用した。EKV モデルにより最小エネルギー点を全動作領域で連続かつ閉形式に精度良く表現できることを明らかにした。これは世界初の成果であり、特にニアスレッショルド領域（電源電圧がトランジスタのしきい値電圧近傍に設定され、集積回路のエネルギー効率が良い電圧領域）において、これまで閉形式でモデル化されていなかった最小エネルギー点をモデル化することに成功した。

導出した最小エネルギー点の近似関数に基づき、与えられた要求動作速度を確保しながらランタイムに電圧最適化を行う手法を開発した。従来の VDD、VBG 最適化手法においては、プロセッサの稼働状況の変化に応じて VDD と VBG を小刻みに変更し、電圧変更の度に最小エネルギー点であるか否かの判定を行っていた。状況によっては 1 回の最適化に対して数十回の反復試行が必要である。このため、ミリ秒オーダー程度の稼働状況の変化（最小のエネルギー点の変化）に追いつけず、適用可能アプリケーションの範囲に課題点があった。本研究にて、2, 3 回の電圧調節のみで最小のエネルギー点に到達可能な電圧制御アルゴリズムを明らかにし、適用可能なアプリケーションの範囲を大幅に拡大した。

方法(c)のアプローチを通し、以上の研究成果を SOTB 65-nm プロセスで試作した RISC プロセッサで検証した（図 3）。サブスレッショルド領域からアバブスレッショルド領域の幅広い領域に対し、実際の最小エネルギー点動作時と比較して+5%以内の消費エネルギーロスでプロセッサを稼働させることに成功した。当該技術により、2 桁以上要求動作性能要求が変動するアプリケーションにおいても、瞬時に最小エネルギー点へ電圧調節することが可能になる。以上の成果を国際会議 2 件、国内学会 1 件に投稿し、SASIMI2021 Best Paper Award を受賞した。研究成果を論文誌にまとめ、条件付き採択の判定結果を得ている（2021 年度に採択判定を得た）。

② リアルタイムスケジューリング技術の開発

方法(b)のアプローチを通し、プロセッサに与えられたタスクの集合に対して、デッドラインを守りつつ最小のエネルギーでアプリケーションを処理するリアルタイムスケジューリング手法を研究した。1 章で述べた通り、稼働状況パラメータの変化に応じて、最小エネルギー点が動的に変化する。最小エネルギー点の動的変化を追跡するため、最小エネルギー点でプロセッサが消費するエネルギーと動作速度のトレードオフ関係に対し、大胆な近似を適用した閉形式の解析モデルを提案した。大胆に近似された消費エネルギーと動作速度のトレードオフ関係式を活用することで、単純な線形方程式を解くだけで、各タスク実行時にプロセッサに与える VDD と VBG およびクロック周波数をリアルタイムに導出できる。稼働状況パラメータのランタイムモニタ結果を活用し、リアルタイムに最適化するスケジューリングアルゴリズムを提案した（図 4）。仮想プロセッサと仮想タスク集合を用いたリアルタイム電圧制御の実験において、従来の DVFS ベースのスケジューリング手法より平均して 32%の消費エネルギーを削減できた。国内学会 1 件で発表し、情報処理学会 SLDM 研究会優秀論文賞を受賞した。

また、①、②の個別テーマを総合して、1 件の招待講演を行い、1 件の著書収録があった。

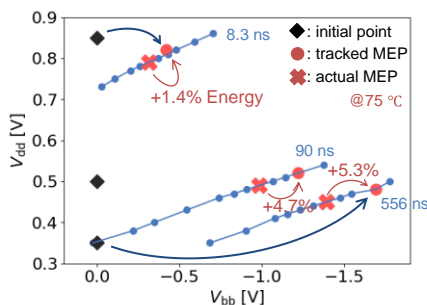
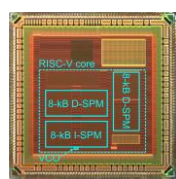


図 3: RISC プロセッサを用いた最小エネルギー点(MEP)動作の検証。



32-bit RISC processor
65-nm process
Temperature: 0-75 °C
Workload: DCT
D-SPM: 16-kB
I-SPM: 8-kB

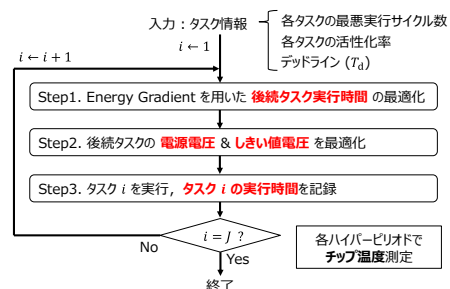


図 4: リアルタイム電圧制御アルゴリズム。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計4件（うち招待講演 1件 / うち国際学会 2件）

1. 発表者名 塩見 準, 石原 亨, 小野寺 秀俊
2. 発表標題 リアルタイム電圧最適化によるマルチタスク処理の消費エネルギー最小化
3. 学会等名 組込み技術とネットワークに関するワークショップ (ETNET2019)
4. 発表年 2019年

1. 発表者名 塩見 準
2. 発表標題 最小のエネルギーで計算する電圧スケラブルプロセッサ
3. 学会等名 情報処理学会 第81回全国大会 IPSJ-ONE (招待講演)
4. 発表年 2019年

1. 発表者名 Shoya Sonoda, Jun Shiomi, and Hidetoshi Onodera
2. 発表標題 Dynamic Supply and Threshold Voltage Scaling Towards Runtime Energy Optimization over a Wide Operating Performance Region
3. 学会等名 Proceedings of the 33rd IEEE International System-on-Chip Conference (SOCC) (国際学会)
4. 発表年 2020年

1. 発表者名 Shoya Sonoda, Jun Shiomi, and Hidetoshi Onodera
2. 発表標題 Minimum Energy Point Tracking over a Wide Operating Performance Region
3. 学会等名 Proceedings of the 23rd Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) (国際学会)
4. 発表年 2021年

〔図書〕 計1件

1. 著者名 Liliana Andrade, Frederic Rousseau	4. 発行年 2021年
2. 出版社 Wiley-ISTE 320	5. 総ページ数 320
3. 書名 Multi-Processor System-on-Chip: Vol. 1 - Architectures	

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------