

令和 3 年 6 月 18 日現在

機関番号：11301

研究種目：挑戦的研究（萌芽）

研究期間：2019～2020

課題番号：19K21953

研究課題名（和文）負の熱膨張ゲート電極によるトランジスタへの新規ひずみ導入技術の創成

研究課題名（英文）Development of transistors with negative-CTE gate electrode for introducing strained Si

研究代表者

木野 久志（Kino, Hisashi）

東北大学・学際科学フロンティア研究所・助教

研究者番号：10633406

交付決定額（研究期間全体）：（直接経費） 4,600,000円

研究成果の概要（和文）：現在の高度情報化社会をハードウェア面から支える半導体集積回路は主にトランジスタによって構成されており、トランジスタの微細化により高性能化を達成している。さらに近年は、ひずみシリコン技術などの併用により高性能化を達成している。しかしながら、導入可能なひずみ量は飽和しつつあり、新たなひずみ導入技術が求められている。

本研究では負の熱膨張係数を有する材料を用いた全く新しいひずみ導入技術を創成する。負の熱膨張係数を有する材料として、マンガ窒化物に注目し、マンガ窒化物を有するトランジスタの作製技術を確認した。そして、試作したトランジスタにおいて、移動度の向上を確認した。

研究成果の学術的意義や社会的意義

高度情報化社会を支える半導体集積回路の性能向上のためにはシリコンへのひずみ導入技術はもはやなくてはならない技術の一つである。一方、ひずみシリコン技術が実用化されてから大よそ15年が経過したが、現状のひずみ導入法では印加可能なひずみ量が飽和しつつあり、さらなるひずみを導入可能な技術が早急に求められている。このような背景下において、本研究は高度情報化社会をさらに発展させ得る社会的意義を有しており、トランジスタを構成する要素に負の熱膨張係数を有する材料を導入する本研究は学術的にも高い意義を有する。

研究成果の概要（英文）：Large-scale integrated circuits, which support the current advanced information society from the hardware side, are mainly composed of transistors. The performances have been improved by scaling down transistors. In addition, in recent years, high performance has been achieved by the combined use of strained-silicon technology. However, the amount of strain introduced is becoming saturated, and a new strain introduction technique is strongly required. This study creates an entirely new strain introduction technique using materials with negative thermal expansion coefficients.

Focusing on manganese nitride as a material with a negative thermal expansion coefficient, we established a process technology for transistors with manganese nitride. The mobility improvement was obtained in the fabricated transistor.

研究分野：半導体工学

キーワード：負熱膨張 トランジスタ

1. 研究開始当初の背景

現在の高度情報化社会をハードウェア面から支える半導体集積回路は主に MOS 型電界効果型トランジスタ(MOS Field Effect Transistor; MOSFET)によって構成されており、MOSFET の微細化により高性能化を達成している。MOSFET は微細化することで駆動電流の増加、回路面積の縮小、消費電力の低減など様々な恩恵が受けられる。しかしながら、2000 年に入った頃から単純な微細化のみでは所望の特性を得ることが困難となり、ひずみシリコン技術などの併用により高性能化を達成している。シリコンにひずみを与えることで電子および正孔の移動度が変化する。つまり、シリコンにひずみを与えることで駆動電流を増加させることが可能となる。しかしながら、導入可能なひずみ量は飽和しつつあり、新たなひずみ導入技術が求められている。

2. 研究の目的

半導体集積回路を構成するトランジスタは結晶ひずみを導入することで駆動電流の増大を図っている。本研究では負の熱膨張係数を有する材料を用いた全く新しいひずみ導入技術を創成する。

提案構造を図 1 に示す。一般的な MOSFET のゲート電極に負の熱膨張係数を有する材料を適用した構造である。負

の熱膨張係数を有する材料は温めれば縮小し、冷却すると膨張する特徴を示す材料である。負の熱膨張係数を示す材料としてマンガン窒化物が挙げられる。本材料をゲート電極として高温環境下で堆積すると、熱膨張しているシリコン上に堆積されることになる。その後、室温まで戻すと、シリコンは膨張前の状態に戻ろうとするが、ゲート電極の熱膨張係数が負の値であるため、ゲート電極は膨張し、シリコンの収縮を妨げるように働く。そのため、室温に戻してもシリコンは膨張した状態となり、引張ひずみが導入された状態と同等となる。また、本材料を室温よりも低い温度で堆積すれば、シリコンに圧縮ひずみを印加することが可能となる。このように、提案構造ではひずみの方向制御は非常に容易であり、SOI 基板を用いる必要もなく、さらにはチャンネル部分に直接作用するので大きなひずみ導入が期待できる。

本研究で提案するひずみ導入技術はこれまでにない全く新しい方法であり、チャンネル部分に直接的に作用するため非常に大きなひずみ導入を可能とする。さらには基板の種類を選ばないため、あらゆる場面で適用できる可能性を有している。本研究では実際に負の熱膨張係数を有する材料をゲート電極として採用した MOSFET を作製し、その有用性を実証することを目的とする。

3. 研究の方法

負の熱膨張係数を有するゲート電極を用いた MOSFET を図 2 に示す工程で作製する。はじめに一般的な MOSFET を試作し、全体を SOG(Spin On Glass)で覆う。SOG を用いて全体を平坦化し、全体をエッチングすることでポリシリコンゲート電極の頭出しを行う。その後、ポリシリコンゲート電極をウェットエッチングで除去し、ゲート電極部以外をフォトレジストで覆う。この状態で負の熱膨張係数を有する材料であるマンガン窒化物をスパッタ法で堆積する。このときの堆積温度は 60 °C である。マンガン窒化物はその組成比に応じて負の熱膨張を示す温度範囲

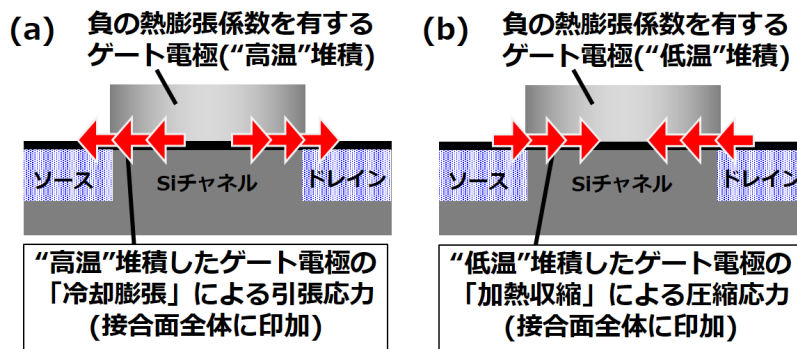


図1 負の熱膨張係数を有する材料をゲート電極として用いることによる MOSFET への新規ひずみ導入技術の概要図 (a) 堆積温度から室温への冷却による引張ひずみ導入の様子 (b) 堆積温度から室温への加熱による圧縮ひずみ導入の様子

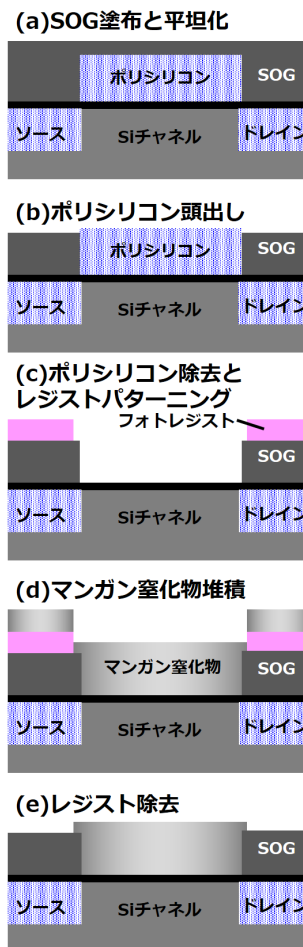


図 2 負の熱膨張係数ゲート電極を有する MOSFET の作製工程

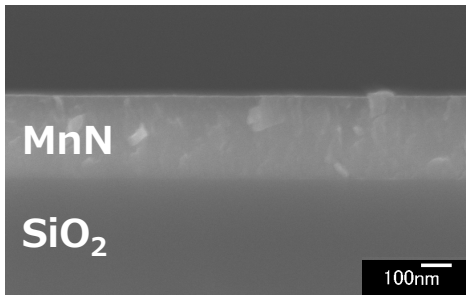


図3 汎用的なRFマグネトロンスパッタ装置で堆積したマンガン窒化物薄膜の断面SEM写真

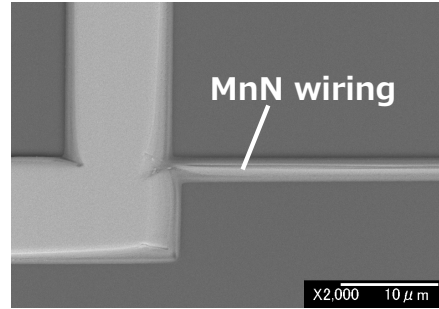


図4 試作したマンガン窒化物電極の上面SEM写真

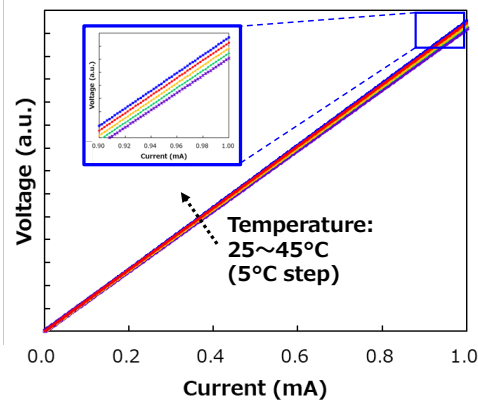
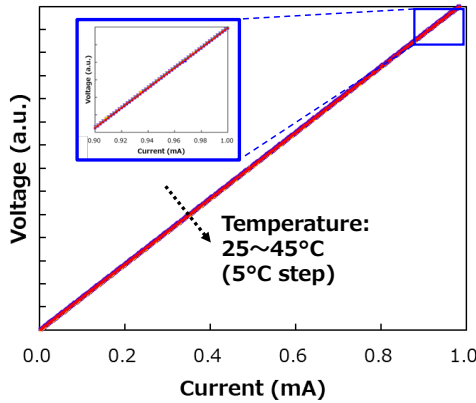


図5 試作したマンガン窒化物電極の電流電圧特性(左)およびアルミニウム電極の電流電圧特性(右)

が変化する。その温度範囲はおおよそ 40 °C であるので、室温から負の熱膨張を示す温度域は約 60 °C までとなる。そのため、堆積温度を 60 °C とした。その後、フォトレジストを剥離することでゲート電極部にのみマンガン窒化物を残す。この段階で 60 °C から室温に戻る際に、ゲート電極下のシリコンは膨張したままになっており、引張ひずみが印加された状態となっている。その後、配線工程を終えて素子が完成する。比較のため、マンガン窒化物の代わりに一般的にゲート電極材料として使用されるタングステンやアルミニウムでの試作も行う。試作した素子を測定し、スプリット C-V 法などにより反転層におけるキャリア移動度を導出し、本提案構造の有用性を実証する。

#### 4. 研究成果

本研究で堆積したマンガン窒化物薄膜の断面SEM(Scanning Electron Microscope: 走査型電子顕微鏡)写真を図3に示す。将来的にCMOS集積回路プロセスへの組み込みを想定して、汎用的なRFマグネトロンスパッタ装置を用いて堆積した。SEM写真から結晶粒が形成されていることが確認できる。マンガン窒化物は逆ペロブスカイト構造を示すことで、負の熱膨張係数をはじめとする様々な特徴を示す。堆積した窒化マンガン薄膜のXRD(X-ray diffraction: X線回折)による測定結果を得られた

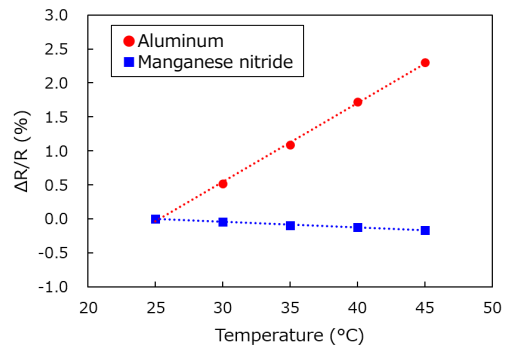


図6 マンガン窒化物電極とアルミニウム電極の抵抗変化率の温度依存性

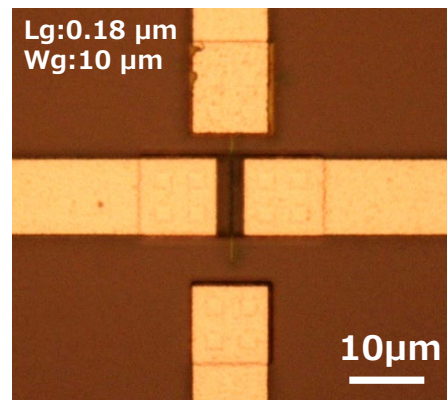


図7 試作したMOSFETの光学顕微鏡写真

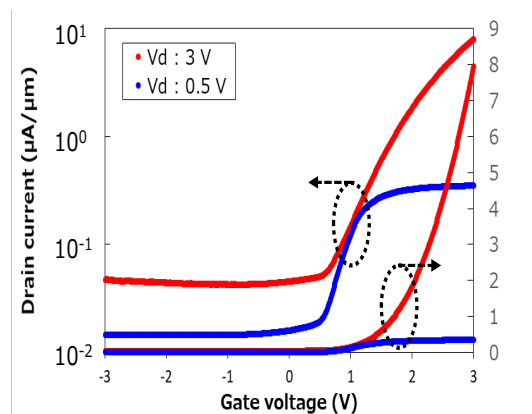


図 8 試作した MOSFET のドレイン電流-ゲート電圧特性

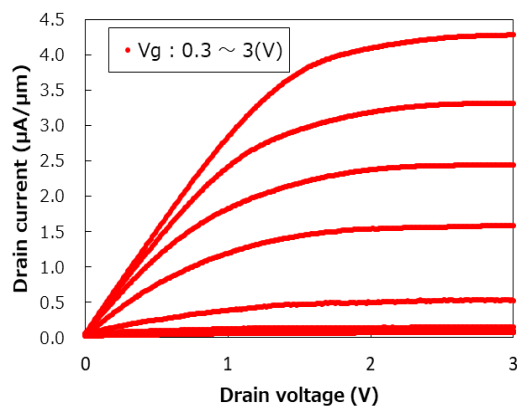


図 9 試作した MOSFET のドレイン電流-ドレイン電圧特性

結果は先行研究で示されている逆ペロブスカイト構造を有するマンガ窒化物と同等の結果を示していることから、スパッタで堆積させた薄膜マンガ窒化物も逆ペロブスカイト構造を取り得ることが示された。

本研究で試作したマンガ窒化物電極の SEM 写真を図 4 に示す。マイクロ/ナノスケールのマンガ窒化物電極が形成出来ていることが確認できる。逆ペロブスカイト構造を有するマンガ窒化物の特徴として、抵抗率の温度依存性が低いことが挙げられる。試作したマンガ窒化物の電気特性を評価することで、試作した電極が逆ペロブスカイト構造を有しているか推定できる。図 5(左)に試作したマンガ窒化物の電流電圧特性を示す。比較のために測定したアルミ

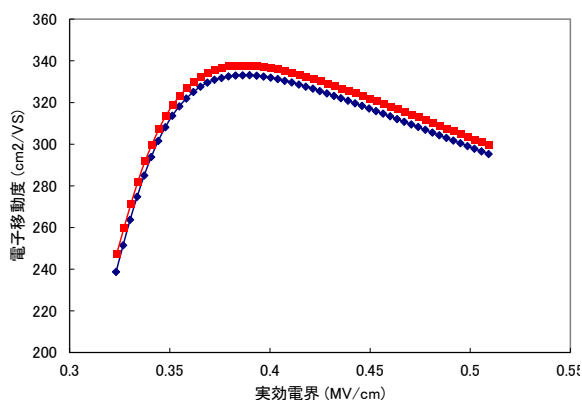


図 10 試作した MOSFET の移動の比較

ニウム電極の電流電圧特性を図 5(右)に示す。アルミニウム電極は温度上昇に伴い、抵抗値が減少している様子が分かる。一方で、マンガ窒化物電極は温度が変化しても、電流電圧特性の変動は殆どないことが確認できる。次に、図 5 から導出した抵抗値の温度依存性を図 6 に示す。試作したマンガ窒化物電極の温度依存性はアルミニウム電極の約 1/50 であり、非常に低い温度依存性を示している。以上から、試作したマイクロ/ナノスケールのマンガ窒化物電極も逆ペロブスカイト構造を有していると考えられる。

次に、実際に試作した MOSFET の顕微鏡写真を図 7 に示す。図 6 に示す MOSFET はポリシリコンゲートである。これらの MOSFET のドレイン電流-ゲート電圧特性およびドレイン電流-ドレイン電圧特性を図 8 と図 9 に示す。一般的なドレイン電流-ゲート電圧特性およびドレイン電流-ドレイン電圧特性を得ている。これらの電気特性からスプリット C-V 法を用いて導出した電子移動度特性を図 10 に示す。移動度特性の変動が確認された。現在、詳細な解析を引き続き行っている。

今後は負の熱膨張係数を有する材料をゲート電極とした MOSFET を用いて、実際に集積回路を試作り、回路としての特性向上を目指す。

## 5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件 / うち国際共著 0件 / うちオープンアクセス 2件）

1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 7
2. 論文標題 Investigation of TSV Liner Interface With Multiwell Structured TSV to Suppress Noise Propagation in Mixed-Signal 3D-IC	5. 発行年 2019年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 1225 ~ 1231
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/JEDS.2019.2936180	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 8
2. 論文標題 Generation of STDP With Non-Volatile Tunnel-FET Memory for Large-Scale and Low-Power Spiking Neural Networks	5. 発行年 2020年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 1266 ~ 1271
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/JEDS.2020.3025336	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 59
2. 論文標題 Symmetric and asymmetric spike-timing-dependent plasticity function realized in a tunnel-field-effect-transistor-based charge-trapping memory	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SGGB12 ~ SGGB12
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/ab6867	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 2件 / うち国際学会 5件）

1. 発表者名 H. Kino, T. Fukushima, T. Tanaka
2. 発表標題 Investigation of the Underfill with Negative-Thermal-Expansion Material to Suppress Mechanical Stress in 3D Integration System
3. 学会等名 IEEE 2019 International 3D Systems Integration Conference, 3DIC 2019（国際学会）
4. 発表年 2019年

1 . 発表者名 H. Kino, T. Fukushima, T. Tanaka
2 . 発表標題 Noise Propagation through TSV in Mixed-Signal 3D-IC and Investigation of Liner Interface with Multi-Well Structured TSV
3 . 学会等名 2019 Electron Devices Technology and Manufacturing Conference, EDTM 2019 ( 国際学会 )
4 . 発表年 2019年

1 . 発表者名 H. Kino, T. Fukushima, T. Tanaka
2 . 発表標題 Development of Non-Volatile Tunnel-FET Memory as a Synaptic Device for Low-Power Spiking Neural Networks
3 . 学会等名 4th Electron Devices Technology and Manufacturing Conference, EDTM 2020 ( 国際学会 )
4 . 発表年 2020年

1 . 発表者名 Hisashi Kino
2 . 発表標題 Local Bending Stress Suppression with Negative-CTE Material for High Performance 3D IC
3 . 学会等名 The 17th International Nanotech Symposium & Exhibition NANO KOREA ( 招待講演 ) ( 国際学会 )
4 . 発表年 2019年

1 . 発表者名 Hisashi Kino
2 . 発表標題 Development of underfill with negative-CTE material for high-reliable three-dimensional integrated circuit (3D IC)
3 . 学会等名 The 3rd International Symposium on Negative Thermal Expansion and Related Materials ( 招待講演 ) ( 国際学会 )
4 . 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------