

令和 3 年 5 月 27 日現在

機関番号：14301

研究種目：研究活動スタート支援

研究期間：2019～2020

課題番号：19K23515

研究課題名（和文）厳環境動作SiCハイブリッド集積回路の開発

研究課題名（英文）Development of SiC hybrid integrated circuits operational under harsh environment

研究代表者

金子 光顕（Kaneko, Mitsuaki）

京都大学・工学研究科・助教

研究者番号：60842896

交付決定額（研究期間全体）：（直接経費） 2,200,000円

研究成果の概要（和文）：本研究では高温・高圧・高放射線環境下などの厳環境で動作する集積回路の開発に向け、ワイドギャップ半導体である炭化ケイ素（SiC）による接合型電界効果トランジスタで構成された相補型回路の特性予測、高性能化に向けた横型パワーデバイスの同時作製を目指した。既存のシリコン集積回路とは異なる設計指針を提示し、広い温度範囲で安定した動作が可能であることを示した。相補型回路を構成するトランジスタと横型パワーデバイスの同時作製を行い、良好なトランジスタ特性、600V以上の耐圧を有するパワーデバイスの作製に成功した。

研究成果の学術的意義や社会的意義

300 以上の高温環境で動作可能な集積回路はエンジン燃焼室の燃費向上や表面温度が高い惑星（金星など）の探索など幅広い応用が期待されている。本研究で示した広い動作温度を考慮した回路動作予測・設計指針により、実応用を見据えた研究開発の進展に貢献できる。通常、大電圧を扱うパワーMOSFETは集積回路とは別のチップとして実装することが多いが、本研究により同一チップ上の作製（モノリシック化）が可能となり、システム的大幅な簡素化が期待できる。

研究成果の概要（英文）：In this study, we have calculated transfer characteristics of a complementary logic gate composed of silicon carbide p- and n-channel junction field-effect transistors (JFETs) and developed lateral power transistors simultaneously made with JFETs. We have shown the design rule of JFETs which enables stable operation from room temperature to high temperature. The lateral metal-semiconductor-oxide field-effect transistors was successfully fabricated with JFETs and showed blocking voltage of more than 600 V.

研究分野：電子デバイス

キーワード：炭化ケイ素 電界効果トランジスタ 論理回路

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

高温・高圧・高放射線環境下などの厳環境で動作する集積回路は石油・ガスの掘削作業、惑星探索、エンジン燃焼室の燃費向上など様々な応用先が存在する。現在主流のシリコン集積回路は n 型および p 型の金属-酸化膜-半導体 (MOS) デバイスを利用している。高温動作に関して、シリコンが約 200 で真性領域に入り、n 型と p 型の区別がつかなくなるため、それ以上の温度での動作が不可能である。また、高放射線環境下では MOSFET のゲート絶縁膜であるシリコン酸化膜が界面近傍の酸化膜中に酸素空孔などの構造欠陥が存在し、放射線照射で発生したキャリアが欠陥に捕獲されることで閾値電圧がシフトしてしまう。

シリコンの物性限界を打破する方法として、ワイドギャップ半導体の活用が考えられる。ワイドギャップ半導体とは、バンドギャップが広い半導体のことであり、堅牢な半導体材料であることが知られている。ワイドギャップ半導体の中でも、炭化ケイ素 (SiC) は例外的に広範囲の n 型、p 型の伝導型制御が可能のため、集積回路の作製に適した材料である。また、SiC はパワー半導体用材料としても優れた材料物性を有しており、社会実装への強い要求から、学术界・産業界において広く研究開発が進んでいる。一方、パワー半導体用の研究が先行していたため、集積回路の研究は限られているのが現状である。シリコンと同様に MOS デバイスを活用することで集積回路を作製することが可能だが、ゲート絶縁膜はシリコン集積回路の場合と同様にシリコン酸化膜であり、酸化膜界面の欠陥による信頼性の低下が不可避である。

上記の背景のもと、研究代表者は、接合型電界効果トランジスタ (JFET) をキーデバイスとして使用し、厳環境で動作する集積回路の開発に取り組んできた。JFET はシリコン酸化膜をゲート部に使用しないため、酸化膜の信頼性の問題を回避できる。また、閾値電圧の温度変化が小さい、電圧駆動である等の利点からも、厳環境動作集積回路に最適なデバイスと言える。JFET を使用した回路構成として n 型と p 型のノーマリーオフ JFET を使用した相補型の回路構成 (CJFET) を提案した。相補型回路は静的消費電力が非常に小さく、厳環境の限られた資源における長時間動作が可能となる。

CJFET の構成には同一基板上への n 型 p 型 JFET の作製が必須となる。従来のエピタキシャル成長層をチャンネル層とした JFET では、デバイスプロセス工程が複雑となり、事実上実現が不可能であった。そこで研究代表者はデバイス構造全てをイオン注入により作製することで同一基板上の n 型 p 型 JFET の作製を行い、その 400 動作を実証した [Kaneko and Kimoto IEEE EDL 39 (2018) 723]。CJFET の実現に大きく近づいたと言えるが、SiC CJFET の動作報告はこれまで無く、本研究で対象としている厳環境 (特に高温環境) において回路動作の予測が必要となる。回路動作の予測にはデバイスモデルを構築する必要があるが、広い温度範囲で SiC の物性を考慮した回路動作予測はこれまでなされてこなかった。また、JFET 構造全てをイオン注入で作製する特徴を活かして、JFET 以外のデバイスを同時作製することも考えられるが、SiC CJFET の作製自体行われてこなかったため、そのような試みはされてこなかった。

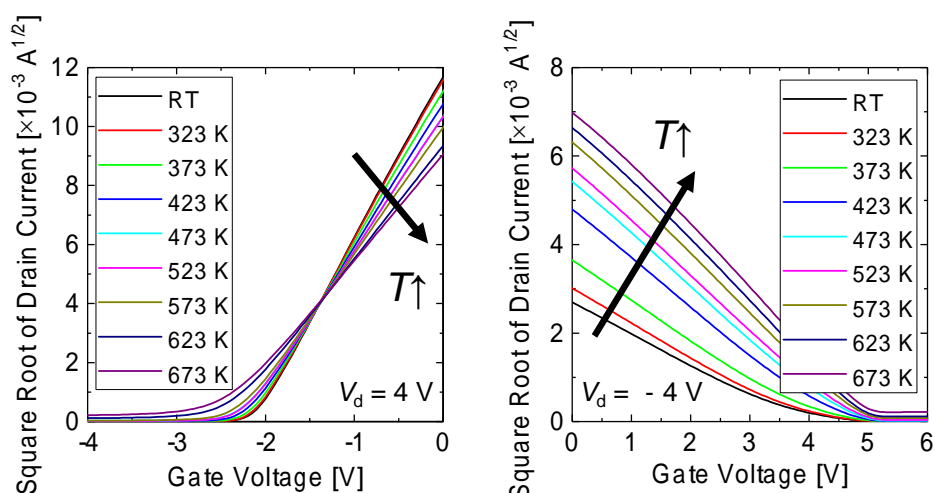


図 1: イオン注入のみで作製した SiC n-, p-JFET の室温-400 動作実証 [Kaneko and Kimoto IEEE EDL 39 (2018) 723]

2. 研究の目的

以上の背景のもと、本研究では SiC CJFET の回路動作予測にむけコンパクトモデルによる特性計算を行う。さらに、JFET と横型パワー-MOSFET の同時作製を行いハイブリッド集積回路へと展開する。

3. 研究の方法

コンパクトモデルには、gradual channel approximation を基にした解析モデルを採用した。キャリア密度や移動度の温度変化は SiC エピタキシャル層に対する実験値を適用した。計算の対象とする回路は最も単純な回路であるインバータとした。

横型パワーMOSFETの作製はJFETと同じイオン注入プロファイルを使用して作製できるようマスク設計を行った。

4. 研究成果

(1) コンパクトモデルによる高温動作予測

計算の対象とした CJFET インバータの回路図を図2に示す。CJFET インバータ回路は CMOS インバータの MOSFET を JFET で置き換えることで構成できる。電源電圧が V_{DD} のとき、論理閾値電圧 V_{th} は $V_{DD}/2$ となるのがノイズマージンを確保する上で重要となる。p-JFET と n-JFET の飽和領域の電流値が同じとなる条件から、以下の式が導かれる。

$$\frac{\beta_n}{\beta_p} = \frac{(V_{DD}/2 + V_{Tp})^2}{(V_{DD}/2 - V_{Tn})^2} \quad (1)$$

ここで、 β_n (β_p) は n-JFET (p-JFET) のベータ値であり、 $\beta_n = 4\epsilon_s q W_n \mu_n n / L_n a_n N_D$ ($\beta_p = 4\epsilon_s q W_p \mu_p p / L_p a_p N_A$) とあらわされる。また、 V_{Tn} (V_{Tp}) は n-JFET (p-JFET) の閾値電圧であり、室温で $0.95V$ ($-0.95V$) となるようにチャネル厚、ドーピング密度を設計した。計算では電源電圧を $2V$ とした。デバイス構造は過去に作製した JFET 構造 (図3) を想定した。チャネル長は固定値とし、チャネル幅をパラメータとして設定した。

室温で式(1)を成立させた際の論理閾値電圧の温度依存性を図4(a)に黒色実線で示す。室温では設計通り論理閾値電圧が $1V$ となっており、理想的特性といえる。Si CMOS インバータでも同様の回路設計指針を採用している (Si CMOS では pチャネルと nチャネルの移動度の差を考慮して $W_p/W_n \sim 2$ となるようデバイス構造を設計する)。一方、温度上昇に伴い論理閾値電圧が大きくシフトしていることがわかる。(室温から $900K$ で $0.18V$) このときの式(1)の左辺、右辺の温度依存性を図4(a)に赤色点線、実線でそれぞれ示す。式(1)の右辺 (赤色実線) は温度変化が小さいのに対し、左辺 (赤色点線) はキャリア密度の温度依存性が大きいので、温度変化と共に大きく変化することがわかる。その結果、式(1)が高温で満たされなくなり、論理閾値電圧の

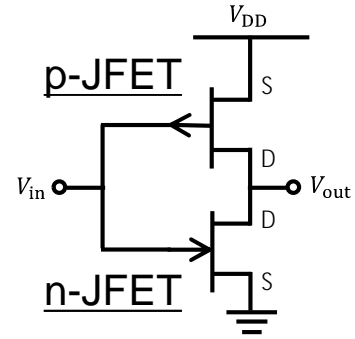


図2: CJFET インバータ回路図

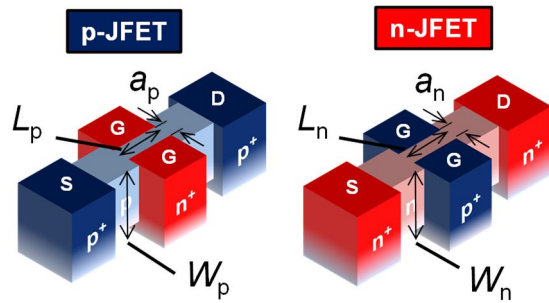


図3: CJFET インバータの伝達特性計算に想定したデバイス構造

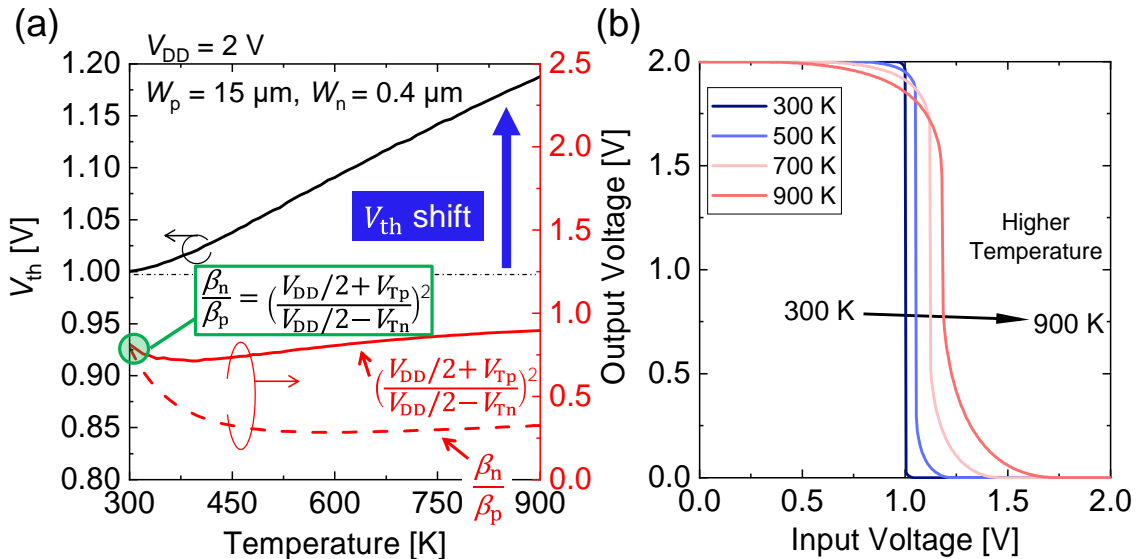


図4: (a) 論理閾値電圧および式(1)の両辺の温度依存性。式(1)が室温で成立するように W_p/W_n を調整している。(b) 伝達特性の温度依存性。

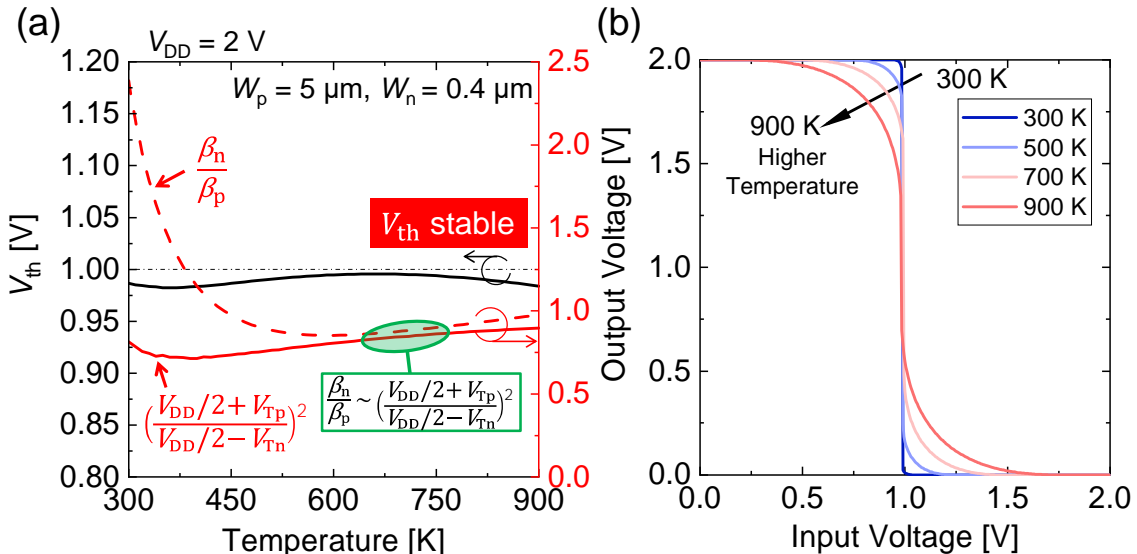


図 5: (a)論理閾値電圧および式(1)の両辺の温度依存性。式(1)が高温で成立するように W_p/W_n を調整している。(b)伝達特性の温度依存性。

シフトが生じる。このときの伝達特性の温度依存性を図 4(b)に示す。図 4(b)からも論理閾値電圧が温度上昇と共に大きくシフトする様子がわかる。

高温で式(1)を成立させた際の論理閾値電圧の温度依存性を図 5(a)に示す。室温から高温にわたって論理閾値電圧の変化を抑制できている(室温から 900K で 0.02V 以下)。室温では式(1)が満たされていないが、nJFET と pJFET の閾値電圧の絶対値の差が小さく、貫通電流がほとんど流れないため論理閾値電圧を約 1V とすることができている。図 5(b)に示した伝達特性からも、論理閾値電圧が室温から 900K の間で非常に小さいシフトに抑えられていることがわかる。以上のことから、高温において式(1)が成立するように W_p/W_n を設計することで室温から高温まで広い温度範囲で論理閾値電圧の温度変化を抑制できることがわかった。

(2) JFET と横型パワー-MOSFET の同時作製

作製した n チャネル横型パワー-MOSFET の上面および断面構造模式図を図 6 に示す。図 3 に示す CJFET インバータ作製用の p-, n-JFET 作製の際、イオン注入用マスクを図 6 のように配置することで同時に作製を行った。ゲート-ドレイン間に $L_D = 10\text{-}40 \mu\text{m}$ の耐圧維持層を設けた。ボディ領域のドーピング密度は $1 \times 10^{17} \text{ cm}^{-3}$ である。酸化膜形成後、NO 雰囲気による熱処理の有無で比較を行った。

作製した横型パワー-MOSFET のドレイン特性を図 7 に示す。明瞭な線形・飽和領域を示し、トランジスタ動作が確認できた。

図 8(a)に NO 処理を施していない横型パワー-MOSFET のゲート特性を実線で示す。ゲート特性について、耐圧維持層の長さに対して明確な依存性は確認されなかったため、作製した MOSFET の抵抗成分として耐圧維持層の直列抵抗の寄与は小さいと考えられる。図 8(b)に NO 処理を施していない横型パワー-MOSFET の耐圧測定結果

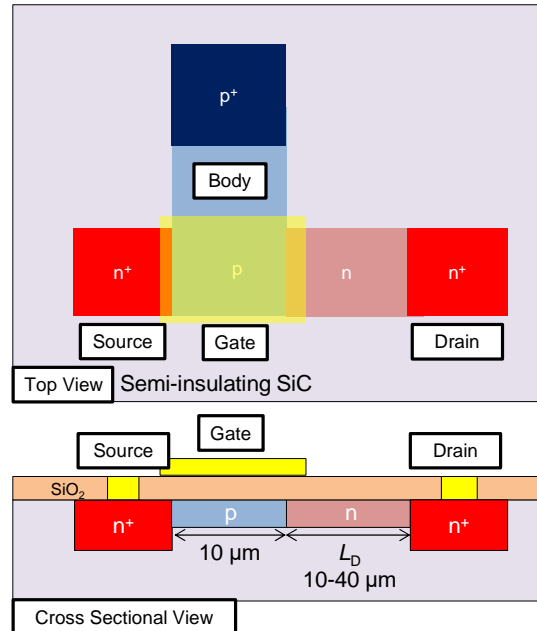


図 6: 横型パワー-MOSFET の上面および断面構造模式図

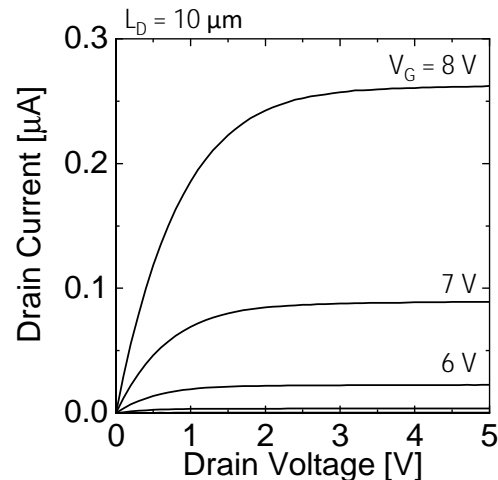


図 7: 作製した横型パワー-MOSFET のドレイン特性

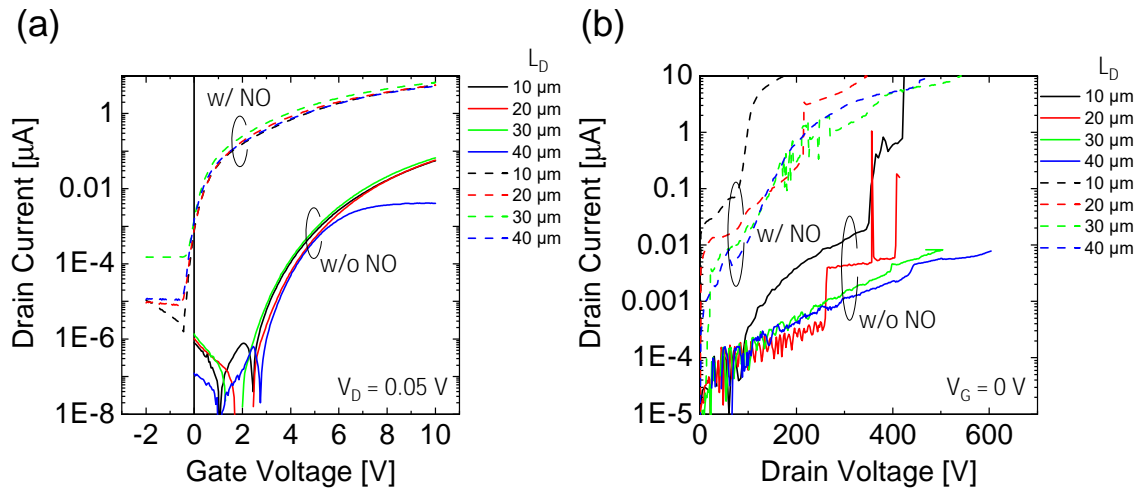


図 8: 作製した横型パワーMOSFET の(a)ゲート特性および(b)耐圧測定

を実線で示す。 L_D の増加に伴い、耐圧の増加が確認され、 $L_D = 40 \mu\text{m}$ では600 V以上の耐圧を有することがわかった。絶縁破壊の際、再度測定を行うとリーク電流の大幅な増加が確認されたため、不可逆的破壊が生じているが、JFET と横型パワーMOSFET の同時作製に成功したと言える。

SiO₂/SiC 界面には高密度の界面欠陥が存在しており、その欠陥が MOS チャネル移動度を大幅に低減させることが知られている。界面欠陥低減手法として、窒化処理が一般的に用いられる。本研究で作製した横型パワーMOSFET に対しても NO 雰囲気による窒化処理を行った。NO 処理を行った MOSFET のゲート特性および耐圧測定結果を図 8(a)および(b)に破線で示す。ゲート特性に着目すると、窒化処理によりドレイン電流の大幅な増大が確認できた。これは、前述の通り SiO₂/SiC 界面欠陥密度を窒化処理により低減したことに起因する。一方、立ち上がり電圧に着目すると、NO 処理により閾値電圧の絶対値が低下していることがわかる。NO 処理を行うと、界面に窒素原子が導入されること、および正の固定電荷が導入されることが知られているが、本研究で作製した MOSFET でも同様に窒素原子および正の固定電荷が導入されていることが考えられる。耐圧測定について、NO 処理を施していない MOSFET と比較すると、リーク電流が大幅に増大していることがわかる。図 8(a)のゲート特性から明らかなように、NO 処理による正の固定電荷の導入によりゲート電圧が 0V であっても電流が流れている（ノーマリーオン動作）ことがわかる。このことにより、NO 処理を施した MOSFET では耐圧測定時に大幅なリーク電流の増加がみられたと考えられる。

(3) 本研究の位置付けとインパクトおよび今後の展望

上述の(1)の研究成果により、SiC CJFET を作製する際、デバイス特性の温度依存性を考慮してデバイス設計を行うことで、温度上昇に伴うノイズマージンの低下を防ぐことができる設計指針が明らかになった。高温環境における集積回路動作は高信頼性が求められるため、実用化に重要であると考えられる。(2)の研究成果により、集積回路用の CJFET に加え、横型パワーMOSFET を同時作製できることが実証された。通常、大電圧を扱うパワーMOSFET は集積回路とは別のチップとして実装することが多いが、本研究により同一チップ上の作製（モノリシック化）が可能となり、システム的大幅な簡素化が期待できる。一方、作製したパワーMOSFET は不可逆的破壊を示したため、フィールドプレート等の電界集中を緩和する構造を取り入れる等工夫することで、より高耐圧・高信頼性のパワーMOSFET の作製が可能になると考えられる。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件 / うち国際共著 1件 / うちオープンアクセス 0件）

1. 著者名 Nakajima M., Kaneko M., Kimoto T.	4. 巻 40
2. 論文標題 Normally-off 400 °C Operation of n- and p-JFETs With a Side-Gate Structure Fabricated by Ion Implantation Into a High-Purity Semi-Insulating SiC Substrate	5. 発行年 2019年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 866 ~ 869
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/LED.2019.2910598	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kaneko Mitsuaki, Grossner Ulrike, Kimoto Tsunenobu	4. 巻 963
2. 論文標題 SiC Vertical-Channel n- and p-JFETs Fully Fabricated by Ion Implantation	5. 発行年 2019年
3. 雑誌名 Materials Science Forum	6. 最初と最後の頁 841 ~ 844
掲載論文のDOI（デジタルオブジェクト識別子） 10.4028/www.scientific.net/MSF.963.841	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Kaneko M., Nakajima M., Jin Q., Kimoto T.	4. 巻 67
2. 論文標題 Experimental Study on Short-Channel Effects in Double-Gate Silicon Carbide JFETs	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 4538 ~ 4540
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TED.2020.3017143	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 4件）

1. 発表者名 Masashi Nakajima, Q. Jin, Mitsuaki Kaneko, Tsunenobu Kimoto
2. 発表標題 Experimental Study on Short-Channel Effects in Side-Gate SiC JFETs
3. 学会等名 International Conference on Silicon Carbide and Related Materials (ICSCRM 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Mitsuaki Kaneko, Tsibizov Alexander, Tsunenobu Kimoto, Ulrike Grossner
2. 発表標題 Breakdown Characteristics of Lateral PIN Diodes Fully Fabricated by Ion Implantation into HTCVD-Grown High-Purity Semi-Insulating SiC Substrate
3. 学会等名 International Conference on Silicon Carbide and Related Materials (ICSCRM 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Masashi Nakajima, Q. Jin, Mitsuaki Kaneko, Tsunenobu Kimoto
2. 発表標題 Impacts of Channel Length on Electrical Characteristics in Side-Gate SiC JFETs
3. 学会等名 The 9th Asia-Pacific Workshop on Widegap Semiconductors (APWS2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Q. Jin, Masashi Nakajima, Mitsuaki Kaneko, Tsunenobu Kimoto
2. 発表標題 Lateral spreads of Al and P atoms implanted into a high-purity semi-insulating SiC substrate
3. 学会等名 2020 International Conference on Solid State Devices and Materials (SSDM2020) (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------