

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 6月11日現在

機関番号：14401

研究種目：基盤研究（B）

研究期間：2008～2011

課題番号：20300017

研究課題名（和文） マルチプロセッサ SoC のアーキテクチャ設計最適化手法

研究課題名（英文） Architecture Design Method for Multi-processor SoC

研究代表者

今井 正治（IMAI MASAHARU）

大阪大学・大学院情報科学研究科・教授

研究者番号：50126926

研究成果の概要（和文）：

本研究では、マルチプロセッサ SoC のアーキテクチャ探索手法とタスクのプロセッサへの割り当て最適化手法を提案し、提案手法をプロトタイプとして実装した。計算機実験の結果、提案手法は最適解と同等の解を短時間で見つけることができた。

研究成果の概要（英文）：

This research proposed a new exploration method for Multi-Processor SoC architecture and task assignment optimization method, and implemented these methods as prototype design tools. Experimental results show that the proposed method can find solutions that are same quality as the optimal solutions in short time.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	4,300,000	1,290,000	5,590,000
2009年度	3,600,000	1,080,000	4,680,000
2010年度	3,600,000	1,080,000	4,680,000
2011年度	3,200,000	960,000	4,160,000
年度			
総計	14,700,000	4,410,000	19,110,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI設計技術

1. 研究開始当初の背景

携帯電話などの情報通信機器やメディア・プレーヤーなどのデジタル信号処理用機器に代表される電子システムに対する要求はますます高度になりつつある。これらの要求を実現するためには、最先端の VLSI (Very Large Scale Integration: 超大規模集積回路) 技術を駆使する必要がある。

半導体集積回路製造技術の進歩の結果、現在では数億トランジスタを集積化した VLSI の実装が可能になった。このような VLSI 製造技術を用いると、プロセッサ、専用ハードウェア回路 (ASIC: Application Specific IC), メモリ (RAM, ROM), 高周波回路, センサー,

アクチュエータなどを含む複雑な電子システムを単一チップ上に実装することが可能となった。このような VLSI は SoC (System on Chip) と呼ばれている。半導体業界の国際技術ロードマップである ITRS (International Technology Roadmap for Semiconductor) によれば、VLSI の集積度は今後も5年で10倍の増加率（年率 58%）で増加し続けると予想されているので、SoC も同様の増加率で大規模化すると考えられる。[1]

SoC を用いることによって、従来の技術では実現が困難であった様々な応用システムの実現が可能になる。たとえば、ユビキタス・システムやアンビエント・システムで必要と

なるポータブル端末には、小サイズ、高性能、低消費電力などが要求されるが、SoC を用いれば、これらの要求を満たすことができる。SoC の回路規模は年率 58% の割合で増加しているので、設計生産性も同程度の割合で向上させる必要がある。従来の設計手法をそのまま用いては、SoC の設計は近い将来、事実上不可能になる。次に SoC の開発コストを削減する必要がある。たとえば、最先端の SoC のフォトマスクだけでも 1 億円から 2 億円の作成費用が必要である。SoC の設計工数が増加すると、SoC の開発コストも増加することになる。

SoC の設計生産性を向上するためには、IP ベース設計手法が有効である。IP ベース設計手法では、既設計のコンポーネント (Intellectual Property) を組合せてシステムを構成する手法である。また、製品コストを低減させるためには、同一の製品がより多くの応用システムで使用可能になるように、柔軟性 (フレキシビリティ) を持たせる必要がある。従って、IP としては、ソフトウェアでプログラム可能なプロセッサ (命令セットプロセッサ) や FPPA (Field Programmable Gate Array) などが有用であると考えられる。

近い将来の大規模 SoC のシステム・アーキテクチャには様々な構成方法が考えられるが、それらの中では、マルチプロセッサ方式 (以下ではマルチプロセッサ SoC と呼ぶ) が有望であると考えられる。その理由は次の通りである。まず、ソフトウェアでプログラムできるプロセッサを用いることにより、専用ハードウェア (ASIC) を用いた場合よりも機能の変更などが容易に行えるので、システムの適用範囲がより広がる。その結果、同じ SoC をより多くの応用のために使用できるのでコストダウンが可能になる。また、既設計のプロセッサ IP を再利用すれば、コンポーネントの新規設計が不要になり、設計工数および設計コストが削減される。

マルチプロセッサ SoC は性質の異なる多数のコンポーネントから構成される非均質的 (heterogeneous) なシステムなので、対象となる応用分野に適したアーキテクチャ構成は決定することは容易ではない。マルチプロセッサ SoC のシステム構成の最適化を考える場合の最重要ポイントは、コンポーネント間の通信方式である。また、通信方式を最適化するためには、それぞれの方式に対して、複数のパラメタの値を調整する必要がある。

2. 研究の目的

そこで、本研究では、与えられた応用に対して、与えられた設計制約のもとで、マルチプロセッサ SoC の構成方法を最適化する手法を明らかにする。システム設計の最適化の対象としては、

- ① コンポーネント (IP) の選択方法の最適化
- ② コンポーネント間の通信方式およびパラメタの最適化

の両方を考える。また、マルチプロセッサ SoC でのコンポーネント間の通信方式としては、次の方法を対象として研究を行う。

- ① 共有バス方式 (単純バス方式および階層化バス方式)
- ② 専用バス方式
- ③ クロスバー・スイッチ方式
- ④ オンチップ・ネットワーク方式

これらの通信方式の間には、ハードウェア量、性能、消費電力などの設計品質に関してトレードオフが存在する。さらに、それぞれの方式についても、通信路のビット幅、動作周波数、バッファの種類や量などのパラメタが多数存在し、パラメタ値の組合せによって設計品質が異なる。従って、最適なコンポーネントの選択、通信方式およびパラメタの値を最適化する問題は、非常に多い複雑な組合せ問題である。

3. 研究の方法

研究に先立ち、電子システムの動作を記述する方法について検討を行った。本研究に先立つ予備的な検討の結果、システムレベル記述用の言語として、SystemC, SpecC, SystemVerilog を候補として選択し、様々な観点から比較を行い、SystemC を採用することにした。現時点でも SystemC の優位性には変化が見られず、将来もその優位性は保持されると考えられるので、本研究においても、応用システムの記述には SystemC 言語を採用することにする。

SystemC は C++ 言語の基本クラスを拡張するとともにシミュレーション・カーネルを追加することによって、ハードウェアの抽象度の高いモデル化を可能にしたシステムレベル記述言語である。主な拡張点は、ハードウェアを記述するためのデータ型の拡張、ハードウェアの持つ並列性の記述方法の導入、「時間」の概念の導入などである。SystemC は、IEEE によって Std-1666 として標準化されており、業界標準の言語である。応用システムの機能は、仕様書の他に、ソフトウェア・プログラミング言語 (SPL) である C 言語で記述されたリファレンス・プログラムとして与えられる場合が多い。C++ 言語は C 言語の拡張なので、C 言語でリファレンス・プログラムに適切なラッパー (wrapper) を適用することにより、SystemC によるシステム記述の一部として動作させることが出来る。これにより、システム記述をハードウェアとソフトウェアに区別して分割することなくシミュレーション可能になる。

研究の最終目標を達成するため、研究項目を

次の6つの課題に分割して研究を実施する。

- ① 応用システムのプロファイリング手法の検討と試作
- ② 応用システムの記述の分割手法の提案と評価
- ③ 与えられた IP の割当と通信方式に対する、設計品質見積り手法の開発
- ④ 分割された応用記述の部分に対する IP の割当て方法の最適化手法の開発
- ⑤ システムを構成する IP 間の通信方式の最適化手法の開発
- ⑥ IP の割当方法および IP 間の通信方式を同時に最適化する手法の開発

4. 研究成果

上記の項目毎に成果をまとめる。

- ① 応用システムのプロファイリング手法の検討と試作
この研究項目では、SystemC で記述された応用システムを高い抽象度レベルでプロファイリングする方法について検討した。
- ② 応用システムの記述の分割手法の提案と評価
最適な分割方法は、応用システムの性質に依存すると考えられる。たとえば、マルチメディア情報処理システムや通信制御システムの場合には、ストリームデータの入出力の実時間性を考慮して最適化を行う必要がある。分割方法は、そのモジュールの機能をプロセッサで実行する場合や既存の IP を割当てる場合なども考慮した応用記述の分割方法の検討を行った。
- ③ 与えられた IP の割当と通信方式に対する、設計品質見積り手法の開発
上記(2)の項目で提案した分割方法の有効性を評価するために、分割して得られるサブモジュールに IP (プロセッサまたは専用ハードウェア) を割当て、通信方式とそのパラメータに具体的な値を与えた場合の、面積、性能、消費電力の見積り方法について検討した。
- ④ 分割された応用記述の部分に対する IP の割当て方法の最適化手法の開発
これまでの研究では、IP に割当てられた処理はデータの性質に依存せず、一定の処理時間で処理可能という仮定を置いていたが、IP の処理内容をいくつかの基本ブロックに分解することで、データにより処理時間の変更に対応できるモデルを提案し、実装を行った。
- ⑤ システムを構成する IP 間の通信方式の最適化手法の開発
これまでの研究では、コンポーネント間の

通信方式として共有バス方式について最適化手法を考えてきたが、加えて共有メモリを利用してコンポーネント間のデータ転送量を抑え、データ転送を最適化する手法を研究した。

- ⑥ IP の割当方法および IP 間の通信方式を同時に最適化する手法の開発

本研究では、最適化する対象を消費電力量とした。マルチプロセッサ・システムの低消費電力量化に関して、動作時に動作電圧と動作周波数を変更できる Dynamic Voltage and Frequency Scaling(DVFS)技術が有効である。DVFS 技術をマルチプロセッサに用いる場合に、消費電力量を最小化するプロセスのプロセッサへの割り当てとそのプロセスを処理するプロセッサの電圧と周波数を決定する手法を提案した。

提案した手法では、プロセッサがプロセスを処理する消費電力量とプロセス間のデータ通信に必要な消費電力量をマルチプロセッサ・システムの消費電力量として、シミュレーティッド・アニーリング法を用いて最適化している。

また提案手法を計算機上に実装し、100 種類の例題 DFG に対して適用した結果、89 個の例題で最適解と同じ解を得、提案手法の有効性を確認した。

この計算機実験により、提案している最適化手法によって得られる最適化結果は、初期パラメータに大きく依存していることがわかった。良質な結果をもたらす初期パラメータを一意に決定することは難しく、設計者に経験に頼る部分がおおきいことがわかった。そこで、初期パラメータの一部を自動的に決定する、最適化手法についても考案した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 10 件)

- ① 柳父悠一郎, 坂主圭史, 武内良典, 今井正治, 開始温度を自動で設定する SA 法を用いたマルチプロセッサ・タスク割当て最適化手法, 第 156 回 システム LSI 設計技術研究会, 2012 年 5 月 30 日, 北九州市
- ② 井田健太, 坂主圭史, 武内良典, 今井正治, 抽象度を変更可能な命令セットシミュレータの提案, 組込み技術とネットワークに関するワークショップ (ETNET), 2012 年 3 月 2 日, 宮城県宮城郡松島町
- ③ Yoshinori Takeuchi, Taichiro Shiraishi, Keishi Sakanushi, and

Masaharu Imai, Task Assignment Method for DVS based multiprocessor SoC, 11th International Forum on Embedded MPSoC and Multicore (MPSoC 2011) (招待講演), 2011年7月5日, Beaune, France

- ④ 白石多一郎, 坂主圭史, 武内良典, 今井正治 DVSを用いたマルチプロセッサ・システムのための低消費電力タスク割当て手法, 組込み技術とネットワークに関するワークショップ ETNET2011, 2011年3月18日, 沖縄県宮古島
- ⑤ Yoshinori Takeuchi, Keishi Sakanushi, and Masaharu Imai, Generation of Application-domain Specific Instruction-set Processors, 2010 International SoC Design Conference (招待講演). 2010年11月22日, Incheon, Korea
- ⑥ Hiroki Ohsawa, Hirofumi Iwato, Keishi Sakanushi, Yoshinori Takeuchi, and Masaharu Imai Generation Method of Decomposed Small Area Instruction Decoder for Configurable Processor, The 16th Workshop on Synthesis And System Integration of Mixed Information Technologies 2010, 平成2010年10月18日, Taipei, Taiwan
- ⑦ 岡田千尋, 坂主圭史, 武内良典, 今井正治, 共有メモリを考慮した SoCアーキテクチャ探索手法の提案, 電子情報通信学会 2009 ソサイエティ大会, 2009年9月17日, 新潟
- ⑧ 今村多一郎, 坂主圭史, 武内良典, 今井正治, 応用プログラムのプロファイル情報を用いたマルチプロセッサシステムの最適プロセッサ数の評価手法, 電子情報通信学会 2009 ソサイエティ大会, 2009年9月17日, 新潟
- ⑨ Yoshinori Takeuchi, Simulator Generation Method of Configurable Processors for MPSoC, 9th International Forum on Embedded MPSoC and Multicore (MPSoC '09), 2009年8月5日, Savannah, アメリカ
- ⑩ 樋口晃久, 坂主圭史, 武内良典, 今井正治, プロセッサ記述からの SystemC ベースシミュレータ生成手法の提案, 情報処理学会 DA シンポジウム 2008, 2008年8月26日, 浜松

6. 研究組織

(1) 研究代表者

今井 正治 (IMAI MASAHARU)
大阪大学・大学院情報科学研究科・教授
研究者番号: 50126926

(2) 研究分担者

武内 良典 (TAKEUCHI YOSHINORI)
大阪大学・大学院情報科学研究科・准教授
研究者番号: 70242245

坂主 圭史 (SAKANUSHI KEISHI)
大阪大学・大学院情報科学研究科・助教
研究者番号: 00346173