

機関番号：14603

研究種目：基盤研究（B）一般

研究期間：2008～2010

課題番号：20300018

研究課題名（和文）ネットワークオンチップにおけるテスト容易性と安全性に関する基礎研究

研究課題名（英文） Basic Studies on Testability and Security for Network-on-Chip

研究代表者

藤原 秀雄 (FUJIWARA HIDEO)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号：70029346

研究成果の概要（和文）：

（1）機能RTL回路に対するテスト容易化設計法（F-Scan法）を提案し、ベンチマーク回路による実験によりその有効性を評価した。（2）ネットワークオンチップの非同期インターコネクタを対象とし、非同期回路のテスト手法、テスト容易化設計法を提案した。（3）テスト容易性と安全性（セキュリティ）の両立を可能とするシフトレジスタ等価回路を用いた安全スキャン方式を提案し、その安全レベルを解析的に明らかにした。

研究成果の概要（英文）：

(1) We proposed a design-for-test method for functional RTL circuits (called F-Scan) and showed the effectiveness by using benchmarks. (2) We proposed an ATPG and DFT method for asynchronous circuits used in Network-on-Chip. (3) We introduced a new concept of shift-register equivalence and proposed a secure scan method that satisfies both testability and security and clarified the security level analytically.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	4,700,000	1,410,000	6,110,000
2009年度	3,300,000	990,000	4,290,000
2010年度	2,300,000	690,000	2,990,000
年度			
年度			
総計	10,300,000	3,090,000	13,390,000

研究分野：総合領域

科研費の分科・細目：情報学 計算機システム・ネットワーク

キーワード：VLSI設計技術、VLSIのテスト、ネットワークオンチップ、テスト容易性、安全性（セキュリティ）、スキャン設計

1. 研究開始当初の背景

半導体技術の進歩により、シリコンチップ上に搭載することのできるトランジスタ数は増加の一途をたどっている。従来は複数のLSIで構成していたシステムを、各LSIをコアと呼ばれる機能ブロックとして再利用し、システム全体を一つのLSIで実現するシステムオンチップ(SoC)がすでに実用化されている。

1 チップに集積できるトランジスタ数は今後益々増加し、数年後には集積度が10億素子/チップのSoCが量産される時代が予測されている。1 チップ内に多くのプロセッサコアが搭載されることにより、コア間通信にパケット通信を基本とするインターコネクタネットワークをチップ内に実現するSoC、ネットワークオンチップ(NoC)が注目されている。

このような状況下で、NoCを対象としたテストに関する研究はこれまでほとんどなく、将来のネットワークオンチップを想定した高品質で高速のテストを可能とするNoCのテストアーキテクチャおよびテスト容易化設計技術の研究開発は非常に重要な課題である。また応用分野の多様化に伴い、SoC/NoCの安全性を確保することも重要となる。例えば、ICカードや携帯電話等のSoCを搭載したデバイスは、決済や個人認証の基盤として用いられており、内部に含まれる暗号回路の秘密鍵や個人情報データを保護することは重要である。NoCに対して高品質なテストを行うためにはテスト容易化設計が必要不可欠であるが、そのテスト容易化設計により付加された回路や機能を用いることでNoCの安全性が損なわれることが報告されている。このような状況下で、NoCを対象とし、相反する2つの性質であるテスト容易性と安全性の両立を可能とするテスト技術の研究開発は非常に重要な課題である。

2. 研究の目的

- (1) ネットワークオンチップ (NoC) 内に分散する機能コアやネットワークインターフェース部をテスト可能とするための、最適なテストアーキテクチャ、テスト容易化設計、テストスケジューリング等の手法を考案する。
- (2) NoCに分散したスイッチブロック間の信号線に対してクロストーク故障あるいは超微細加工に起因する新しい故障モデルでのテストを可能とするテストアーキテクチャ、テスト容易化設計等の手法を考案する。
- (3) テスト容易性と安全性 (セキュリティ) の両方を満たすテストアーキテクチャ、テスト容易化設計等の手法を考案する。

3. 研究の方法

- (1) ネットワークオンチップ (NoC) 内に分散する機能コアについては、設計上流の機能RTL回路を対象に、新しい機能RTLスキャン方式を考案し、その有効性を評価するために、ベンチマーク回路を用いて、従来法のゲートレベルスキャン方式と比較実験を行う。
- (2) NoC内のインターコネクタ部については、まず機能インターコネクタをテストアクセス機構として再利用するためのラッパー設計法およびテストスケジューリング法を提案し、従来法と比べてその有効性を評価するためにベンチマークによる比較実験を行う。また、スイッチブロック部を含む非同期回路部分については、非同期回路用のテスト容易化設計法を提案し、

ベンチマークで有効性を評価する。

- (3) テスト容易性と安全性 (セキュリティ) の両方を満たすテストアーキテクチャ、テスト容易化設計法として、新しい安全 (セキュア) スキャン方式を提案し、テスト容易性、安全性のレベルを解析的に明らかにする。

4. 研究成果

- (1) NoCのコアに対するRTL非スキャンテスト容易化設計法

レジスタ転送レベル回路のテスト容易性として部分強可検査性を導入し、そのテスト容易化設計法、テスト生成法を提案した。ベンチマーク回路および実設計回路 (RISC, MPEG) による実験では、従来法に比べ面積オーバーヘッド、テスト系列長ともに大幅に改善されている。

- (2) NoCのコアベーステスト手法

NoCのテストに関する種々の問題を解決するために、機能インターコネクタをテストアクセス機構として再利用するためのラッパー設計法およびテストスケジューリング法を提案した。提案法は、新たにテストアクセス機構を付加する必要がなく面積・配線オーバーヘッドが大幅に削減可能である。さらに、ベンチマーク回路による実験では、従来法に比べ、同等もしくは短いテスト時間を達成できることを示した。

- (3) 電力、温度を考慮したNoCのテスト手法

マルチクロック・ドメイン・コアに対する消費電力制約を考慮したラッパー設計法、温度制約を考慮したNoCのテストスケジューリング法を提案した。ベンチマークでの実験では、従来法より短いテスト実行時間を達成し、提案法の有効性を示した。

- (4) 機能スキャン方式

機能RTLテスト容易化設計法として、F-Scanと名付けた新しいスキャン方式を提案し、ベンチマーク回路による実験によりその有効性を評価した。従来のゲートレベルスキャン方式に比べて、面積オーバーヘッド、テスト実行時間、共に大幅に改善することに成功した。

さらに、提案した機能RTLテスト容易化設計法 (F-Scan法) を最大限に活かしたテスト生成法として、制約付きRTLテスト生成法の開発を行い、ベンチマーク回路でその有効性を評価した。従来のゲートレベル・スキャン設計法と比べ、テスト実行時間の削減に成功した。

(5) ネットワークのハードウェア故障のテストに関しては、スイッチブロックの故障のテスト、スイッチブロックとスイッチブロックの間を接続する信号線の故障のテストを考察した。NoC内に分散したスイッチブロック間の信号線に対してクロストーク故障あるいは超微細加工に起因する新しい故障モデルでのテストを可能とするテストアーキテクチャ、テスト容易化設計、テスト手法等の問題を考え、それらの解法を提案し、実験により提案法の有効性を示した。

ネットワークオンチップの非同期インターコネクトを対象とし、非同期回路のテスト手法、テスト容易化設計法を提案した。従来手法の種々の問題を解消し、最小の遅延オーバーヘッドのもとで面積オーバーヘッドの大幅な削減を達成するとともに故障検出能力をより向上させるのに成功した。

(6) テスト容易性と安全性の両立に関しては、二つの方式を提案した。一つは、部分スキャン方式による安全スキャン方式、他の一つは、シフトレジスタ等価回路を用いた安全スキャン方式である。それらの安全性を脅かす攻撃について考察し、新たな安全性の尺度を提案した。

シフトレジスタ等価回路を用いた安全スキャン方式では、安全（セキュリティ）レベルを考察するために、シフトレジスタ等価回路族の濃度を示す数式を導出し、その安全レベルを解析的に明らかにした。さらに、微分動作攻撃（組合せ回路側からのスキャンベース攻撃）をモデル化し、その攻撃を防御する安全でテスト容易なスキャン方式を提案した。シフトレジスタ等価回路族において微分動作同値関係を導入し、その同値類の濃度を導出し、提案する方式の微分動作攻撃に対するセキュリティレベルの高さを明らかにした。

5. 主な発表論文等

[雑誌論文] (計13件)

- (1) Marie Engelene Jimenez Obien, Satoshi Ohtake, and Hideo Fujiwara, "F-Scan: A DFT Method for Functional Scan at RTL," IEICE Trans. on Inf. and Syst., Vol. E94-D, No. 1, pp. 104-113, Jan. 2011, 査読有
- (2) Maksim Jenihhin, Jaan Raik, Raimund Ubar, Taavi Viilukas, and Hideo Fujiwara, "An Approach for Verification Assertions Reuse in RTL Test Pattern Generation,"

Journal of Shanghai Normal University, Vol. 39, No. 5, pp. 441-447, Oct. 2010, 査読有

- (3) 藤原克哉、藤原秀雄、オビエン・マリー・エンジェリン、玉本英夫、"セキュアスキャン設計のためのシフトレジスタ等価回路の列挙と合成," 電子情報通信学会和文論文誌D-I, Vol. J93-D, No. 11, pp. 2426-2436, Nov. 2010, 査読有
- (4) Norlina Paraman, Chia Yee Ooi, Ahmad Zuri Sha'ameri, and Hideo Fujiwara, "A New Class of Easily Testable Assignment Decision Diagram," Malayaisan Journal Computer Science, Vol. 23, No. 1, pp. 1-17, 2010, 査読有
- (5) Hiroshi Iwata, Satoshi Ohtake, and Hideo Fujiwara, "A Method of Path Mapping from RTL to Gate Level and Its Application to False Path Identification," IEICE Trans. on Information and Systems, Vol. E93-D, No. 7, pp. 1857-1865, July 2010, 査読有
- (6) Tomokazu Yoneda, Akiko Shuto, Hideyuki Ichihara, Tomoo Inoue, and Hideo Fujiwara, "Design and Optimization of Transparency-Based TAM for SoC Test," IEICE Trans. on Inf. and Syst., Vol. E93-D, No. 6, pp. 1549-1559, June 2010, 査読有
- (7) Hongxia Fang, Krishnendu Chakrabarty, and Hideo Fujiwara, "RTL DFT Techniques to Enhance Defect Coverage for Functional Test Sequences," Journal of Electronic Testing: Theory and Applications, Volume 26, Issue 2, pp.151-164, April 2010, 査読有
- (8) Ryoichi Inoue, Toshinori Hosokawa, and Hideo Fujiwara, "A Fault Dependent Test Generation Method for State-Observable FSMs to Increase Defect Coverage under the Test Length Constraint," IEICE Transactions on Information and Systems, Vol. E93-D, No. 1, pp. 24-32, January 2010, 査読有
- (9) 岡伸也, Chia Yee Ooi, 市原英行, 井上智生, 藤原秀雄 "部分スルー可検査性に基づく順序回路のテスト生成法," 電子情報通信学会和文論文誌

- D-I, Vol. J92-D, No. 12, pp. 2207-2216, Dec. 2009, 査読有
- (10) Thomas Edison Yu, Tomokazu Yoneda, Krishnendu Chakrabarty, and Hideo Fujiwara, "Thermal-Aware Test Access Mechanism and Wrapper Design Optimization for System-on-Chips," IEICE Transactions on Information and Systems, Vol. E91-D, No. 10, pp. 2440-2448, Oct. 2008, 査読有
- (11) Hideo Fujiwara, Hiroyuki Iwata, Tomokazu Yoneda, and Chia Yee Ooi, "A Non-Scan Design-for-Testability for Register-Transfer Level Circuits to Guarantee Linear-Depth Time Expansion Models," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 27, No. 9, pp. 1535-1544, Sept. 2008, 査読有
- (12) Fawnizu Azmadi Hussin, Tomokazu Yoneda, and Hideo Fujiwara, "NoC-compatible Wrapper Design and Optimization Under Channel Bandwidth and Test Time Constraints," IEICE Transactions on Information and Systems, Vol. E91-D, No. 7, pp. 2008-2017, 2008, 査読有
- (13) Fawnizu Azmadi Hussin, Tomokazu Yoneda, and Hideo Fujiwara, "On NoC Bandwidth Sharing for the Optimization of Area Cost and Test Application Time," IEICE Transactions on Information and Systems, Vol. E91-D, No. 7, pp. 1999-2007, 2008, 査読有
- [学会発表] (計43件中、主なもの30件)
- (1) Hideo Fujiwara, Katsuya Fujiwara, and Hideo Tamamoto, "Secure Scan Design Using Shift Register Equivalents against Differential Behavior Attack," 16th Asia and South Pacific Design Automation Conference, pp. 818-823, Jan. 2011, 査読有
- (2) Fawnizu Azmadi Hussin, Thomas Edison Chua Yu, Tomokazu Yoneda, and Hideo Fujiwara, "RedSOCs-3D: Thermal-safe Test Scheduling for 3D-Stacked SoC," 2010 Asia Pacific Conference on Circuits and Systems, Dec. 2010, 査読有
- (3) Maksim Jenihhin, Jaan Raik, Hideo Fujiwara, Raimund Ubar, and Taavi Viilukas, "An Approach for Verification Assertions Reuse in RTL Test Pattern Generation," 11th IEEE Workshop on RTL and High Level Testing, pp. 107-110, Dec. 2010, 査読有
- (4) Chia Yee Ooi and Hideo Fujiwara, "Functional Fault Model for Micro Operation Faults of High Correlation with Stuck-At Faults," 11th IEEE Workshop on RTL and High Level Testing, pp. 139-144, Dec. 2010, 査読有
- (5) Katsuya Fujiwara, Hideo Fujiwara, and Hideo Tamamoto, "SREEP-2: SR-Equivalent Generator for Secure and Testable Scan Design," 11th IEEE Workshop on RTL and High Level Testing, pp. 7-12, Dec. 2010, 査読有
- (6) Zhiqiang You, Jiedi Huang, Michiko Inoue, Jishun Kuang, and Hideo Fujiwara, "Capture in Turn Scan for Reduction of Test Date Volume, Test Application Time and Test Power," Proc. of IEEE the 19th Asian Test Symposium, pp. 371-374, Dec. 2010, 査読有
- (37) Tomokazu Yoneda, Michiko Inoue, Akira Taketani, and Hideo Fujiwara, "Seed Ordering and Selection for High Quality Delay Test," Proc. of IEEE the 19th Asian Test Symposium, pp. 313-318, Dec. 2010, 査読有
- (7) Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue, and Hideo Fujiwara, "Bipartite Full Scan Design: A DFT Method for Asynchronous Circuits," Proc. of IEEE the 19th Asian Test Symposium, pp. 206 - 211, Dec. 2010, 査読有
- (8) Alodeep Sanyal, Krishnendu Chakrabarty, Mahmt Yilmaz, and Hideo Fujiwara, "RT-Level Design-for-Testability and Expansion of Functional Test Sequences for Enhanced Defect Coverage," 2010 IEEE International

- Test Conference, Paper 21.2, Nov. 2010, 査読有
- (9) Marie Engelene J. Obien, Satoshi Ohtake, and Hideo Fujiwara, "Constrained ATPG for Functional RTL Circuits Using F-Scan," 2010 IEEE International Test Conference, Paper 21.1, Nov. 2010, 査読有
- (10) Marie Engelene Jimenez Obien, Satoshi Ohtake, and Hideo Fujiwara, "Delay Fault ATPG for F-Scannable RTL Circuits," IEEE Int. Symp. on Communications and Information Technologies, Oct. 2010, 査読有
- (11) Hyunbean Yi, Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Seiji Kajihara, and Hideo Fujiwara, "Aging Test Strategy and Adaptive Test Scheduling for SoC Failure Prediction," IEEE International On-Line Testing Symposium, pp. 21-26, July 2010, 査読有
- (12) Jaynarayan Tudu, Erik Larsson, Virendra Singh, and Hideo Fujiwara, "Graph Theoretical Approach for Scan Cell Reordering to Minimize Peak Shift Power," ACM Great Lake Symposium on VLSI, pp. 73-78, May 2010, 査読有
- (13) Michiko Inoue, Akira Taketani, Tomokazu Yoneda, Hiroshi Iwata, and Hideo Fujiwara, "Test Pattern Selection to Optimize Delay Test Quality with a Limited Size of Test Set," 2010 IEEE European Test Symposium, May 2010, 査読有
- (14) Jaynarayan Tudu, Erik Larsson, Virendra Singh, and Hideo Fujiwara, "Scan Cells Reordering to Minimize Peak Power during Test Cycle: A Graph Theoretic Approach," 2010 IEEE European Test Symposium, May 2010, 査読有
- (15) Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Hideo Fujiwara, "Thermal-Uniformity-Aware X-Filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing," 28th IEEE VLSI Test Symposium, pp.188-193, April 2010, 査読有
- (16) Satoshi Ohtake, Hiroshi Iwata, and Hideo Fujiwara, "A Synthesis Method to Propagate False Path Information from RTL to Gate Level," 13th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems, pp. 197-200, April 2010, 査読有
- (17) Katsuya Fujiwara, Hideo Fujiwara, Marie Engelene J. Obien, and Hideo Tamamoto, "SREEP: Shift Register Equivalents Enumeration and Synthesis Program for Secure Scan Design," 13th IEEE International Symposium on Design and Diagnosis of Electronic Circuits and Systems, pp. 193-196, April 2010, 査読有
- (18) Satoshi Ohtake, Naotsugu Ikeda, Michiko Inoue, and Hideo Fujiwara, "A Method of Unsensitizable Path Identification using High Level Design Information," 5th International Conference on Design & Technology of Integrated Systems in Nanoscale Era, March 2010, 査読有
- (19) Hiroshi Iwata, Satoshi Ohtake, and Hideo Fujiwara, "Enhancing False Path Identification from RTL for Reducing Design and Test Futileness," The 5th IEEE International Symposium on Electronic Design, Test & Applications, pp. 20-25, Jan. 2010, 査読有
- (20) Hideo Fujiwara and Marie E. J. Obien, "Secure and Testable Scan Design Using Extended de Bruijn Graphs," 15th Asia and South Pacific Design Automation Conference, pp.413-418, Jan. 2010, 査読有
- (21) Raghavendra Adiga, Arpit Gandhi, Virendra Singh, Kewal K. Saluja, Hideo Fujiwara, and Adit D. Singh, "On Minimization of Test Application Time for RAS," 23rd International Conference on VLSI Design, pp. 293-398, Jan. 2010, 査読有
- (22) Zhiqiang You, Jiedi Huang, Michiko Inoue, Jishun Kuang, and Hideo Fujiwara, "A Response Compactor for

- Extended Compatibility Scan Tree Construction”, Proc. IEEE 8th International Conference on ASIC, pp. 609– 612, Oct. 2009, 査読有
- (23) Marie Engelen J. Obien and Hideo Fujiwara, “F-Scan: An Approach to Functional RTL Scan for Assignment Decision Diagrams”, Proc. IEEE 8th International Conference on ASIC, pp. 589– 592, Oct. 2009, 査読有
- (24) Nobuya Oka, Chia Yee Ooi, Hideyuki Ichihara, Tomoo Inoue, Hideo Fujiwara, “ Test Generation and DFT Based on Partial Thru Testability,” 2009 IEEE European Test Symposium, poster session, May 2009, 査読有
- (25) Michiko Inoue, Tomokazu Yoneda, Muneo Hasegawa, Hideo Fujiwara, “ Partial Scan Approach for Secret Information Protection,” 2009 IEEE European Test Symposium, pp. 143–148, May 2009, 査読有
- (26) Yuki Yoshikawa, Satoshi Ohtake, Tomoo Inoue, Hideo Fujiwara, “ A Synthesis Method to Alleviate Over-testing of Delay Faults Based on RTL Don’t Care Path Identification,” IEEE 27th VLSI Test Symposium, pp. 71–76, May 2009, 査読有
- (27) Thomas Edison Yu, Tomokazu Yoneda, Krishnendu Chakrabarty, Hideo Fujiwara, “ Test Infrastructure Design for Core-Based System-on-Chip Under Cycle-Accurate Thermal Constraints,” 14th Asia and South Pacific Design Automation Conference, pp. 793–798, Jan. 2009, 査読有
- (28) Yuki Yoshikawa, Satoshi Ohtake, Tomoo Inoue, Hideo Fujiwara, “ Fast False Path Identification Based on Functional Unsensitizability Using RTL Information,” 14th Asia and South Pacific Design Automation Conference, pp. 660–665, Jan. 2009, 査読有
- (29) Thomas Edison Yu, Tomokazu Yoneda, Satoshi Ohtake, and Hideo Fujiwara, “Identifying Non-Robust Untestable RTL Paths in Circuits with Multi-Cycle Paths,” Proc. of

- IEEE the 17th Asian Test Symposium, pp. 125–130, Nov. 2008, 査読有
- (30) Jaan Raik, Hideo Fujiwara, Raimund Ubar, and Anna Krivenko, “Untestable Fault Identification in Sequential Circuits Using Model-Checking,” Proc. of IEEE the 17th Asian Test Symposium, pp. 21–26, Nov. 2008, 査読有

[その他]
ホームページ等

<http://hideo.fujiwaralab.net/>

6. 研究組織

(1) 研究代表者

藤原 秀雄 (FUJIWARA HIDEO)
奈良先端科学技術大学院大学・情報科学
研究科・教授
研究者番号 : 70029346

(2) 研究分担者

井上 美智子 (INOUE MICHIKO)
奈良先端科学技術大学院大学・情報科学
研究科・准教授
研究者番号 : 30273840

大竹 哲史 (OHTAKE SATOSHI)
奈良先端科学技術大学院大学・情報科学
研究科・助教
研究者番号 : 20314528

米田 友和 (YONEDA TOMOKAZU)
奈良先端科学技術大学院大学・情報科学
研究科・助教
研究者番号 : 20359871