

## 自己評価報告書

平成23年 4月15日現在

機関番号：14501  
研究種目：基盤研究 (B)  
研究期間：2008～2011  
課題番号：20360161  
研究課題名 (和文) FD-SOI のトータルばらつき抑制効果による超低電圧動作ディペンダブルSRAM  
研究課題名 (英文) Super-Low-Operating-Voltage Dependable SRAM Using Total Variability Suppression Effects in FD-SOI  
研究代表者  
川口 博 (KAWAGUCHI HIROSHI)  
神戸大学・システム情報学研究科・准教授  
研究者番号：00361642

研究分野：集積回路

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：SRAM、ディペンダブルVLSI、ばらつき、低電圧動作、FD-SOI

## 1. 研究計画の概要

平成20年度は、0.13ミクロンFD-SOI技術の基板バイアスキャラクタライズおよび基板バイアス回路に注力する。基板バイアスをBOX層下部の基板から印加し、どの程度の基板バイアスをかけると、しきい値がどの程度変化するのか、その度合いを明らかにする。基板バイアス用の昇圧・降圧回路方法およびその制御方式について検討を行う。

平成21年度には、平成20年度に得たFD-SOI基板バイアスの知見をディペンダブルメモリセルに適用する。セル構成を決定し、それからメモリセルの動作ばらつきをキャラクタライズする。

平成22年度には、ディペンダブルFD-SOI SRAMのメモリシステムの設計に主眼を置く。

平成23年度には平成22年度に設計したチップの検証・評価を行い、実動作を確認する。 $10^{-6}$ のビットエラーレートで、0.3V以上の電圧改善を目指す。

## 2. 研究の進捗状況

平成20年度には、0.13ミクロンFD-SOIプロセスにおいて基板バイアス効果のキャラクタライズを行い、3Vの基板バイアスによりしきい値が0.05V変動することを確認した。自動的にチップ間のしきい値電圧のばらつきを検出し、SRAMの動作マージンが最大となるように補正を行う基板バイアス制御回路の提案を行った。提案回路を通常の6Tで構成された486-kb FD-SOI SRAMに適用し、実測した。基板バイアス電圧を印加しない場合と比較して、動作電圧下限を0.14V改善し、0.42Vで動作することを確認した。またこの場合において、リーク電力が40%削減されることを確認した。この成果をIEEE

International SOI Conference 2008で発表した。

平成21年度には、新規メモリセルとして、7T/14Tディペンダブルメモリセルを考案した。2つの従来6Tメモリセルを1組として、双方の内部ノードを追加トランジスタで接続した構成となっている。提案メモリセルは二つの動作モードを持ち、それぞれ通常モード、高信頼性モードである。通常モードにおいて、従来の6T SRAMと同様に1ビットのデータを1つのメモリセルで保持する。一方、高信頼性モードにおいて、1ビットのデータを2つのメモリセルで保持することにより、1つのメモリセルで発生するチップ内ばらつきを抑制することが可能である。0.13ミクロンFD-SOIプロセスを用いて、576-kb 7T/14TディペンダブルSRAMを設計した。

平成22年度には、平成21年度に設計した576-kb 7T/14TディペンダブルSRAMを実測し、評価した。提案手法を用いない場合と比較して、リテンション電圧下限を0.15V改善することを確認した。また、書き込み・読み出しの通常動作では、電圧下限を0.32V改善することを確認した。この成果を、EUROSOI 2011で発表した。

## 3. 現在までの達成度

①当初の計画以上に進展している。

(理由)

当初計画では平成23年度末に、基板バイアスとディペンダブルメモリセルによるグローバルばらつきとローカルばらつきの総合的抑制効果を持ったFD-SOI SRAMの実動作を確認予定であったが、1年早い平成22年度末には、それを終えることができた。

#### 4. 今後の研究の推進方策

基板バイアス効果やディペンダブルメモリセルのカップリング構造はフリップフロップ (F/F) や論理回路にも応用できる。

F/F は演算器においてレジスタとして多用されているが、セルライブラリにおいて最も低電圧安定性が悪いもの1つとされている。SRAM における読み出しマージンやリテンションマージン (保持特性) と同じく、F/F でも FS (nMOS が Fast= $V_{tn}$  が小さい、pMOS が Slow= $|V_{tp}|$  が大きい) のプロセスコーナにおいて最低動作電圧が特に高く、低電圧論理回路設計を阻害している。

F/F の最低動作電圧を低減するためにディペンダブルメモリセルにヒントを得て、2 つの F/F をカップリングさせたものが可能である。2 つの F/F に相補の入力を与え、内部ノードをトランスマッションゲートでクロスカップリングする。これにより全てのプロセスコーナにおいて 0.4V 以下の低電圧で動作することをシミュレーションで確認している。この回路構成は通常の 2 倍の面積オーバーヘッドを伴うが、アプリケーションによっては利用価値があるものと考えている。

この相補対のアイデアは論理回路にも拡張できる。NAND リッチな論理パスと NOR リッチな論理パスを用意し、プロセスコーナに応じて選択することで、最低動作電圧をさらに低減させる。

つまり基板バイアス効果や提案ディペンダブル回路形式をメモリセルのみならず、F/F や論理回路への拡張することができる。この検討を平成 22 年度の目標とする。

#### 5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- ① S. Yoshimoto, T. Amashita, S. Okumura, K. Yamaguchi, M. Yoshimoto, and H. Kawaguchi, “Bit Error and Soft Error Hardenable 7T/14T SRAM with 150-nm FD-SOI Process,” Proceedings of IEEE International Reliability Physics Symposium (IRPS), pp. 876-881, Apr. 2011, 査読有り.
- ② K. Yamaguchi, S. Okumura, M. Yoshimoto, and H. Kawaguchi, “0.42-V 576-kb 0.15- $\mu$ m FD-SOI SRAM with 7T/14T Bit Cells and Substrate Bias Control Circuits for Intra-Die and Inter-Die Variability Compensation,” Proceedings of Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits (EUROSOI), pp. 17-19, Jan.

2011, 査読有り.

- ③ H. Kawaguchi, “(Invited) Low-Power Control Techniques for Silicon and Organic Circuits with Array Structures,” Proceedings of IEEE Conference on Control Applications (CCA), pp. 326-333, July 2009, 査読有り.
- ④ 山口 幸介、藤原 英弘、竹内 隆、大竹 優、吉本 雅彦、川口 博、「チップ間ばらつき補正機能を有する基板バイアス制御を用いた 0.42V 動作 486kb FD-SOI SRAM」、電子情報通信学会技術研究報告、ICD2008-127、131-136 ページ、2008 年 12 月、査読無し.
- ⑤ H. Fujiwara, T. Takeuchi, Y. Otake, M. Yoshimoto, and H. Kawaguchi, “An Inter-Die Variability Compensation Scheme for 0.42-V 486-kb FD-SOI SRAM using Substrate Control,” Proceedings of IEEE International SOI Conference, pp. 93-94, Oct. 2008, 査読有り.

[学会発表] (計 2 件)

- ① 川口 博、「(招待講演) 低電圧・低消費電力 SRAM」、IEEE Solid-State Circuits Society Kansai Chapter Technical Seminar, 2009 年 12 月 2 日、京都市.
- ② 山口 幸介、藤原 英弘、竹内 隆、大竹 優、吉本 雅彦、川口 博、「チップ間ばらつき補正機能を有する基板バイアス制御を用いた 0.42V 動作 486kb FD-SOI SRAM」、LSI とシステムのワークショップ、2009 年 5 月 18 日、北九州市.

[産業財産権]

○出願状況 (計 1 件)

名称：半導体メモリおよびプログラム  
発明者：吉本 雅彦、川口 博、藤原 英弘、奥村 俊介  
権利者：財団法人新産業創造研究機構  
種類：特許  
番号：PCT/JP2009/050086  
出願年月日：2009 年 1 月 7 日  
国内外の別：国外

[その他]

ホームページ

<http://www28.cs.kobe-u.ac.jp/ja/research/sram.htm>