

機関番号：12608

研究種目：基盤研究（B）

研究期間：2008～2010

課題番号：20360167

研究課題名（和文） 超高速光信号誤り訂正技術に関する研究

研究課題名（英文）

A study on ultra-high-speed all-optical forward error correction technique

研究代表者 植之原 裕行（Uenohara Hiroyuki）

東京工業大学・精密工学研究所・准教授

研究者番号：20334526

研究成果の概要（和文）：

速度 40Gbps 以上で対応可能な光信号処理による誤り検出・訂正技術の実現を目標とした。まず畳み込み符号よりも誤り検出・訂正の性能を高くできる巡回ハミング符号を対象とすることを決定し、割り算回路に用いる SOA-MZI 型全光スイッチを用いた排他的論理和（XOR）回路の動作検討を行った。SOA 利得の測定結果を簡易かつ高精度に表現できる新たなモデルを確立した。更に XOR の動作をレート方程式により解析した結果、速度 10Gbps において良好な XOR 動作を実証し、最小構成の割り算回路の基本動作を実験的に実証した。

以上の結果を元に SOA-MZI 型光 XOR 回路とフィードバック回路の従属接続構成による割り算回路の動作特性を解析にて検証し、所望の符号化および復号化が可能である結果が得られた。

研究成果の概要（英文）：

The purpose of our research is to create a novel technique for all-optical forward error detection and correction operating at higher than 40Gbps. As an error detection/correction code for all-optical processing, the cyclic Hamming code was selected. Next, to precisely investigate the operation performance of the all-optical divider circuit consisting of SOA-MZI-based optical XOR circuits, we proposed a novel gain model of a SOA. Then, we simulated the operation performance of the optical XOR circuit based on the SOA-MZI-type all-optical switch by using rate equations, and Q-value of the output signal was evaluated. Moreover, we made experiments of all-optical XOR functions and a divider circuit, we achieved the high signal quality of the XOR and preliminary operation of the divider circuit. Finally, we simulated the operation performance of the divider circuit for error detection consisting of SOA-MZI-type XOR and feedback lines by using rate equations. Error detection is obtained in case that the input signal has errors.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	6,100,000	1,830,000	7,930,000
2009年度	4,100,000	1,230,000	5,330,000
2010年度	4,100,000	1,230,000	5,330,000
年度			
年度			
総計	14,300,000	4,290,000	18,590,000

研究分野：工学

科研費の分科・細目：電気電子工学、通信・ネットワーク工学

キーワード：フォトニックネットワーク、電子デバイス・機器、光物性

1. 研究開始当初の背景

光通信システムはインターネットのインフラを始め、情報通信ネットワークに必要不可欠の技術となっている。今後のネットワークへの要求として、ネットワークを流すことのできるデータ量の増大とともに信頼性の向上も高まっている。特に伝送速度が40Gbpsを超えた超高速信号を長距離伝送する場合には、ファイバの分散や雑音による信号品質劣化の影響が大きく、受信側で誤り訂正処理を施すことが必須となりつつある。長距離伝送用の誤り訂正技術は、現在第3世代のブロックターボ符号を用いた10Gbps対応のものが実現されている（三菱電機）。しかしながら、40Gbpsの速度での誤り訂正回路はまだ報告例がほとんどない。また高性能な誤り訂正回路は最先端の電子回路技術を要し、消費電力もCPUと同程度の負荷を必要とするため、その負荷低減を実現することには大きな意義があると考えられる。

研究申請者は、その背景に基づき光信号の誤り検出を行う技術の確立を目指して平成17年度から19年度までの3年間、大阪大学 小西准教授・NiCT 和田主任研究員との共同チームでその可能性の検討を行ってきた。その結果、畳み込み符号方式・巡回符号方式それぞれにおいて誤り検出（前者では誤り訂正の基本構成まで）の可能性を見出した。畳み込み符号方式では、情報ビットを1ビット遅延させ、元の情報ビットとの排他的論理和（XOR）を計算して検査ビットを生成し、波長多重により情報ビットと検査ビットを同一光ファイバで伝送する。受信側では、波長分波した情報ビットと検査ビットのXORを計算する。両信号に誤りが含まれない場合は、元の情報ビットと同じ信号が1ビットずれて生成されることになるため、情報ビットと

のXORを更に演算するとオール0のシンδροームが生成される。この原理を基本に、情報ビットあるいは検査ビットに誤りが発生した場合は、演算結果が1となる。情報ビットの誤りは2ビット連続の1、検査ビットの誤りは1ビットの1の結果が得られるため、更にシンδροームを2分岐して1ビット遅延と自身とのANDを取ると情報ビットの誤り位置に1ビットの1が生成され、誤り訂正信号となる。従って、情報ビットとのXORを計算して誤り訂正ができることとなる。検討の結果、図1に示す拘束長3の畳み込み符号を用いた符合化回路・復号化回路によりフレーム誤り率に対して1.5dBの受信感度改善の可能性を見出した（2007年電子情報通信学会ソサイエティ大会にて報告）。しかし特性の向上が必要不可欠であった。

また更なる性能向上を目指し、バースト誤りにも対応可能な巡回符号（符号生成は従来の電子回路によるものを基本とする）に着目し、復号化回路によって光信号処理回路で透過的に演算することによってシンδροームを計算する方式を考案した。巡回符号では、複数ビットシフトした情報ビットに、それを生成多項式で割った剰余を足した符号を生成し、復号化回路では生成多項式で割る割り算回路を用いる。剰余がオール0であれば誤りがなく、1が含まれていれば誤りが検出できる。また透過的な演算回路で比較的容易に構成可能であることから、光信号処理にも適していることを見出した。しかしながら、巡回符号については復号化回路で生成されるシンδροームから誤りビット位置を検出し、訂正を施す光信号処理回路の発案にまで至っていなかった。

2. 研究の目的

本研究では、光誤り検出の検討を行ったチ

ーム（代表：東工大 植之原、分担者：東工大 松谷・大阪大 小西・NiCT 和田）を継続し、光信号処理によるアドレス識別・光パケットスイッチの要素技術の実現を目指してきた植之原と微細加工技術において先端的な成果を上げてきた松谷、空間光信号処理・超高速非線形現象を用いた全光信号処理の分野で実績のある小西、光パケットスイッチの世界最先端の成果を出し、実ネットワークでの検証の経験も豊富な和田の経験と知識を結集し、速度 40Gbps 以上で対応可能な光信号処理による誤り訂正技術の実現を目標とし、具体的には以下の実現を目的とした。

(1) 40Gbps 以上での誤り訂正可能な光信号処理技術の符号の選択・処理手法の提案と確立

(2) 符号化回路・復号化回路の動作実証

(3) 符号化回路・復号化回路の集積化

(4) 光信号誤り訂正の性能評価

3. 研究の方法

巡回符号方式の光信号誤り検出・訂正技術の実証のため、伝送速度 40Gbps で動作する光 XOR 回路を半導体対称マッハツェンダー型全光スイッチ (SOA-MZI) を用いて実現を目指した。通常の SOA-MZI では高速化のための手法として入力信号を2分岐し、1ビットの時間差をつけてマッハツェンダー干渉計内の SOA にそれぞれ入力する差動動作を用いる。光 XOR の場合には入力が2つあるため、それぞれに対して差動動作を行うことが必要であり、そのためのすきがけの構造を2式用いる。本構造での 43Gbps 光 XOR 動作は Cork 大学より ECOC 2007 において報告があり、高速動作の潜在能力を持つことが示された。しかしながら、正確な XOR 動作を実現するためには SOA 内で発生する相互位相変調 (XPM) を干渉の起きる最適条件にしつつ、相互利得

変調 (XGM) による振幅の差を最小限にする必要があるため、各入力分岐での強度調整と SOA 出力での強度調整用に光減衰器を導入する必要がある。その詳細な報告は例がないため、XPM と XGM を同時に最適条件に設定して所望の XOR 動作の実現を目指した。

また安定動作のためには遅延線を含めた光導波路部を集積化することが有効であり、主に低損失が得られるシリカ系材料にて導波路を作成し、SOA とハイブリッド実装した回路を作製し、動作検証を行った。

更に、SOA のキャリア寿命が伝送速度に対して遅い場合にはパターンに依存するキャリア密度の変化を示すため、強度の変動を伴い入力信号パターンを忠実に再現することが難しい。そのため、伝送速度以上の高速なキャリア寿命が必要である。そのため SOA の選定が重要である。キャリア寿命 20ps 以下の素子を選んでハイブリッド実装用に用い、40Gbps での XOR 動作の実現を目指した。

以上で得られた高速光 XOR 回路を用いて、光 XOR と遅延線・光ゲート (主に SOA-MZI 全光スイッチを想定) を接続した構成での基本動作の検討を行った。巡回符号方式においては信号と遅延された成分の厳密なタイミング合わせが必須であるため、光導波路部を設計してシリカ材料で試作し、SOA とのハイブリッド実装を行って動作検証を行う。

4. 研究成果

速度 40Gbps 以上で対応可能な光信号処理による誤り検出・訂正技術の実現を目標とし、各年度ごとに以下の結果を得た。

平成20年度は以下の項目を検討した。

(1) 符号の選択および SOA の解析による実現可能性の検証

全光動作のメモリやバッファを用いず、演算過程で誤りが検出・訂正可能な符号である

こと、畳込み符号（平成17～19年度にて検討済み）よりも誤り訂正能力の高い巡回符号に着目した。その演算は排他的論理和（XOR）とフィードバックを縦属接続した除算回路を用いる。符号化に巡回ハミング符号を用いると剰余が誤りパターンと等しくなるため、剰余を受信信号に XOR 演算することで誤り訂正まで可能となることを確認した。

以上の実現においては速度 40Gbps レベルで全光動作が可能な XOR がキーデバイスとなり、集積化により小型化も可能な半導体光増幅器（SOA）を用いたマッシュエンダー（MZI）型全光スイッチをターゲットとすることとした。

まず最適動作範囲を解析的に検証するため、レート方程式を用いて入力光波長・パワーに対する SOA-MZI 型 XOR 回路の動作検討を行った。しかしながら、測定で用いた MQW 活性層を持つ SOA 自体の解析結果が測定結果を再現しないことが判明し、SOA の利得モデルを大きく見直す必要を迫られた。

(2) 符号の選択および SOA の解析による実現可能性の検証（新手法）

SOA 動作の解析と測定結果の乖離の原因として、高注入電流動作時の利得がキャリア密度に対して線形に増加する従来モデルに問題があることに着目した。MQW 構造は利得の飽和減少が顕著であることを数値解析に導入し、測定結果と整合性の良い解析結果を得ることができた（なお、その検討期間を3ヶ月延長とした）。

(3) SOA-MZI を用いた全光スイッチの動作検証

SOA-MZI の2つの SOA に独立に外部から信号光を入力し、干渉計の位相を制御することで XOR 演算を行う回路を検討対象とし、速度 10Gbps の擬似ランダム信号に対して明瞭な開口を持つアイパターンを得ることができ

た。

(4) 集積素子の設計

速度 40Gbps への高速化検討を目的として、速度の律速要因となる SOA のキャリア回復時間の影響を軽減する push-pull 回路（信号光を2分岐して2個の SOA に1ビット相当の時間差をつけて入力することにより、キャリア回復過程の遅い位相変化成分をキャンセルする効果がある）を集積化した XOA 回路の基本レイアウトの設計を行い、試作を進めた。

平成21年度は以下の項目を検討した。

(5) 誤り検出・訂正回路用 XOR 回路の性能評価

キーデバイスとなる半導体光増幅器を用いたマッシュエンダー型（SOA-MZI 型）全光スイッチによる排他的論理和（XOR）の動作をレート方程式により解析し、動作の最適条件を出力信号の Q 値をもとに検討した。その結果、CWプローブ光を固定した場合に Q 値が最大となる信号光パワーが存在すること、その値は CW プローブ光に対してある範囲に存在すること、2つの信号光パワーが同パワーにおいて最適になる結果が得られた。

この知見をもとに速度 10Gbps において XOR 動作の実験を行ったところ、解析とほぼ同様の結果が得られ、解析の結果が定性的に正しいことが実証できた。

(6) 集積 XOR 回路の試作

平成20年度に作成したレイアウト構成を元に集積 XOR 回路を試作し、その特性を評価した。CW プローブ光を分岐し、2個の SOA を通って再度結合する MZI と、2つの入力を各 SOA に独立に結合する部分、さらに高速化のための push-pull 回路を半導体あるいは石英系光波回路（PLC）のどちらで作成するかを検討し、損失の低い PLC で作成することとした。また push-pull のパワー分岐比と時間

遅延をともに可変とすることで最適条件の詳細な検討ができる構成とした。試作回路のPLC部分の導波特性評価時に損失が予想よりもかなり大きいことが判明し、その原因を次年度に検討することとした。

平成22年度は以下の項目を検討した。

(7) 全光 XOR 回路を用いた誤り検出回路の動作可能性の検討

SOA-MZI 型全光スイッチをベースとした XOR を用いて、CCITT 巡回符号を対象とした符号化回路・復号化回路の動作をレート方程式により解析した。XOR 回路の動作最適条件において、所望の符号化および復号化が可能である結果が得られた。また受信信号に誤りが存在する場合に、割り算回路の結果がオール0にならず、誤りが検出できることも明らかとなった。

実験的には1個の XOR 回路と1本のフィードバックループの組み合わせから成る最小構成の割り算回路を構成し、入力光信号に対して正しい割り算の商・剰余が得られた。

(8) 集積 XOR 回路の特性検証

平成21年度に試作した PLC・SOA ハイブリッド集積の光 XOR 回路の特性を詳細に検討した。平成21年度の特性評価では、PLC の導波路部分の損失が原理損よりもかなり大きい結果であったが、導波路伝搬損失・カプラの過剰損失・ファイバとの結合損失の作製の仕様の範囲内であることが判明した。従って、本質的にレイアウト・作製技術を含めた損失の低減がさらに重要である知見が得られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

Y. Aikawa, S. Shimizu, and H. Uenohara, “Demonstration of All-Optical Divider Circuit using SOA-MZI-type XOR Gate and Feedback Loop for Forward Error Detection”, accepted for Journal of Lightwave Technology (2011). (査読有り)

[学会発表] (計 3 件)

(1) Y. Aikawa, S. Shimizu, and H. Uenohara, “Investigation of all-optical division processing using a SOA-MZI-based XOR gate for all-optical FEC with cyclic code”, Photonics in Switching 2010 (PS2010), Moterey, USA, PWA3 (July 28, 2010).

(2) 相川洋平, 植之原裕行, “全光型誤り訂正技術の実現に向けた光 XOR 回路に関する動作特性の検討”, 2010 年電子情報通信学会総合大会, B-12-14, 仙台, 2010 年 3 月 17 日.

(3) 相川洋平, 植之原裕行, “巡回符号型光誤り検出/訂正回路のための光 XOR 回路の解析的動作検討”, 2009 年電子情報通信学会ソサイエティ大会, B-12-7, 新潟, 2009 年 9 月 16 日.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

名称:
発明者:
権利者:
種類:
番号:
出願年月日:
国内外の別:

○取得状況 (計 0 件)

名称:
発明者:
権利者:
種類:
番号:
取得年月日:
国内外の別:

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

植之原 裕行 (Hiroyuki Uenohara)
東京工業大学・精密工学研究所・准教授
研究者番号：20334526

(2) 研究分担者

該当者なし

(3) 連携研究者

松谷 晃宏 (Mathutani Akihiro)
東京工業大学・技術部・技術専門員
研究者番号：40397047

小西 毅 (konishi Tsuyoshi)
大阪大学・工学研究科・准教授
研究者番号：90283720

和田 尚也 (Wada Naoya)
独立行政法人情報通信研究機構・情報通信部
門・研究マネージャー
研究者番号：20358873