

機関番号：32682
 研究種目：基盤研究 (C)
 研究期間：2008～2010
 課題番号：20500056
 研究課題名 (和文) 高速動作可能なプログラマブル・ロジック・コントローラの構成法と実現
 研究課題名 (英文) Novel Architectures of Fast Programmable Logic Controllers and their Realizations
 研究代表者
 井口 幸洋 (IGUCHI YUKIHIRO)
 明治大学・理工学部・教授
 研究者番号：60201307

研究成果の概要 (和文)：工場の生産設備や遊園地などでの制御には PLC (Programmable Logic Controller) が使われている。この PLC の高速化と高信頼化技術を開発した。当初に計画していた方法で商用 PLC の 40 倍の高速化を達成できた。また、高信頼化技法については冗長剰余数系を活用する基本技術を開発した。これらは、査読付き国際会議で発表を行った。更なる高速化はメモリ容量の関係で難しかったが、最終年度の 2 月に 200 倍を達成できる画期的な方法を考案でき、現在、実証試験を行っている。本結果は、2011 年度中に国際会議に投稿し、2012 年度に論文誌に投稿予定である。

研究成果の概要 (英文)：Programmable Logic Controllers (PLCs) are used for factory automation systems, amusement park rides, etc. Faster, lower-cost, and more dependable PLCs are required. The original architecture proposed by me achieved 40 times faster speed than the commercial PLC (KV-1000). I also proposed methods for the higher dependability based on residue number systems. I implemented the architecture on the consumer FPGA. I announced their development at international conferences. In February 2011, I and my student, Mr. Takahashi developed a novel architecture for PLCs. We are now developing the prototype system, and verifying the performance. Preliminary experimental results show that it will have 200 times faster one than the commercial PLCs. We are now preparing papers for international conferences held in 2012 and journals published in 2013.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	600,000	180,000	780,000
2010年度	600,000	180,000	780,000
総計	2,500,000	750,000	3,250,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：プログラマブル・ロジック・コントローラ, PLC, FPGA, 冗長剰余数系, 基数変換

1. 研究開始当初の背景

PLC (Programmable Logic Controller) は、工場での生産設備の制御に用いられる専用の機器であり、本研究の開始直前の 2007 年

度の年間出荷額は日本国内だけで 1480 億円、台数で 178 万 5000 台という大きな市場であった (日本電機工業会・日本電気制御機器工業会調べ)。三菱電機、オムロンの 2 強は、

世界的にも大きなシェアを占めており、日本国内3番手のキーエンスはシーケンサ本体よりもむしろセンサ類で大きなシェアを占めており、この業界の発展は日本の産業振興にも大きく寄与すると考えられた。

一方、生産設備の高速化、高精度化、複雑化に対応するためには、制御を行うPLC自体の高速化が望まれており、専用プロセッサの開発やDSP (Digital Signal Processor)により対応を図ることが行われていた。専用プロセッサの開発コストは膨大であり、DSPでは性能が不足していた。当時、三菱電機より「よい解決法が、私が属していた研究グループが開発したLUTカスケード法を利用できないか」との問い合わせがあり技術紹介を行ったことが本研究の開始のきっかけとなった。

2. 研究の目的

当時の商用PLCの30倍の高速化を達成することを最初の目標とした。最終的には、技術の進歩などに対応するためにアーキテクチャの工夫だけで100倍の高速化を達成することを目標とした。もう一つの目標としては、ノイズなどに強い高信頼化を図った実現方法を提案することとした。

3. 研究の方法

(1) 高速化の基本原則

図1(a)にPLCの動作を表すラダー図を示す。このラダーの各接点の接続を図1(b)のシーケンス命令に変換し、これをマイクロプロセッサ上で実行するのが、PLCの動作原理である。通常のPLCではラダー1行が数個(平均p個とする)のシーケンス命令に翻訳される。これらの命令は、PLC内部にある汎用マイクロプロセッサ(MPU)上では必ずしも機械語命令と1対1に対応していない。そこで、1個のシーケンス命令を、1~数個の機械語命令に展開し実行することになる(平均q個と仮定する)。さらにマイクロプロセッサは、コンピュータであるから、(1)命令読み出し、(2)解釈、(3)実行、(4)レジスタへの書き込み等の過程を経る(rステップ)。従って、ラダー1行がp個のシーケンス命令に、そしてq個の機械語命令となり、命令読み出しからレジスタ書き込みまでのrステップだとすればpqr個のステップをかけて1行のラダーの実行になる。

本研究の高速化のアイデアを図2に示す。図2では1行のラダーが1個の論理式で表現できることを示している。各論理式を真理値表の形に表現し、これを専用ハードウェア内ではLUT(look-up table)に格納し図2(b)では、1行のラダーを1回のメモリアクセスで実行可能なことが示されている。さらに、図2(c)では、2行目と3行目とを1個のLUTにまとめて格納し、3行のラダーを2ステップ

で実行できることを示している。ただし、この場合、必要メモリ容量の拡大が起きている。図2(d)では、2ステップ目で2個のLUTへのアクセスを同時に許す機構があれば、メモリ総容量の増加なしに3行のラダーがわずか2ステップで実行できるアイデアを示している。本研究の基本アイデアは、以上を基本原則とした。

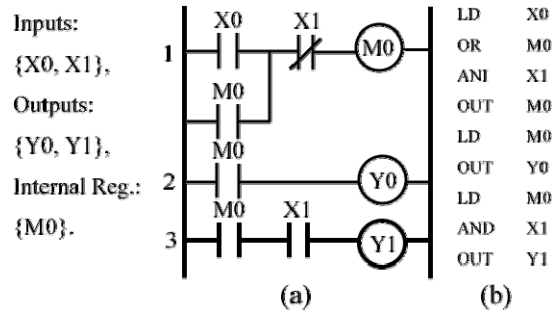


図1 ラダー図によるPLCの動作記述

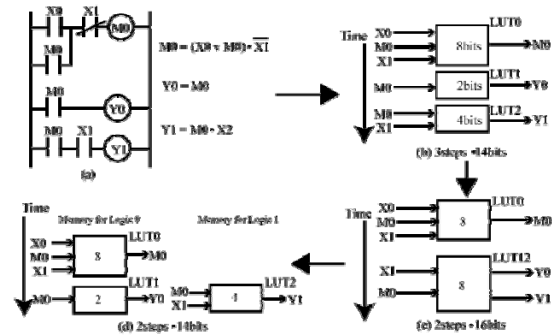


図2 PLCの高速化の基本アイデア

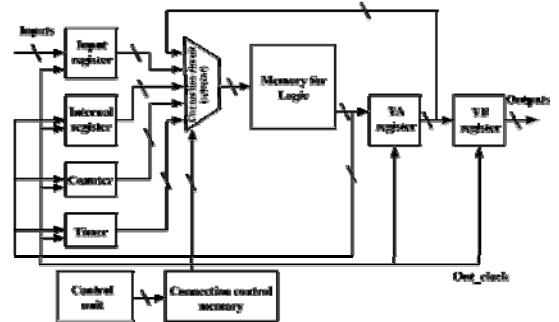


図3 提案するシングルメモリPLCのアーキテクチャ

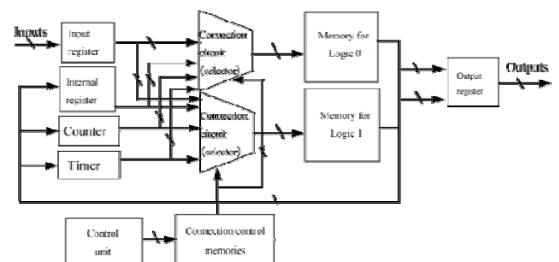


図4 提案するダブルメモリPLCのアーキテクチャ

(2) 高信頼化へのアプローチ

PLC の制御対象は、工場内の機器、プラントの設備、交通設備、アミューズメントパークの乗り物など多岐にわたるが、共通するのは高信頼性である。電磁気的な防御などは当然のこととして、ここではシステムやアルゴリズム上の工夫を PLC に加えることが必要だと考えた。

本研究では、PLC を FPGA (Field Programmable Gate Array) 上に実現する。設計には HDL (Hardware Description Language) で記述しなければならない。このとき、人間の手が介在すればするほど、人為的なミスが増える。したがって、この HDL を自動的に生成するツールを Perl 言語で実現することにした。このことにより多数のハードウェア構成を試すこともできる。

システム的な工夫としては、冗長剰余数系を数値を取り扱う部分で用いることである。このことに関しては、基礎的なアルゴリズムを開発することにした。特に、2 進数と冗長剰余数との変換回路の提案、冗長剰余数系を用いた誤り検出回路の構成法について提案を行った。これらは、FPGA 内部の組込みメモリを基本回路の代替とすることを基本に高速化を行った。一方、基数を自由に動的に変更できる方法については、メモリの代わりに FPGA 内部の LE (Logic Element) での回路構成に工夫をこらすことで実現を行った。

(3) 提案した PLC のアーキテクチャ

本研究で提案した PLC のアーキテクチャを図 3 (図 4) に示す。本例は、同時に実行できるラダー行数を 1 (2) 行とした構成である。各出力を 2 本とした場合、最大 2 (4) 行分を並列実行できる。このとき、出力は計算するのではなく、あらかじめ計算された真理値表をメモリ内にすべて記憶しておくことで実現していることに工夫がある。このことにより、出力は表を引くだけで求まる。この出力メモリを s 個にすれば、シングルの場合の最大 s 倍の高速化が実現できる。

4. 研究成果

入力を設定し、出力が求まるまでの時間をスキャンタイムと呼ぶ。これを短縮することが重要である。表 1 にエレベータのベンチマークを、組込みマイコン H 8 を PLC に利用した方法、商用 PLC (KV-1000, キーエンス社製) との方法と、図 3 および図 4 の提案手法との比較を示している。これをグラフで見たものが図 5 である。40 倍～120 倍の高速化を達成できたことが示されている。これで当初の目的はほぼ達成できたと考えた。また、基本的な高信頼化技法については査読付き国際会議にも 3 本採録されており、これらを開発し

た PLC に組込む研究をさらに進めたいと考えている。

しかしながら、高速化にはまだ努力が必要であると考えた。ラダーの行数が増えたときに速度比が悪くなる。これは、複雑なラダーになればなるほど、同時に実行できる行数を検出することが現在開発済みのコンパイラでは難しかったこと。同時に計算する出力数を増やせば速度の向上が望める場合でも、メモリ容量の増加により断念したこと。これらが速度向上率を鈍らせた原因であることがわかった。そこで、以下の 2 点の方法について最終年度は特に研究を展開した。

- ① PLC を専用ハードウェアで高速化するのではなく、GPU (Graphic Processing Unit) を使って実現できないかの検討。
- ② NPN 同値類を使いメモリ圧縮を行い、ハードウェア量の増加を防止しながら効率をあげること。

①については、PLC への応用の初期段階への摘要しか 2010 年度には終えられなかった。これは開発システムである CUDA の使用法の習得に時間がかかったことが原因であった。これについては、今後、日本国内の研究会などで多くの人の意見を聞きながらすすめる必要があると考えている。しかしながら、このことにより副産物としてフィルタの実現などについて CUDA による実現の知見や FPGA 実現の知見、さらに派生してワンチップマイコンによる PLC の実現とそのシステムに関する知見も得られ発表を行った。

②については、アイデアの検討、シミュレーション、試作ハードウェアの実現、コンパイラの実現等に時間を要したため、そのプロトタイプシステムの初歩的動作確認が 2011 年 2 月末であった。

②の基本原理は以下の通り： ラダー内に良く出てくる論理変数の個数は 4 が多く、まずこれを高速化することが重要であること。それ以上の場合でもコンパイラで複数のラダーに分解できること。3 で述べた高速化の限界が「メモリの増加が原因で並列度をあげられないこと」これらを解決すればさらなる高速化は望める。

そこで、「4 変数の全ての論理関数の種類は 65536 通りだが、NPN 同値類の考え方を導入するとわずか 222 通りの種類を予め用意しておけばよい」という事実を利用することとした。現在のプロトタイプでは、20 個の複数メモリを用意し、各メモリ内には 222 個の全ての 4 変数の論理関数の真理値表を予め格納しておく。すべてのラダーをコンパイラによって、4 変数論理関数に変換し、順序関係の変化により出力の値が変わらないことを維持しつつ、最大 20 並列の出力をメモリの増加なしに実現する。コンパイラは、現在、開発

中であるので特定のベンチマークでしか動かせていないが，商用 PLC の 200~300 倍程度の高速化を実現できている．主要アイデアとプロトタイプのパフォーマンスについて，現在，完成度の高いプロトタイプシステムとコンパイラの作成を開発中である．国際会議，ジャーナルペーパーに向けて執筆も検討している．可能であれば特許取得にむけて作業をすすめることなどが今後の課題となる．

表1 ベンチマークによる性能試験結果

Stories	#Ladder	#Instructions	Scan time [μsec]			
			H8	KV	PLC emu †	
					Single	Dual
EL3	37	187	135	73	0.95	0.60
EL4	48	276	193	74	1.35	0.79
EL5	59	371	250	80	1.74	0.98
EL6	70	472	308	81	2.35	1.48
EL7	81	579	365	86	2.65	1.55
EL8	92	692	443	87	3.19	1.98

†:Used EP2C35F

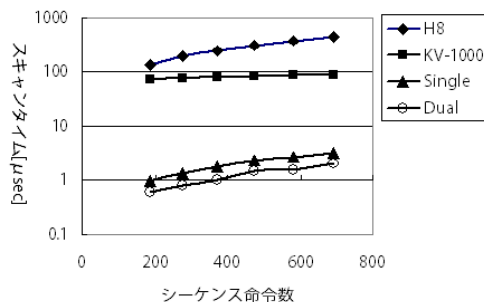


図5 商用 PLC との速度比

5. 主な発表論文等

(研究代表者，研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

① Koki Shirakawa, Takashi Uemura, Yukihiro Iguchi, "A realization method of forward converters from multiple-precision binary numbers to residue numbers with arbitrary mutable modulus," Proc. of IEEE 41st Int'l Symposium on Multiple-Valued Logic, 6 pages, Finland, 2011 (査読有) .

② Akira Yoda, Yukihiro Iguchi, Kaoru Arakawa, "Development of nonlinear filter bank system for real-time beautification of facial video using GPGPU," Proc. of IEEE 10th Int'l Symposium on Communications and Information Technologies, 6 pages, Tokyo,

Oct. 2010 (査読有) .

③ Koki Shirakawa, Takashi Uemura, Yukihiro Iguchi, "A realization method of forward converters from multiple-precision binary numbers to residue numbers with arbitrary modulus," Notes of SEAA2010/DSD2010 Work in Progress Session, pp.1-2, Lille, Sept. 2010 (査読有) .

④Kenji Takahashi, Yuji Matsuda, Yukihiro Iguchi, "A realization method of fast programmable logic controllers," Notes of SEAA2010/DSD2010 Work in Progress Session, pp. 3 - 4, Lille, Sept. 2010 (査読有) .

⑤Tsutomu Sasao, Yukihiro Iguchi, "On the complexity of single-digit error detection function in redundant residue number system," Proc. of 10th EUROMICRO Conference on Digital System Design, Architectures, Methods and Tools, pp. 233-239, Porto, Sept. 2008 (査読有) .

[学会発表] (計11件)

①加藤雄大, 西川博貴, 井口幸洋, 荒川薫, "エステティック・フィルタのFPGAを用いた実現法," 電子情報通信学会総合大会 情報・システムソサイエティ企画ポスターセッション, 東京都市大学, March 15, 2011 (査読無) .

②鈴木 潤, 茅原健悟, 西山 翼, 井口幸洋, "PSoCを用いた一人暮らし高齢者見守りシステムの構築," 電子情報通信学会総合大会 情報・システムソサイエティ企画ポスターセッション, 東京都市大学, March 15, 2011 (査読無) .

③井口幸洋, 依田融, "フィルタ処理を目的としたCUDA用コンパイラについて," 2011年 Design and Test Colloquium (DTC'11), マホロバ・マインズ三浦, Feb. 26, 2011 (査読無) .

④依田融, 井口幸洋, "GPU上のフィルタバンク再構成のためのJITコンパイラシステム," 情報処理学会ハイパフォーマンスコンピューティングと計算科学シンポジウム HPCS2011, 産業技術総合研究所, Jan. 18, 2011 (査読有) .

⑤高橋賢治, 松田雄二, 櫻井智康, 井口幸洋, "高速プログラマブル・ロジック・コントローラの実現法(4)," 2010年電子情報通信学会総合全国大会, 東北大, March 18, 2010 (査読無) .

⑥中和仁志, 清水大和, 井口幸洋, "冗長剰余数系における故障検出回路の実現法," 2010年電子情報通信学会総合全国大会 2010年電子情報通信学会総合全国大会, 東北大 March 18, 2010 (査読無) .

⑦井口幸洋, 依田融, "ビデオカード内の多

数のプロセッサを用いた画像フィルタの実現,” Design & Test Colloquium 2010 (DTC'10), かんぼの宿淡路島, March 14, 2010 (査読無) .

⑧井口幸洋, 高橋賢治, 櫻井智康, “高速プログラマブル・ロジック・コントローラの実現法(3),” 第62回F T C研究会, 総社市サンロード吉備路, Jan. 23, 2010 (査読無) .

⑨井口幸洋, 笹尾勤, 松田雄二, 櫻井智康, 高橋賢治, “高速プログラマブル・ロジック・コントローラのアーキテクチャとFPGA実現,” Design & Test Colloquium 2009 (DTC'09), 箱根, March 28, 2009 (査読無) .

⑩松田雄二, 櫻井智康, 高橋賢治, 田中亮平, 井口幸洋, “高速プログラマブル・ロジック・コントローラの実現法(2),” 電子情報通信学会2009年総合大会, 愛媛大学, March 18, 2009 (査読無) .

⑪井口幸洋, 笹尾勤, 清水大和, 中和仁志, “冗長剰余数系における単一桁誤り検出回路の実現法,” 第60回F T C研究会, 山形, Jan. 31, 2009 (査読無) .

[図書] (計1件)

①中前他分担執筆 井口幸洋, LSI テスティングハンドブック, オーム社, 598ページ中担当分: pp. 8-13, 31-35, 2008 (査読無) .

[その他]

ホームページ等

<http://www.iguchi-meiji.com/>

6. 研究組織

(1) 研究代表者

井口 幸洋 (IGUCHI YUKIHIRO)

明治大学・理工学部・教授

研究者番号: 60201307