

機関番号：34419

研究種目：基盤研究(C)

研究期間：2008 ～ 2010

課題番号：20500057

研究課題名(和文) メモリアクセスフリーアーキテクチャ自動設計技術

研究課題名(英文) Design Automation for Memory Access Free Architecture

研究代表者

神戸 尚志 (KAMBE TAKASHI)

近畿大学・理工学部・教授

研究者番号：70368281

研究成果の概要(和文)：

システム LSI においてハードウェア部が直接メモリアクセスする機会が多く、その高速化が極めて重要である。ハードウェアからのアクセスの場合、データアクセス方法に沿ってより小規模なメモリ構造を考える。本研究では、この点に注目し、ハードウェアにおけるメモリアクセス方法に即した3種類のアーキテクチャ自動最適化手法(単変数に対するレジスタ化、オンチップへのデータ格納のパイプライン化手法を提案し、これらを統合したメモリアクセスアーキテクチャを大語彙連続音声認識回路、DCT 回路、相関値計算回路などに適用し、その有効性を確認した。

音声認識におけるビタビ探索回路にレジスタ化を施すことにより処理速度は約 12.06%向上し、回路規模は微増にとどまった。同じビタビ探索回路にデータ格納のパイプライン化により処理速度は約 16.7%向上した。JPEG エンコーダで用いられる DCT 演算と粒子追跡技術で用いられる相関値計算に対しては、パイプライン化により各々31.41%、7.14%の高速化を得た。レジスタ化とパイプライン化を統合した手法をビタビ探索回路に適用した結果、処理速度は約 28.78%向上した。これらの成果を国際学会1件及び国内学会1件発表した。

研究成果の概要(英文)：

High level design methodologies are becoming more and more important in the design of large system LSI devices. As a result, behavioral synthesis from C and other high level languages is key to achieving the productivity demanded by such large designs. For memory intensive applications in particular, the automatic identification, optimization and synthesis of memory access operations is essential.

This research developed a method for automatically generating behavioral descriptions for memory access pipeline circuits. Combined with registerization, the approach can accelerate Memory Accesses (MA) irrespective of the degree of data reuse.

The method is applied to well-known algorithms used in applications such as speech recognition, JPEG encoding and particle tracking technology, and its effectiveness evaluated.

The number of MAs is reduced by over 20% and the overall performance improved by over 10% using these MA speed-up methods.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,100,000	330,000	1,430,000
2009年度	1,700,000	510,000	2,210,000
2010年度	600,000	180,000	780,000
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：メモリアクセス、レジスタ化、アーキテクチャ設計自動化、C言語設計、メモリアクセスのパイプライン化

1. 研究開始当初の背景

システムLSIは各種電子機器に広く利用され、年々複雑化・高度化が進み、設計の危機と言われている。特に、急激に複雑・高度化する各種アプリケーションは大規模な各種メモリやデータを高速にアクセスする事が多く、メモリアクセス部のアーキテクチャ設計が重要課題のひとつとなっている。この問題を解決するために、多くの研究が国内外で活発に行われている。

メモリアクセスアーキテクチャの問題とは、オンチップメモリをどのように混載するか、オフチップメモリをいかに高速にアクセスするか、両者のトレードオフをどう最適化するかという点にあり、システムコスト・性能・消費電力などの点でシステムLSI設計に重大な影響を与える。これまでのシステムLSIのメモリ構成法は特定の構造をベースにしており、十分な性能が得られない問題があり、用途に特化したメモリアーキテクチャを柔軟に設計支援する研究が緊急となっている。

2. 研究の目的

C言語設計においても、言語辞書や画像など大規模なデータの記憶及びアクセス法が従来設計法と同様に大きな問題である。メモリアクセスがシステム動作速度向上のボトルネックとなるケースが多く、キャッシュ・レジスタファイル・小規模メモリなどを介したデータアクセス、メモリ分割による複数メモリ並列アクセス、メモリアクセスと内部回路動作との並列化・パイプライン化などを用いて高速化を人手設計により行っているが、これらの設計及び検証、最適化は多くの手間を要する。

本研究では、オンチップ及びオフチップメモリ構成やそのアクセス回路の自動生成及びシミュレータやプロファイラによるメモリアクセスを含むシステムの動作検証を可能とする自動設計機能をC言語によるハードウェア設計支援システム(Bach)に追加・拡張することで、システムLSIアーキテクチャにおけるメモリ構成及びアクセスに関する設計を柔軟かつ効率的に行う「メモリアクセスフリーアーキテクチャ自動設計環境」を構築する。

3. 研究の方法

従来の研究では、階層的なメモリアーキテクチャ設計支援、メモリ・プロセッサの一体化、メモリアクセス高速化など多くの研究はあるが、メモリ構成は特定の構造に限定されていた。本研究は、メモリ構成をC言語記述し、演算部分とメモリアクセスを総合的に検証し、用途に最適なメモリアクセス及びメモリ構成を自動的に生成する。具体的には、以下の設計自動化を実現する。

- (1) システムの動作を記述したC言語記述から、コントロールデータフローグラフを生成し、アクセス回数とアクセス容量などのメモリアクセス要求をノードとして加える。これをMA-CDFGと呼ぶ。
- (2) MA-CDFGから、大規模外部メモリを順序的にアクセスする場合は、メモリアクセスを組み込んだパイプラインを自動生成し、パイプライン段数の最適化を図る。
- (3) MA-CDFGから、大規模外部メモリをランダムにアクセスする場合は、メモリ分割の最適な数を求め、メモリアクセスを並列化する回路を自動生成する。
- (4) MA-CDFGから、小規模かつ多重的なメモリアクセスがある場合は、必要最小限のレジスタファイルもしくはキャッシュメモリを自動生成し、メモリアクセスと演算回路とを並列動作させ、メモリアクセスによるボトルネックを解消する。

4. 研究成果

・平成20年度は、C言語による動作記述による設計におけるメモリアクセスデータの再利用性に着目し、複数回メモリアクセスするデータをその整合性を保ちつつレジスタに保持するアルゴリズムを考案した。

本アルゴリズムは①C記述からの情報収集、②データ依存関係調査、③プロファイリング、④リード・ライト回数比較、⑤レジスタ化処理とデータ整合性対策の5つの処理から構成される。

C記述からの情報収集は次のデータ依存関係調査の処理を行う際に必要となる情報をC記述から自動的に収集する。データ依存関係調査はメモリリードとメモリライト記述の依存関係とデータ整合対策が必要となる記述箇所を調査する。プロファイリングは記述の各行の実行回数を測定する。リード・ライト回数比較はレジスタ化を行う有効性を調べる。レジスタ化処理はレジスタ化と決定した箇所の記述を自動的に変更し、データ整合対策は異なるアドレス変数によるメモリラ

イトに対しレジスタとメモリ間のデータ整合を保つために記述変更を行う。

・平成 21 年度は、ハードウェアにおけるメモリアクセス方法に即した 3 種類のアーキテクチャ自動最適化手法(単変数に対するレジスタ化、オンチップへのデータ格納のパイプライン化、ループ構造を持つメモリアクセスに対するオンチップ配列化手法を提案した。

・平成 22 年度は、ハードウェアにおけるメモリアクセス方法に即した 3 種類のアーキテクチャ自動最適化手法(単変数に対するレジスタ化、オンチップへのデータ格納のパイプライン化手法を統合したメモリアクセスアーキテクチャを大語彙連続音声認識回路、DCT 回路、相関値計算回路などに適用し、その有効性を確認した。

音声認識におけるビタビ探索回路にレジスタ化を施すことにより処理速度は約 12.06%向上し、回路規模は微増にとどまった。同じビタビ探索回路にデータ格納のパイプライン化により処理速度は約 16.7%向上した。JPEG エンコーダで用いられる DCT 演算と粒子追跡技術で用いられる相関値計算に対しては、パイプライン化により各々 31.41%、7.14% の高速化を得た。レジスタ化とパイプライン化を統合した手法をビタビ探索回路に適用した結果、処理速度は約 28.78%向上した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

①Kishida, 他, "Circuit Synthesis for Fast Memory Access in System LSI," The proceeding of the 16th Workshop on Synthesis And System Integration of Mixed Information Technologies, 査読有, 2010 年, pp. 371-376.

②A. Eguchi, 他, "Hardware Design for the First Pass of A Large Vocabulary Continuous Speech Recognition System," The proceeding of the 15th Workshop on Synthesis And System Integration of Mixed Information technologies, 査読有, 2009 年, pp. 230-235.

③ Eguchi, "An Application Specific Circuits Design for a LVCSR System," The proceeding of the 19th European Conference on Circuit Theory and Design, 査読有, 2009 年, pp. 791-793.

④ T. Kambe, "A Variable Length Vector Pipeline Architecture Design Methodology," The proceeding of Euromicro Conference on Digital System Design, 査読有, 2008 年, pp. 665-668.

[学会発表] (計 5 件)

①岸田和也, 他, "メモリアクセス高速化のための回路自動生成の一手法", 電子情報通信学会 VLSI 設計技術研究会, 2011 年 3 月 3 日, (沖縄).

② 谷本浩一, 他, "リアルタイム処理が可能な粒子抽出回路の設計," 第 53 回システム制御情報学会研究発表講演会, 2009 年 5 月 21 日(神戸).

③ 江口彰彦, 他, "音声認識第 1 パス部の C 言語設計とその最適化," 電子情報通信学会 VLSI 設計技術研究会, 2008 年 6 月 26 日, (札幌).

④ 神戸尚志, "リアルタイム粒子追跡のための階層的パイプライン回路設計," 電子情報通信学会 VLSI 設計技術研究会, 2008 年 6 月 26 日, (札幌).

⑤ 神戸尚志, "相関値計算回路のアーキテクチャ設計とその最適化," 回路とシステムワークショップ, 査読有, 2008 年 4 月 21 日, (長野県軽井沢).

[図書] (計 1 件)

築山修治, 神戸尚志, 福井正博, コロナ社, ビジュアルに学ぶデジタル回路設計, 160 ページ, 2010 年.

[その他]

ホームページ等

<http://www.ele.kindai.ac.jp/kambe/index.html>

6. 研究組織

(1) 研究代表者

神戸 尚志 (KAMBE TAKASHI)

近畿大学・理工学部・教授

研究者番号 : 70368281

(2) 研究分担者

谷本 浩一 (TANIMOTO KOUICHI)

近畿大学・理工学部・助手

研究者番号 : 70257971

(3) 連携研究者

()

研究者番号 :