

機関番号：11101  
 研究種目：基盤研究(C)  
 研究期間：2008～2010  
 課題番号：20560287  
 研究課題名（和文） ECRスパッタ法による酸化誘電体薄膜の低温形成と高品質化プロセスの研究  
 研究課題名（英文） Investigation of deposition process and electrical characteristics of oxy-nitride dielectrics by using ECR sputtering  
 研究代表者  
 小野 俊郎 (TOSHIRO ONO)  
 弘前大学・大学院理工学研究科・教授  
 研究者番号：30374812

## 研究成果の概要（和文）：

次世代高性能半導体電子デバイスの実現のため、電子サイクロトロン共鳴 (Electron Cyclotron Resonance: ECR) スパッタ法を用い、低温プロセスによる高品質な MIS 形成技術を検討した。成膜中イオンエネルギー制御により室温成膜の as-depo 状態で、理想 CV に匹敵する  $V_{fb}$  シフトのない CV 特性を実現した。また、Ge-MIS への応用ではミッドギャップにおける固定電荷密度  $D_{it}$  は  $4.5 \times 10^{10} \text{cm}^{-2} \cdot \text{eV}^{-1}$  と極めて小さい値を実現した。

## 研究成果の概要（英文）：

For high feature semiconductor devices, low temperature process technology for high quality MIS have been investigated by using ECR (electron cyclotron resonance plasma) sputtering. On Si-MIS, CV characteristics almost same as ideal one have been obtained for as-deposited MIS without post-deposition anneal by controlling the ion energy during ECR sputtering of dielectrics. On Ge-MIS, low midgap interface state density of  $4.5 \times 10^{10} \text{cm}^{-2} \cdot \text{eV}^{-1}$  has been realized by room-temperature dielectric formation.

## 交付決定額

(金額単位：円)

|        | 直接経費      | 間接経費      | 合計        |
|--------|-----------|-----------|-----------|
| 2008年度 | 1,400,000 | 420,000   | 1,820,000 |
| 2009年度 | 1,100,000 | 330,000   | 1,430,000 |
| 2010年度 | 1,000,000 | 300,000   | 1,300,000 |
| 年度     |           |           |           |
| 年度     |           |           |           |
| 総計     | 3,500,000 | 1,050,000 | 4,550,000 |

研究分野：プラズマ応用加工

科研費の分科・細目：電気電子工学・電子電気材料

キーワード：作成・評価技術、MIS、低温形成、ECR プラズマ

## 1. 研究開始当初の背景

Si-MISFET は MPU などの高性能化と FPD など表示デバイスや MEMS デバイスなどの高機能化に対する技術開発が期待されている。特に低温プロセスで高品質な MIS 特性が実現できる高誘電体の低温形成が必須となっている。また、Si デバイスの限界を打破するために、Ge-MISFET の集積化が期待され、低温プロセスで良好な MIS 特性を

実現する誘電体形成技術の確立が必要とされている。

これまで MIS 誘電体については種々の材料が提案されているが、従来プロセスとの整合性の上で適用が制限されている。この制約の中で大きな課題は MIS 構造の誘電体/基板界面品質である。界面固定電荷が大きくなると、 $V_{fb}$  の変動などにより集積デバイス動作不良をもたらすことになる。これを改善す

るために、Si プロセスでは MIS 構造形成後に 1000°C 級の水素アニールが導入されている。これが逆に誘電体耐熱性の問題ともなり新規の誘電体材料適用の制限ともなっている。また、Si 集積デバイスの技術基盤を援用している FPD など表示デバイスのドライバとして用いられる Si-TFT の分野においては、基板ガラスや発光デバイスの制約となる 100~300°C 程度に熱プロセスが制限できれば発揮できる表示性能も、TFT 特性改善の熱プロセスの影響を回避するデバイス構造となることで不都合が生じている。一方、Ge は電子移動度が大きく、post-Si の半導体材料として注目されているが、GeO<sub>2</sub> の耐熱性が 500°C 程度と低いことから、従来の Si プロセスを援用するには限界があった。

以上のように次世代のデバイス開発においては、高品質の誘電体を低温で形成するとともに、MIS 構造の誘電体/基板界面の品質制御も低温で達成できる成膜技術の開発が急務の課題となっている。

## 2. 研究の目的

本研究は次世代高性能半導体電子デバイスの開発に関し、反応活性な電子サイクロトロン共鳴(Electron Cyclotron Resonance : ECR)プラズマを用いたスパッタ成膜法(以下、ECR スパッタ)により、高品質な MIS 高誘電体薄膜の形成技術の確立を目的とする。特にスパッタによる原料供給とイオン照射反応支援による化合物薄膜形成の機構を解明し膜バルクの高品質化をはかるとともに、半導体ゲート膜への応用を目指した、半導体/誘電体界面制御のための加工技術を確立する。

## 3. 研究の方法

Si または Ge 基板を用いた MIS 構造により IV、CV により評価した。また、一部は MIM 構造とした。誘電体は Si、Al 純金属ターゲットを用いたスパッタガスとして Ar、反応性ガスとして O<sub>2</sub>、または N<sub>2</sub> を用いた ECR スパッタにより形成した。また、一部の試料では Ar、O<sub>2</sub>、N<sub>2</sub> 混合による ECR プラズマ流照射により基板表面改質により形成した。基板は成膜直前に 1%HF、30 秒浸漬処理して自然酸化膜を除去した。上部電極は Al、または Au をステンシルマスクを用いた抵抗加熱蒸着で形成した。裏面は全面に Al を抵抗加熱蒸着により形成した。MIM では Si 基板に ECR スパッタにより形成した Ru を下部電極とした。

誘電体膜厚は分光エリプソにて測定した。IV、CV は半導体パラメータ測定装置により測定した。誘電体/基板界面の評価には TEM を、膜応力測定にはフィゾ干涉計を用いた。

電気特性評価は MIM 構造では絶縁耐圧、

比誘電率、MIS 構造では CV による V<sub>fb</sub> を評価した。

## 4. 研究成果

### (1) 酸化誘電体薄膜と Si-MIS-CV の検討

ECR-SiON、ECR-AlON では窒化のプロセスがターゲット表面窒化律速であることから、極薄膜形成後に O<sub>2</sub>、N<sub>2</sub> による ECR プラズマ流処理を施し積層する手法を用いて、低温での高耐圧成膜技術を検討した。図 1 に ECR-SiON の IV 特性を、図 2 に ECR-AlON の IV 特性を示す。post プラズマ流照射のガス条件は

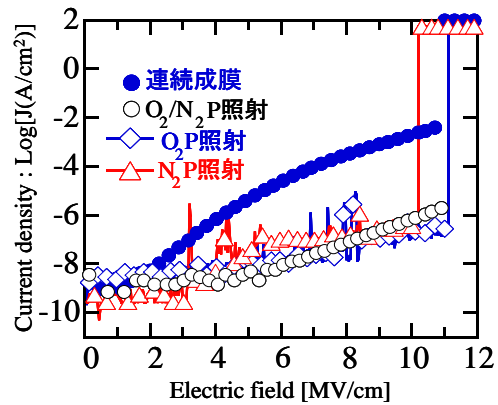


図 1 SiO<sub>x</sub>N<sub>y</sub> の post プラズマ照射効果

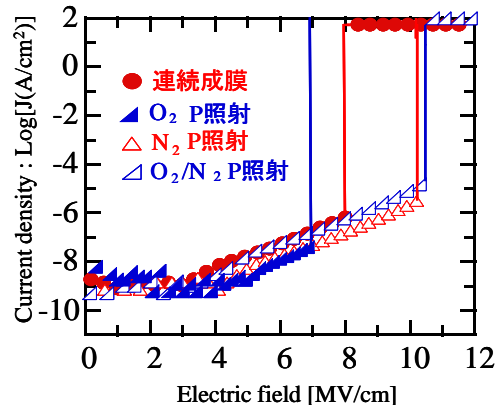


図 2 AlO<sub>x</sub>N<sub>y</sub> の post プラズマ照射効果

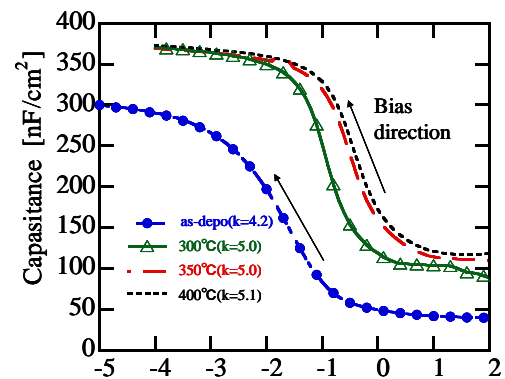


図 3 ECR-AlON Si-MIS の CV

異なるが、ともに 10MV/cm 以上の高耐圧の膜形成が可能である。図 3 に ECR-AION を用いた Si-MIS の CV 特性を示す。ECR スパッタ成膜による Si-MIS 構造では、膜種に依らず  $V_{fb}$  シフト (界面固定電荷) が生じ、解消には低温ではあるが 400°C 近傍の熱処理が必要となる。この現象が膜種、成膜雰囲気依存しないことから、ECR 法固有のパラメータに起因していると推測した。

Si-MIS では as-depo では  $V_{fb}$  シフトが発生するが低温の熱処理で回復すること、また成膜初期の界面膜形成のイオン照射を低エネルギーで行うことで as-depo の  $V_{fb}$  シフトが低減される。図 4 に熱処理前後の誘電体/基板界面の

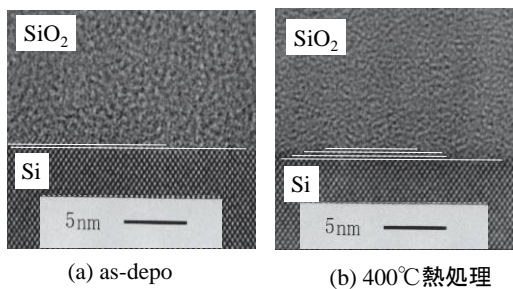


図 4 誘電体/基板界面の TEM 像

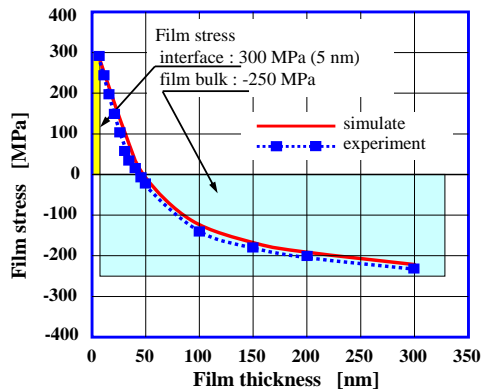


図 5 熱処理後の膜応力

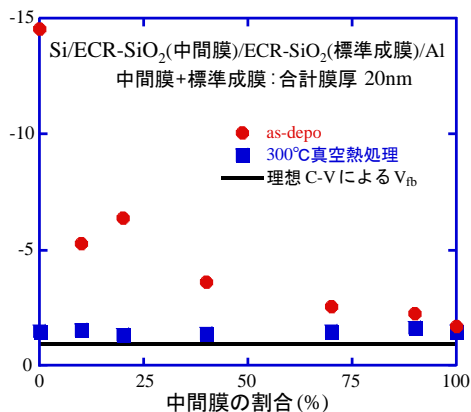


図 6 低エネルギーイオン流成膜 MIS  $V_{fb}$

TEM 像を示す。TEM 観察による界面平滑さ評価では、as-depo 膜において単原子レベルで平滑、低温熱処理で数原子オーダーで荒れが発生している。荒れの発生要因に膜の界面応力を想定して評価した。図 5 に熱処理後の膜応力解析を示す。as-depo では応力フリー、低温熱処理では 300MPa の引張り界面応力が発生している。低温熱処理による  $V_{fb}$  シフト低減に、界面原子の再配列が起因していることがわかったが、そのドライブフォースについてはさらに検討が必要であることがわかった。

イオンエネルギーと  $V_{fb}$  シフトとの関係を検討した。イオンエネルギーは成膜中の圧力で制御し、高品質膜を形成する低ガス圧条件 (~0.06Pa) での 25eV と、高ガス圧条件 (~0.15Pa) での 10eV とした。全体膜厚を 20nm として高ガス圧条件膜と低ガス圧膜の比率を変えて Al/ECR-SiO<sub>2</sub>/Si/Al 構造の MIS を形成し CV を評価した。図 6 に CV 特性から求めた  $V_{fb}$  を示す。高ガス圧条件膜割合の増加に伴い室温成膜での  $V_{fb}$  シフトは低減し、高ガス圧膜のみでは理想 CV の  $V_{fb}$  が室温成膜、成膜後熱処理無しで得られた。ただし、容量値そのものは低ガス圧膜に比して減少し、膜質そのものは改善の必要があることがわかった。以上から、本課題における主目的を達成できた。

## (2) Ge-MIS の検討

Ge 基板表面に ECR プラズマ流酸化により ECR-GeO<sub>2</sub> を形成後、真空中連続に ECR-Al<sub>2</sub>O<sub>3</sub> 膜を形成する Al/Al<sub>2</sub>O<sub>3</sub>/GeO<sub>2</sub>/Ge-MIS について検討した。

図 7 にミッドギャップ固定電荷密度を示す。Au/ECR-Al<sub>2</sub>O<sub>3</sub>/ECR-Ox-GeO<sub>2</sub>/Ge-MIS において、ミッドギャップ固定電荷密度  $D_{it}$  が  $4.5 \times 10^{10} \text{cm}^{-2} \cdot \text{eV}^{-1}$  (PDA: N<sub>2</sub>+3%H<sub>2</sub>, 400°C x 30min, 大気圧) と高品質である。界面の SIMS 分析を行い C 汚染が皆無であることから、低エネルギーイオン照射

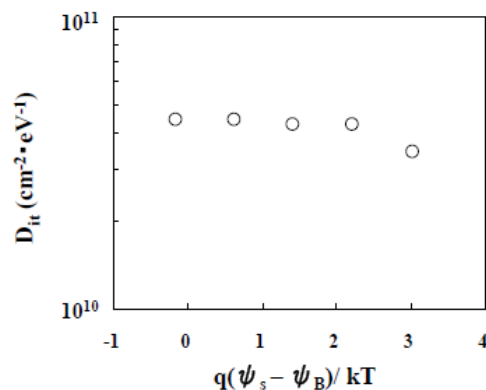


図 7 Ge-MIS の固定電荷密度

の過程において界面クリーニング効果が生じ、低界面密度に関連していることを明らかにした。CV 特性からは、周波数に依存しない良好な特性が得られ、容量から換算した EOT は 8.3nm となっている。リーク電流は  $1 \times 10^{-9}$  A/cm<sup>2</sup> 以下と極めて良好である。以上からポストシリコンの最有力な Ge-MIS-FET の実現に向けて先導的な結果を示した。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

- ① H. Ishizaki, Y. Otani, Y. Fukuda, T. Sato, T. Takamatsu, T. Ono, Formation of Al<sub>2</sub>O<sub>3</sub> Film on Si Substrate by Microwave Generated Remote Plasma Assisted Atomic Layer Deposition Technique, Electrochem. Soc. Trans., 査読有, 33, 2010, pp. 227-233.
- ② Y. Fukuda, Y. Yazaki, Y. Otani, T. Sato, H. Toyota, and T. Ono, Low-Temperature Formation of High-Quality GeO<sub>2</sub> Interlayer for High-k Gate Dielectrics/Ge by Electron Cyclotron Resonance Plasma Techniques, IEEE Trans. Electron Devices, 査読有, 57(1), 2010, pp.282-287.
- ③ K. Kato, H. Toyota, Y. Jin, and T. Ono, Characterization of tantalum oxy-nitrides deposited by ECR sputtering, Vacuum, 査読有, 83(3), 2009, pp.592-595.

[学会発表] (計 12 件)

- ① 泉康平, 豊田宏, 福田幸夫, 室田淳一, 櫻庭政夫, 小野俊郎, ECR イオンアシスト加工における MIS 界面制御の検討, 2010 精密工学会東北支部学術講演会, 岩手県工業技術センター, 2010.11.27.
- ② H. Ishizaki, Y. Otani, Y. Fukuda, T. Sato, T. Takamatsu, T. Ono, Formation of Al<sub>2</sub>O<sub>3</sub> Film on Si Substrate by Microwave Generated Remote Plasma Assisted Atomic Layer Deposition Technique, 218th Electrochemical Society Meeting, Riviera Hotel, (LA, USA), 2010.10.10.
- ③ 佐藤真哉, 岩崎拓郎, 鈴木聡一郎, 小野俊郎, 福田幸夫, 岡本浩, ECR プラズマ法による SiN/GeN/ Ge-MIS 界面の DLTS 評価, 第 71 回応用物理学会学術講演会, 長崎大学, 2010.9.15.
- ④ Y. Fukuda, Y. Otani, T. Sato, H. Toyota and T. Ono, Effective passivation of Ge surface by high quality GeO<sub>2</sub> formed by Electron Cyclotron Resonance plasma oxidation for Ge-based electronic and

photonic devices, 5th Int. Workshop on New Group IV Semiconductor Nano-electronics, Tohoku University, Sendai, 2010.1.29.

⑤ 小野俊郎, 豊田宏, 有原浩之, 福田幸夫, 室田淳一, 櫻庭政夫, ECR スパッタ成膜誘電体を用いた MIS キャパシタの電気特性安定化, 第 70 回応用物理学会学術講演会, 富山大学, 2009.9.8.

⑥ H. Arihara, H. Toyota, J. Murota, M. Sakuraba, Y. Fukuda, T. Ono, An electrical characterization of metal oxy-nitrides deposited by an ECR sputtering for MIS gates, The 10th International Symposium on Sputtering and Plasma Processes, Kanazawa Intern'l Hotel, Kanazawa, 2009.7.8.

⑦ 福田幸夫, 王谷洋平, 佐藤哲也, 有原浩之, 豊田宏, 小野俊郎, ECR プラズマ法による Al<sub>2</sub>O<sub>3</sub>/GeO<sub>2</sub>/Ge-MOS キャパシタの電気特性に及ぼす PDA 処理雰囲気の影響, 第 56 回応用物理学関係連合講演会, 筑波大学, 2009.03.23.

⑧ 有原浩之, 豊田宏, 小野俊郎, ECR スパッタによる酸窒化高誘電体薄膜の形成と電気特性評価, 2008 年度精密工学会秋季大会学術講演会, 東北大学, 2008.9.17.

[図書] (計 0 件)

[産業財産権]

- 出願状況 (計 0 件)
- 取得状況 (計 0 件)

[その他]

弘前大学理工学部知能機械工学科 HP  
<http://www.mech.hirosaki-u.ac.jp/>

#### 6. 研究組織

##### (1) 研究代表者

小野 俊郎 (ONO TOSHIRO)  
弘前大学・大学院理工学研究科・教授  
研究者番号: 30374812

##### (2) 研究分担者

豊田 宏 (TOYOTA HIROSHI)  
弘前大学・大学院理工学研究科・助教  
研究者番号: 90400126  
福田 幸夫 (FUKUDA YUKIO)  
諏訪東京理科大学・システム工学部・教授  
研究者番号: 50367546