

機関番号：15401

研究種目：若手研究 (B)

研究期間：2008 ~ 2011

課題番号：20700030

研究課題名 (和文) 部分計算による FPGA を用いた計算高速化理論の確立

研究課題名 (英文) A study on establishment of a theory for accelerating computation based on partial-computation using FPGAs

研究代表者

伊藤 靖朗 (YASUAKI ITO)

広島大学・大学院工学研究院・助教

研究者番号：40397964

研究分野：計算機工学

科研費の分科・細目：情報学・ソフトウェア

キーワード：FPGA, ハード・ソフト協調設計

## 1. 研究計画の概要

本研究では、部分計算による FPGA を用いた計算高速化理論の確立を目指す。部分計算とは、ある性質 P を満たす問題を解決するために、FPGA を用いた部分計算ツールの開発を行う。ここである性質 P とは、以下の2つの条件からなる。その問題を解決するのに、1. 関数  $f(x,y)$  の計算を頻繁に繰り返す必要がある。2. 関数  $f(x,y)$  の第一引数  $x$  は固定した値であり、第二引数  $y$  はさまざまな値をとる。この場合、第一引数  $x$  を中にとりこんだ関数  $f(y)(=f(x,y))$  が高速に計算できれば、問題を解く時間を大幅に短縮することができる。この部分計算の性質を満たす問題に対して書き換え可能な LSI である FPGA (Field Programmable Gate Array) を用い、高速計算化理論の確立を目指す。

## 2. 研究の進捗状況

この部分計算の性質を満たす問題に対して FPGA を用いた高速解法を以下の問題に適用し、高速化を実現した。

## (1) 画像の2値処理

画像の2値処理では、局所全解探索手法を用いた新しい FM スクリーニング手法と、その FPGA を用いた計算高速化手法を提案した。2値画像の生成には、局所全解探索を用い、この処理に必要なガウスフィルタの計算を部分計算の性質を用いることにより高速化を図った。実験の結果、高品質で鮮明な2値画像を生成することを示し、FPGA を用いてその計算を実行するハードウェアを実装し、高速化を実現した。

## (2) 2値画像のラベリング処理

2値画像の連結成分のラベリングとは、2値画像の連結成分に対してユニークな ID を割り当てる処理のことで、オブジェクト認識の前段階で用いられる。この処理では、 $k$ -concave な2値画像に対して、FPGA の内部メモリのみを用いて少ないレイテンシで連結成分のラベリングを実行するハードウェアアルゴリズムを提案した。

## (3) コラッツ予想の検証

コラッツ予想とは、任意の0でない自然数  $n$  に対して、 $n$  が偶数の場合  $n$  を2で割る、 $n$  が奇数の場合  $n$  に3をかけて1を足すという操作を繰り返すと、有限回で1に到達するという予想で、数学の未解決問題の一つである。ここでは、実際に上記操作を計算することで、この予想を検証するシステムを作成した。具体的には、FPGA の内部メモリや信号処理計算用の DSP ブロックを用い、複数回の操作を1回の処理で行うことで高速化を実現した。

## 3. 現在までの達成度

## ② おおむね順調に進展している

&lt;理由&gt;

現在までに部分計算の性質を用いた高速化について、上記3つの問題についてこれを適用し、FPGA を用いて高速化の結果を得てきた。研究の当初は、計算を FPGA 上に実装する際に、部分計算の性質を用いることで、回路の小規模化、及び高速化を実現することを目標に研究を行ってきた。特に画像の2値化処理では、多数の乗算を部分計算の性質を用いることで、乗算器をマルチプレクサに置き換え、回路の小規模化と高速化を実現した。しかし、問題によっては、現在利用可能な

FPGA の回路規模ではサイズが不十分な場合が多くあり、部分計算のアイデアを実現できない場合があった。そこで、近年 FPGA の内部に搭載されている、ブロック RAM と信号処理用の DSP を用いることにより、さらなる回路の小規模化と高速化を図った。これらのデバイスは部分計算の性質にマッチしていることが判明した。ブロック RAM は、問題に対してパラメータのいくつかを計算した結果を格納し、ルックアップテーブルとして利用する。同様のことを FPGA の書換え可能な回路で実現しようとする、回路の大半を利用、もしくはサイズが足りないこととなるが、サイズの大きなブロック RAM を用いることで、回路リソースを利用することなく実現できる。また、信号処理用の DSP は、乗算や加算などの様々な算術論理演算を FPGA の回路で実現したものより、さらなる高速化を実現した。これらを利用することで、いくつかの問題に対して実装し、その結果として、既存の手法より高速に計算できることを示した。

#### 4. 今後の研究の推進方策

前述の FPGA の内部に搭載されている、ブロック RAM と信号処理用の DSP を用いた計算高速化中心に研究をすすめる。

また、現在までは個別の問題に対して高速化を実現してきた。今後は、現在までの結果を踏まえ、一般的な問題に対して、本研究テーマである部分計算による FPGA を用いた計算高速化を適応する方法について提案する。

#### 5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

1. Yasuaki Ito, Koji Nakano, Efficient Exhaustive Verification of the Collatz Conjecture using DSP blocks of Xilinx FPGAs, International Journal of Networking and Computing, Vol. 1, No. 1, pp. 49-62, 2011, 査読有.

2. Yasuaki Ito, Koji Nakano, Low-Latency Connected Component Labeling Using an FPGA, International Journal on Foundations of Computer Science, Vol. 21, No. 3, pp. 405-426, 2010, 査読有.

3. Yasuaki Ito, Koji Nakano, A New FM Screening Method to Generate Cluster-Dot Binary Images Using the Local Exhaustive Search with FPGA Acceleration, International Journal on Foundations of Computer Science, Vol. 19, No. 6, pp.

1373-1386, 2008, 査読有.

[学会発表] (計 5 件)

1. Bo Song, Kensuke Kawakami, Koji Nakano, and Yasuaki Ito, An RSA Encryption Hardware Algorithm Using a Single DSP Block and a Single Block RAM on the FPGA, Proc. of International Conference on Networking and Computing, pp. 140-147, November 18th, 2010, Hiroshima, 査読有.

2. Yasuaki Ito, Koji Nakano, Efficient Exhaustive Verification of the Collatz Conjecture using DSP48E blocks of Xilinx Virtex-5 FPGAs, Proc. of Workshop on Advances in Parallel and Distributed Computational Models (CD-ROM of International Parallel and Distributed Processing Symposium), April 19th, 2010, Atlanta, U. S. A, 査読有.