

平成22年 4月20日現在

研究種目： 若手研究 (B)
研究期間： 2008～2009
課題番号： 20700040
研究課題名 (和文) 省電力・省スペーススーパーコンピューティングのための
密結合 FPGA クラスタの開発
研究課題名 (英文) Developing a tightly-coupled FPGA-cluster for supercomputing with
conservation of electric power and limited space
研究代表者
佐野 健太郎 (SANO KENTARO)
東北大学・大学院情報科学研究科・准教授
研究者番号： 00323048

研究成果の概要 (和文)：

本研究では、省電力・省スペースな高速計算機の実現を目指して、回路書き換え可能デバイスである FPGA を多数組み合わせた FPGA クラスタによる数値計算専用計算機の研究開発を行った。FPGA クラスタによる実装に適し、かつ対象とする差分法に基づく計算アルゴリズムに特化した拡張性の高い専用計算機の基本アーキテクチャについて検討した。FPGA を用いた試作により、提案する専用計算機が高い台数効果を実現することを実証した。

研究成果の概要 (英文)：

In this research, we developed custom computing machines for numerical simulation with multiple field-programmable logic devices (FPGAs) in order to achieve supercomputing with conservation of electric power and limited space. We explored basic architectures for scalable computers dedicated to the finite-difference method that are suitable for multiple-FPGA implementation. We demonstrated that our proposed architecture provides high scalability through FPGA-based prototype implementation.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	500,000	150,000	650,000
2009年度	2,700,000	810,000	3,510,000
年度			
年度			
年度			
総計	3,200,000	960,000	4,160,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：FPGA, 専用計算機, 数値シミュレーション, シストリックメモリアーキテクチャ

1. 研究開始当初の背景

近年開発が盛んに行われている無人航空機や宇宙探査機のような高度な自律機能が必要となる遠隔ロボットには、センサから得られた情報を基に軌道計画等のためのリアルタイムでの高精度数値計算が求められている。しかしながら、このような数値計算には高い計算性能が必要であるものの、無人探査機の限られたスペースと電力では、並列計算機等の既存の汎用大型計算機を搭載することは不可能である。このため、限られたスペースに搭載可能かつリアルタイム計算に十分な高い計算性能を有する、省電力・省スペースな計算機システムが強く求められている。

現在主流の汎用マイクロプロセッサ(MPU)をベースにした大規模計算のための並列計算機では、汎用の演算器・データパス・メモリシステム・ネットワークのために、演算器の稼働率が低下し、ピーク性能のほんの一部の性能しか得られないことが多い。このため、汎用MPUをベースにした大型計算機は目標となる性能を達成するために非効率のMPUを多数用いざるを得なく、実効性能当たりの消費電力や占有スペースの点で非常に効率が悪いものとなっている。消費電力が大きい場合、冷却機構のためにさらなる電力やスペースが必要となる。

これに対し、対象となる計算問題に特化した計算回路を設計することにより、演算器の稼働率を高め目標性能を効率良く達成することが可能な特定問題専用計算機が注目されている。特に、近年は任意の回路を繰り返し書き換え可能なプログラマブルロジックデバイスの一つであるFPGAが大規模化・高性能化を続けており、これを多数用いた消費電力・占有スペースの点で優れた専用計算機への期待が高まっている。

2. 研究の目的

本研究では、複数のFPGA(密結合FPGAクラスタ)上に種々の数値計算専用の高速計算機を構築するための、基本アーキテクチャについて明らかにする。密結合FPGAクラスタは、複数のFPGAを搭載したボードをボード間インターコネクタにより接続する構造を持つ。このため、メモリやロジック間の帯域に関し、密結合FPGAクラスタには、1. FPGAチップ内超広帯域、2. FPGAチップ間広帯域、3. ボード間狭帯域の3階層が存在する。1はFPGA内部に構成した回路において利用可能な帯域であり、今日の最先端FPGAでは数百GB/s以上の総帯域が実現可能である。2はボード上で配線されたFPGA間で利用可能な帯域であり、今日のFPGAで

は差動伝送により5~10GB/sの帯域を得ることができる。3は物理的に離れたボードを接続する際の帯域であり、1GB/s前後かそれ以下の比較的狭い帯域となっている。このような、(チップ内帯域) >> (チップ間帯域) > (ボード間帯域)という傾向は、FPGA以外のASIC等による実装でも変わることのない普遍的な特性である。

密結合FPGAクラスタ上に構成する専用回路は、このような階層的な帯域幅に適合したものであるべきである。そこで本研究では、計算問題を相互依存関係ができるだけ少なくなるような局所化されたモジュールに分割し、これらのモジュールを利用可能な帯域を考慮しながらFPGA上の回路に割り当てることを試みる。特に、流体力学・固体力学・熱力学・電磁場等の代表的な数値計算問題について解析を行ない、これらに共通する計算モデルを明らかにし、帯域の狭いインターコネクタによりFPGAクラスタを拡張しても処理効率の低下を抑えることが可能な、帯域優先のハードウェアマッピング方式を確立することを目的とする。

3. 研究の方法

本研究では、相互接続可能な複数のFPGAボードを導入し、これにより密結合FPGAクラスタを構築した。次に、FPGA間通信路の帯域と遅延について、試験回路を実装することによりその特性を調査した。得られた結果を元に、FPGA間接続のための通信モジュールの設計を行なった。

次に、FPGA間の帯域と遅延を考慮して、差分法に基づく数値計算のための専用計算機アーキテクチャを設計した。まず、対象とする各種数値計算アルゴリズムの精査を行い、共通計算モデルの抽出と、FPGA上に実装するハードウェアへのマッピング及びそのための基本アーキテクチャの検討を行った。併せて、動作検証及び性能評価のために、各種数値計算のリファレンスプログラムを作成し、汎用計算機の性能評価を行なった。

設計した基本アーキテクチャに基づき、2次元FPGAアレイによる拡張可能なアレイ型専用計算機の詳細設計を行い、導入した複数のFPGAを用いて試作実装を行なった。また、試作した専用計算機において数値計算を行なうためのアセンブリ言語と、そのためのアセンブラ等のツールを開発した。これらのツールを用いて、red-black SOR、フラクショナルステップ法、FDTD法などの数値計算カーネルのプログラミングを行い、専用計算機上で実行した。計算時間や消費電力を測定し性能評価を行なうと共に、得られた結果から、専用計算機のスケラビリティをさらに引き出すための演算のスケジューリングにつ

いて検討と改良を行なった。

4. 研究成果

本研究では、省電力・省スペースな高速計算機の実現をめざして、回路書き換え可能デバイスである FPGA を多数組み合わせた FPGA クラスタによる数値計算専用計算機の研究開発を行った。特に、FPGA クラスタ上に構築する計算アルゴリズムに特化した計算回路のための基本アーキテクチャを明らかとすることを目指した。以下、年度毎の研究成果について概要を述べる。

20 年度では、まず、密結合 FPGA クラスタの構成するためのネットワークトポロジについて検討を行い、本研究の対象とする差分法に基づく計算に対してはメッシュネットワークが適していることを明らかにした。この上で、各 FPGA の潜在的な計算性能から FPGA 間データ通信に必要な帯域と遅延を見積もり、FPGA 間の限られた通信チャネルを有効に利用するための時分割データ送信機構の提案と評価を行った。実際に、現有のボード上において接続された FPGA 間でデータ通信を行うための高速インターコネクション回路の設計と実装を行い、実機に求められる各種設計パラメータを得ることができた。

また、対象とする各種数値計算アルゴリズムの精査を行い、メッシュネットワークにより接続された FPGA アレイ上で効率良く、かつスケラブルに超並列計算を実現するための計算モデルの提案と、そのための基本アーキテクチャであるシストリック計算メモリアーキテクチャの設計を行った。FPGA による専用計算機の実装と、開発環境として必要な各種ソフトウェアツールの開発を行い、2 つの FPGA 上で実際に幾つかのベンチマーク計算を実行することができた。これにより、提案する並列計算モデルが有効であることを実証した。

併せて、密結合 FPGA クラスタが汎用のマイクロプロセッサシステムと比べて電力・性能比の点で優れていることを、実機による消費電力測定により明らかにした。

21 年度では、昨年度検討を行ったメッシュネットワークによる密結合 FPGA クラスタを試作実装するために、複数の FPGA ボードを導入した。この FPGA ボードを複数接続して大規模なアレイ型専用計算機を構築する上で必要となる、FPGA 間の限られた通信チャネルを有効に利用するための時分割データ送信機構の設計及び実装と、異なるクロックドメインのための局所同期大域非同期 (GALS) 機構の提案と評価を行った。実際に複数の FPGA を接続し、これらに跨るアレイ型計算機を実装した。ベンチマークとして線形方程式系の反復ソルバー、流体力学計算、電磁場計

算を計算し、本計算機が単体の FPGA と比べて複数の FPGA からなる密結合クラスタ上でその数に比例した性能を発揮できることを確認した。さらに、そのようなスケラブルな性能を実現するには、専用計算機のための計算プログラムにおける演算と通信のスケジューリングが重要であり、時分割データ送信機構を活かすために通信を複数サイクルに分散して行う必要があることを明らかにした。

以上の他、専用計算機におけるメモリステムの性能を向上させるため、リアルタイム数値データ圧縮ハードウェアについてその有効性の評価を行った。浮動小数点データの非可逆圧縮アルゴリズムに対し計算途中データの圧縮率を求めたところ、平均で元のデータの 2 分の 1 から 4 分の 1 となることが確認できた。これを有効に利用することができれば、メモリの帯域を 2 から 4 倍に増加可能であるとの見積もりが得られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 9 件)

1. Kentaro Sano, Wang Luzhou, Yoshiaki Hatsuda, Takanori Iizuka and Satoru Yamamoto, "FPGA-Array with Bandwidth-Reduction Mechanism for Scalable and Power-Efficient Numerical Simulations based on Finite Difference Methods," ACM Transactions on Reconfigurable Technology and Systems (TRETs), to be published (採録決定), 2010, 査読有。

2. Kentaro Sano, Kazuya Katahira and Satoru Yamamoto, "Segment-Parallel Predictor for FPGA-based Hardware Compressor and Decompressor of Floating-Point Data Streams to Enhance Memory I/O Bandwidth," Proceedings of the Data Compression Conference (DCC), pp.416-425, 2010, 査読有。

3. Kentaro Sano, Kazuya Katahira and Satoru Yamamoto, "Applying Data-Compression to Enhancing Memory Bandwidth of Custom Computing Machines for Computational Fluid Dynamics," Proceedings of the 8th Asian Computational Fluid Dynamics Conference (ACFD8), CDROM(ACFD0031-T006, 7 pages), 2010, 査読有。

4. Kentaro Sano, Yoshiaki Hatsuda, Wang Luzhou and Satoru Yamamoto, "Performance

Evaluation of Finite-Difference Time-Domain (FDTD) Computation Accelerated by FPGA-based Custom Computing Machine," Interdisciplinary Information Sciences, vol.15, no.1, pp.67-78, 2009, 査読有.

5. 王 陸洲, 佐野 健太郎, 初田 義明, 飯塚 尊則, 山本 悟, "差分法専用計算機における FPGA間時分割通信機構の遅延評価", 第 8 回 情報科学技術フォーラム(FIT) 論文集, vol.1, no.RC-011, pp.189-196, 2009, 査読有.

6. 笹尾 泰洋, 佐野 健太郎, 古澤 卓, 山本 悟, "精度保証付き参照テーブルによる超臨界流体計算の高速化", ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS2009)論文集, pp.11-23, 2009, 査読有.

7. Kentaro Sano, Takeshi Nishikawa, Takayuki Aoki and Satoru Yamamoto, " Evaluating Power and Energy Consumption of FPGA-based Custom Computing Machines for Scientific Floating-Point Computation," Proceedings of the International Conference on Field-Programmable Technology (ICFPT2008), pp.301-304, 2008, 査読有.

8. Kentaro Sano, WANG Luzhou, Yoshiaki Hatsuda and Satoru Yamamoto, "Scalable FPGA-Array for High-Performance and Power-Efficient Computation Based on Difference Schemes," Proceedings of International Workshop on High-Performance Reconfigurable Computing Technology and Applications (HPRCTA'08), Digital Library, DOI: 10.1109/HPRCTA. 2008.4745679, 9 pages, 2008, 査読有.

9. 王 陸洲, 佐野 健太郎, 初田 義明, 山本 悟, "複数FPGAによるアレイ型差分法専用計算機のためのFPGA間通信帯域評価", 第 7 回 情報科学技術フォーラム(FIT) 論文集, vol.1, no.RC-003, pp.25-28, 2008, 査読有.

[学会発表] (計 2 5 件)

1. Kentaro Sano, Kazuya Katahira and Satoru Yamamoto, "Segment-Parallel Predictor for FPGA-based Hardware Compressor and Decompressor of Floating-Point Data Streams to Enhance Memory I/O Bandwidth," Data Compression Conference (DCC), 2010年 3月 26 日, Snowbird・ユタ州・米国.

2. Kentaro Sano, Kazuya Katahira and Satoru Yamamoto, "Applying Data-Compression to

Enhancing Memory Bandwidth of Custom Computing Machines for Computational Fluid Dynamics," The 8th Asian Computational Fluid Dynamics Conference (ACFD8), 2010年 1月 11 日, 香港・中国.

3. 佐野 健太郎, "スケーラブルパイプラインアーキテクチャによるステンシル計算と実効メモリ帯域向上のための可逆データ圧縮ハードウェア", 第1回アクセラレーション技術発表討論会(招待講演), 2009年 12月 25 日, 東京都.

4. 佐野 健太郎, "カスタムコンピューティングマシンによる高性能計算に向けて", 電子情報通信学会北陸支部講演会(招待講演), 2009年 12月 22 日, 石川県金沢市.

5. 初田 義明, 佐野 健太郎, 山本 悟, "反復解法のストリーム実行のためのパイプライン型専用計算機に関する一検討", 第 23 回数値流体力学シンポジウム, 2009年 12月 16 日, 宮城県仙台市.

6. 片平 和也, 佐野 健太郎, 山本 悟, "数値データ圧縮ハードウェアによる格子ボルツマン法専用計算機のメモリ帯域向上に関する一考察", 2009年 12月 16 日, 宮城県仙台市.

7. 佐野 健太郎, "FPGAによる高性能数値計算への取り組み", 2009 ターボ機械・航空宇宙の空力伝熱セミナー, 2009年 9月 29 日, 静岡県伊東市.

8. 佐野 健太郎, 初田 義明, 大坪 靖周, 山本 悟, "FPGAを用いた浮動小数点データストリーム高速圧縮のためのアルゴリズムの検討", 電子情報通信学会リコンフィギャラブルシステム研究会, 2009年 9月 18 日, 栃木県宇都宮市.

9. 佐野 健太郎, "FPGAと高性能数値計算", 日本機械学会 2009 年度年次大会先端技術フォーラム (招待講演), 2009年 9月 15 日, 岩手県盛岡市.

10. 王 陸洲, 佐野 健太郎, 初田 義明, 飯塚 尊則, 山本 悟, "差分法専用計算機における FPGA間時分割通信機構の遅延評価", 第 8 回 情報科学技術フォーラム(FIT), 2009年 9月 4 日, 宮城県仙台市.

11. 佐野 健太郎, "FPGAを用いた浮動小数点データストリーム高速圧縮のためのアルゴリズムの検討", 第 37 回可視化情報シンポジウム, 2009年 7月 21 日, 東京都.

12. 佐野 健太郎, "HPCとカスタムコンピューティングマシン", HPCワークショップ金沢2009 (招待講演), 2009年5月26日, 石川県金沢市.

13. 佐野 健太郎, 片平 和也, 山本 悟, "数値流体力学専用計算機における実効メモリ帯域向上に関する一考察", 第22回数値流体力学シンポジウム, 2008年12月17日, 東京都.

16. 王 陸洲, 佐野 健太郎, 初田 義明, 山本 悟, "差分法に対するアレイ型専用計算機のスケラビリティに関する一考察", 第22回数値流体力学シンポジウム, 2008年12月17日, 東京都.

17. Kentaro Sano, Takeshi Nishikawa, Takayuki Aoki and Satoru Yamamoto, "Evaluating Power and Energy Consumption of FPGA-based Custom Computing Machines for Scientific Floating-Point Computation," The International Conference on Field-Programmable Technology (ICFPT2008), 2008年12月8日, 台北, 台湾.

18. Kentaro Sano, WANG Luzhou, Yoshiaki Hatsuda and Satoru Yamamoto, "Scalable FPGA-Array for High-Performance and Power-Efficient Computation Based on Difference Schemes," The International Workshop on High-Performance Reconfigurable Computing Technology and Applications (HPRCTA'08), 2008年11月17日, Austin, TX, USA.

19. 王 陸洲, 佐野 健太郎, 初田 義明, 山本 悟, "高性能差分法計算のためのFPGAアレイにおけるFPGA間通信機構の検討", デザインガイア2008, 2008年11月17日, 福岡県北九州市.

20. 王 陸洲, 佐野 健太郎, 初田 義明, 山本 悟, "複数FPGAによるアレイ型差分法専用計算機のためのFPGA間通信帯域評価", 第7回情報科学技術フォーラム(FIT), 2008年9月2日, 神奈川県慶応義塾大学湘南台キャンパス.

21. Kentaro Sano, Luzhou Wang, Yoshiaki Hatsuda and Satoru Yamamoto, "FPGA-based Custom Computing Machines for High-Performance Computational Fluid Dynamics," The 5th International Conference on Computational Fluid Dynamics (ICCFD5), 2008年7月8日, National Seoul University, Korea.

22. Kentaro Sano and Satoru Yamamoto, "Interactive Flow Simulation with FPGA-based

Acceleration of 2D Lattice Boltzmann Method," The 5th European Congress Computational Methods in Applied Sciences and Engineering (ECCOMAS2008), 2008年7月1日, Lido, Venice, Italy.

23. 佐野 健太郎, "FPGAによる高性能計算", 先進的計算基盤システムシンポジウム SACSIS2008 (チュートリアル講演), 2008年6月12日, 茨城県つくば市.

24. 佐野 健太郎, "FPGAによる格子ボルツマン法アクセラレータ", 第9回LBM研究会 (招待講演), 2008年5月30日, 京都.

25. 佐野 健太郎, 王 陸洲, 初田 義明, "アレイ構造に基づく差分法専用計算機のFPGA実装", 第13回日本計算工学講演, 2008年5月20日, 宮城県仙台市.

〔図書〕 (計0件)

〔産業財産権〕

○出願状況 (計0件)

○取得状況 (計0件)

〔その他〕

ホームページ等

<http://www.caero.mech.tohoku.ac.jp>

6. 研究組織

(1) 研究代表者

佐野 健太郎 (SANO KENTARO)

東北大学・大学院情報科学研究科・准教授

研究者番号：00323048