

研究種目：若手研究（B）  
 研究期間：2008～2009  
 課題番号：20700043  
 研究課題名（和文） 動的再構成技術に基づく4次元FPGAアーキテクチャの研究  
 研究課題名（英文） Study on 4-Dimensional FPGA Architectures Based on Dynamically Reconfigurable Technique  
 研究代表者  
 宮本 直人（MIYAMOTO NAOTO）  
 東北大学・未来科学技術共同研究センター・助教  
 研究者番号：60400462

研究成果の概要（和文）：動的再構成FPGAを3次元積層した4次元FPGAの最適アーキテクチャは立方体構造である。ただしタイル数が1000個以下の小規模FPGAは例外で、3次元積層しない方が高集積度になることがわかった。時通信モジュールと時分割アルゴリズムを用いた動的再構成FPGAは、ロータリーコンピュータ方式のエミュレーションを行っても速度性能は一定に保たれる。このことは4次元FPGAも同様である。4次元FPGAの今後の課題は高速配置配線アルゴリズムと発熱である。

研究成果の概要（英文）：The optimal architecture of 4-dimensional FPGA, a 3-dimensional stacking of dynamically reconfigurable FPGAs, is cube structure. However, it is found that FPGA with 1000 or less tiles still has higher logic density without 3-dimensional stacking. Temporal communication module and temporal partitioning algorithm make 4-dimensional FPGA possible to emulate with the same speed performance as FPGA. Future issues will be high speed placement-and-route algorithm and thermal problem.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	800,000	240,000	1,040,000
年度			
年度			
年度			
総計	2,100,000	630,000	2,730,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム・動的再構成・FPGA・三次元積層

#### 1. 研究開始当初の背景

情報家電に搭載されるApplication Specific Integrated Circuit (ASIC)は、設計容易化と低コスト化が求められている。

Field Programmable Gate Array (FPGA)は、チップ上にあらかじめ組み込まれた論理素子と配線素子を電氣的に再構成することにより、1品種で様々なアプリケーションに対応で

きる。

近年、リソグラフィが困難な2次元の微細化に代わり、チップやウェーハを3次元積層して集積度を向上させるSystem-In-Package (SIP)技術が発達している。

FPGAと3次元積層SIP技術を組み合わせることで、ASICの設計容易化と低コスト化が実現できると考えられる。

## 2. 研究の目的

本研究の目的は、3次元積層SIP技術に最も適したFPGAアーキテクチャを解明し、その基礎を確立することである。

また、FPGAだけを3次元積層する以外に、FPGAとSRAMを交互に積層することで、より高い集積度を持つ動的再構成可能な4次元FPGAを実現できると考えている。

動的再構成FPGAに必要な要素回路の性能評価を含めて、4次元FPGAに最も適したアーキテクチャと配置配線アルゴリズムを考察する。

## 3. 研究の方法

### (1) 3次元積層FPGA

現在のFPGAを単純に3次元積層した場合の性能評価を行う。FPGAアーキテクチャは同一のタイルを3次元アレイ状にしたSea-Of-Array構造とした。本研究では、タイルは2個の基本論理素子(BLE)とタイル間を結線する直交配線セグメントで構成される。

本研究では積層数は4、貫通ビア(TSV)の面積は $100\mu\text{m}^2$ とした。FPGAの総タイル数に対して、タイルあたりの最小配線セグメント本数と面積をシミュレーションにより導出し、2次元FPGAと3次元FPGAとで比較を行った。

シミュレーションにはToronto大学で開発された2次元FPGA用の配置配線ソフトウェアVP Rを3次元FPGAにも対応できるよう拡張したプログラムを用いた。ベンチマークはISCAS89を用いた。

### (2) 動的再構成FPGA

FPGAと動的再構成FPGAの性能比較を行った。動的再構成FPGAは、内部に回路構成情報を複数種類記憶し、一時に一種類の回路構成情報を選択・再構成することで、見かけ以上の論理規模を実現できる。

本研究では、動的再構成FPGAの動作方式はロータリーコンピュータ型(エミュレーション)とした。動的再構成FPGAに構成される回路は時分割アルゴリズムにより複数の部分回路に分割され、部分回路毎に回路構成情報に変

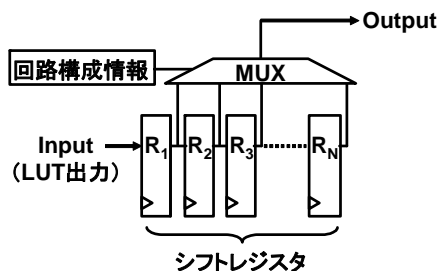


図1. 時通信モジュール

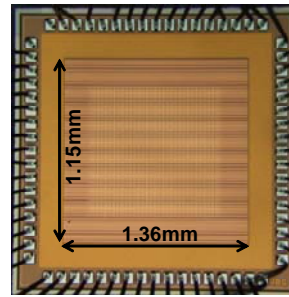


図2. 動的再構成FPGA

### Process Technology

90nm CMOS  
1-layer poly  
6-layer metal

### Specifications

16 Contexts on chip  
16 x 16 Logic element  
16 x 4 User I/O

### Operation Condition

Core: 1.0V  
I/O: 2.5V

換される。異なる時刻に実行される部分回路間の信号通信には図1に示す時通信モジュール(TCM)を用いる。動的再構成FPGA(図2)では、TCMはフリップフロップの代わりに実装され、部分回路数Nでは最大Nサイクル前まで遡って実行結果を出力することを特徴とする。時分割アルゴリズムは、部分回路間の信号順序に矛盾が生じないように、Backward Combinational Wire (BCW)を禁止している。BCWとは、後の時刻で実行される部分回路内の組み合わせ論理回路の出力結果のうち、それよりも前の時刻で実行される部分回路に接続される配線のことである。

### (3) 4次元FPGA

(1), (2)の結果を踏まえて、4次元FPGAに最適なアーキテクチャと配置配線アルゴリズムを考察する。

## 4. 研究成果

### (1) 3次元積層FPGA

タイル総数に対する3次元FPGA(4層)と2次元FPGAの最小配線セグメント本数の比較結果を図3に示す。

例えば総タイル数400個を実現する場合、3次元FPGAは10タイル×10タイルの層を4層持ち、2次元FPGAでは20×20タイルの層が1層必要となる。

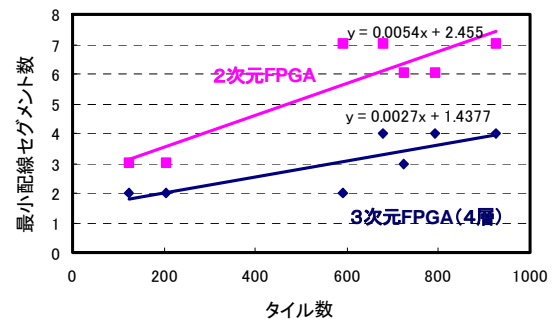


図3. 3次元FPGA(4層)と2次元FPGAの最小配線セグメント本数の比較

最小配線セグメント本数は、1層あたりのアレイサイズに比例して増加する傾向があることがわかった。このことから、理想的な3次元FPGAは立方体構造であると言える。

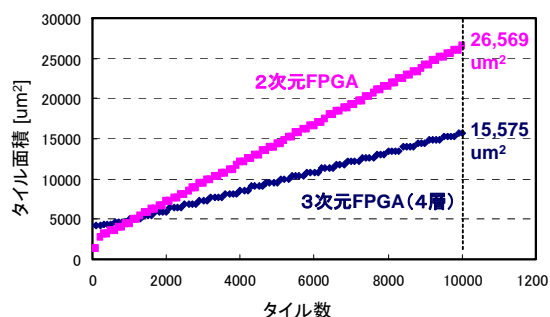


図4. 3次元FPGA (4層) と2次元FPGAのタイル面積の比較

タイル総数に対するタイル単体の面積を図4に示す。1000タイル以下の小規模なFPGAでは2次元FPGAのタイル面積の方が小さく、それ以上では3次元FPGAのタイル面積の方が小さくなった。

例えば1万タイルを搭載するFPGAの場合、3次元FPGA (4層) のタイル面積は15,575um<sup>2</sup>に対して2次元FPGAのタイル面積は26,569um<sup>2</sup>であり、3次元FPGA (4層) の方が2次元FPGAよりも70%高い集積度を実現できることがわかる。

小規模FPGAでは2次元FPGAの方が小さいタイルになるのは、配線スイッチの自由度が原因である。2次元FPGAでは4方向 (東西南北) の直交配線スイッチが必要となる。一方、3次元FPGAでは6方向 (東西南北上下) の直交配線スイッチが必要である。小規模FPGAでは3次元積層により1層あたりのタイル数が少なくなる利点よりも、配線スイッチの自由度が4方向から6方向に増える欠点の方がタイル面積に与える影響が大きい。

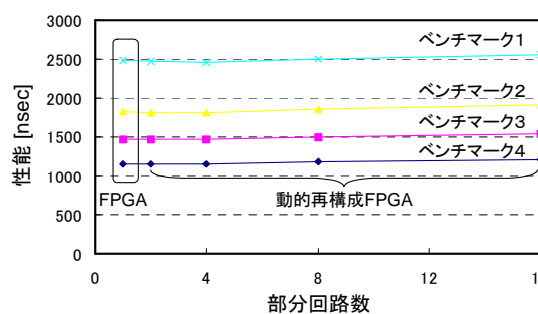


図5. 動的再構成FPGAとFPGAの速度性能の比較

## (2) 動的再構成FPGA

図5に動的再構成FPGAとFPGAとの速度性能の比較を示す。ベンチマーク1~4はクリティカルパス長が128BLEで、配線セグメント数はそれぞれ8、16、32、64である。この図から、時分割を用いたタリーコンピュータ方式では、動的再構成FPGAとFPGAは同じ速度性能を持つことがわかる。

一般に、動的再構成FPGAは部分回路数に比例して速度性能が減少と言われていた。

本研究では、図1に示したTCM (時通信のレイテンシが無視できるくらい小さい) と時分割アルゴリズム (クリティカルパスを全部分回路に均等に分散する) を用いることで、動的再構成FPGAでもFPGAと同等の速度性能が得られることを確認した。

## (3) 4次元FPGA

動的再構成FPGAを3次元積層することで4次元FPGAを実現できる。

(1), (2)の結果から、4次元FPGAの最適アーキテクチャは、配線セグメント本数が最小となる立方体構造であると考えられる。ただし、小規模FPGAは例外で、3次元積層しない動的再構成FPGAが最適となる場合がある。

また、TCMと時分割アルゴリズムを用いた動的再構成FPGAは、ロータリーコンピュータ方式のエミュレーションを行っても速度性能は一定に保たれる。このことは4次元FPGAも同様である。

今後の課題は配置配線アルゴリズムと発熱である。4次元FPGAは2次元FPGAよりも高い集積度を持つため、VPRだと配置配線にかかる時間が指数関数的に増大する。したがって、VPRのSimulated Annealing法に代わり、Force-Directed SchedulingやKernighan-Lin・Fiduccia-Mattheyses法のようなヒューリスティックなアルゴリズムが必要となる。

4次元FPGAに限らず、3次元積層されたSIPは常に発熱が問題となる。動的再構成FPGAは1つのアプリケーションを複数の回路構成に変換できる。異常発熱を回避する回路構成に動的再構成することで、信頼性の高い4次元FPGAが実現可能だと考えている。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

1. Shunichi Watabe, Akinobu Teramoto, Kenichi Abe, Takafumi Fujisawa, Naoto Miyamoto, Shigetoshi Sugawa, and Tadahiro Ohmi, "Statistic Evaluation for Process

damage using an Array Test Pattern in a large Number of MOSFETs”, IEEE Transaction on Electron Devices、査読有、Vol. 57, Issue 6, pp. 1310-1318、2010年

2. Akinobu Teramoto, Yuki Kumagai, Kenichi Abe, Takafumi Fujisawa, Shunichi Watabe, Tomoyuki Suwa, Naoto Miyamoto, Shigetoshi Sugawa, Tadahiro Ohmi、 “Stress-induced leakage current and random telegraph signal”, Journal of Vacuum Science & Technology B、査読有、Vol. 27, No. 1, pp. 435-438、2009年

〔学会発表〕（計10件）

1. Naoto Miyamoto and Tadahiro Ohmi, “Temporal Circuit Partitioning for a 90nm CMOS Multi-Context FPGA and its Delay Measurement”, Asia South-Pacific Design Automation Conference, 2010年1月20日, Taipei

2. Naoto Miyamoto, Katsuhiko Hanzawa and Tadahiro Ohmi, “An ASIC Implementation of Phase Correlation Based on Run-Time Reconfiguration Technique”, International Conference on Field-Programmable Technology, 2009年12月9日, Sydney

3. Hiroaki Arai, Naoto Miyamoto, Koji Kotani, and Takashi Ito, “A WiMAX Turbo Decoder with Tailbiting BIP Architecture”, IEEE Asian Solid-State Circuits Conference, 2009年11月18日, Taipei

4. 宮本直人、大見忠弘、『大規模回路エミュレーション用 90nm CMOSマルチコンテキストFPGAの遅延評価』、電子情報通信学会 リコンフィギュラブルシステム研究会、2009年1月30日、横浜

5. Naoto Miyamoto and Tadahiro Ohmi, “Delay Evaluation of 90nm CMOS Multi-Context FPGA with Shift-Register-type Temporal Communication Module for Large-Scale Circuit Emulation”, International Conference on Field-Programmable Technology, 2008年12月9日, Taipei

6. Naoto Miyamoto and Tadahiro Ohmi, “A 1.6mm<sup>2</sup> 4,096 Logic Elements Multi-Context FPGA Core in 90nm CMOS”, IEEE Asian Solid-State Circuits Conference, 2008年11月3日, 福岡

〔産業財産権〕

○出願状況（計1件）

名称：ターボ復号方法  
発明者：大見忠弘、宮本直人  
権利者：井上明久  
種類：特許権  
番号：特願 2009-268905  
出願年月日：2009年11月26日  
国内外の別：国内

○取得状況（計0件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕

ホームページ等  
<http://www.fff.niche.tohoku.ac.jp/>

6. 研究組織

(1) 研究代表者

宮本 直人 (MIYAMOTO NAOTO)  
東北大学・未来科学技術共同研究センター・助教

研究者番号：60400462

(2) 研究分担者

( )

研究者番号：

(3) 連携研究者

( )

研究者番号：