様式 C-19

科学研究費補助金研究成果報告書

平成 22 年　5 月　1 日現在

研究種目：　若手研究(B)
研究期間：　2008　～　2009
課題番号：　20700046
研究課題名（和文）　論理回路の形式的検証の正確さ向上に関する研究
研究課題名（英文）　A Study on False Negative Reduction on Formal Verification of Logic Circuits

研究代表者
中村　一博（NAKAMURA　KAZUHIRO）
名古屋大学・大学院情報科学研究科・助教
研究者番号：90335076

研究成果の概要（和文）：
順序回路の形式的検証において、回路変換を行うことにより、到達不能状態における動作を誤検出されないような動作に変更し、フォールスネガティブを削減する手法を開発した。また、順序回路の sequential SAT 問題を解くアルゴリズムを高速化する手法として、異なる時間フレームに属する状態同士を併合する手法を開発した。

研究成果の概要（英文）：
A reducing method of false nagatives on formal verification of sequential circuits with a circuit conversion is developed. In addition to the method, multi time-frame state reduction for accelerating sequential SAT is developed.

交付決定額

（金額単位：円）

	直接経費	間接経費	合　計
2008 年度	2,000,000	600,000	2,600,000
2009 年度	500,000	150,000	650,000
年度			
年度			
年度			
総　計	2,500,000	750,000	3,250,000

研究分野：総合領域
科研費の分科・細目：情報学　・　計算機システム・ネットワーク
キーワード：

１．研究開始当初の背景

1つの VLSI チップに実装される論理回路の大規模化と、正しく動作する回路を設計する上で考慮・検証しなければならない回路の動作やタイミングに関する制約条件の量が増加し、設計された回路の正当性をより正確に検証することが、回路の動作の妥当性を数学的にチェックし保証する論理回路の形式的検証において、重要になってきている。

２．研究の目的

本研究では、論理回路の形式的検証において、検証に要するメモリ量や時間の削減、回路の大規模化への対応のため、回路の初期状態からの到達可能性の考慮が十分でないために発生してしまう、本来バグではない動作の誤検出の削減と、それによる回路の初期状態からの到達可能性見積りの高速化を目的とする。

３．研究の方法

より正確な論理回路の初期状態からの到達可能性見積り手法の検討を到達不能状態に着目した検証のための回路変換の観点から行い、開発した手法をワークステーション上で動作するプログラムとして実装する。実装したプログラムを用いて回路の解析を行う実験を行い開発した手法の評価を行う。

また、順序回路の sequential SAT 問題を解くアルゴリズムを高速化する手法の検討を、異なる時間フレームに属する状態同士の併合の観点から行い、開発した手法をワークステーション上で動作するプログラムとして実装する。実装したプログラムを用いて回路の解析を行う実験を行い開発した手法の評価を行う。

４．研究成果

（１）順序回路の形式的検証におけるフォールスネガティブ削減のための回路変換の研究を行い、フォールスネガティブ削減手法を開発した。

フォールスネガティブとは、検証アルゴリズムが、本来、初期状態から到達不能であるため仕様違反ではない動作を誤ってバグと判定してしまうことである。初期状態から非常に多くの状態を遷移して初めて発現するような設計誤りを検出する検証では、初期状態からの到達可能性を考慮しない限定モデル検査を用いた検証が行われるが、このような検証では、到達不能状態に起因するフォールスネガティブが発生してしまうことが知られている。このようなフォールスネガティブを削減することは、誤検出されたバグの対応に費やされる検証時間を削減する上で重要な問題である。そこで、回路変換を行うことにより、到達不能状態における動作を、誤検出されないような動作に変更することで、フォールスネガティブを削減する手法を開発した。

本手法では、回路が正しい動作をしている間は常に成り立っている不変条件が成り立たない到達不能状態において、フォールスネガティブにならないような動作を回路に追加する。ここで、回路に追加する動作は、不変条件が成り立たなければエラー状態に遷移するというものである。また、不変条件は回路の FSMD を解析することにより抽出する。

本手法をワークステーション上で動作するプログラムとして実装し、ベンチマーク回路に対して回路変換を行い、初期状態から多くの状態を遷移して初めて発現するような誤りを検出するための検証手法の一つである多段限定モデル検査による実験を行った。表 1、表 2 に VIS Verification Benchmarks のベンチマーク回路のうちの timeout.v, daio_receiver.v を用いて行った実験の結果をそれぞれ示す。実験では、それぞれの回路に対し、3 種類の検証仕様を用いて検証を行い、回路変換を行う場合と行わない場合の検証に要する時間と検証中の試行回数（フォールスネガティブ数）を比較した。表 1、表 2

表 1　timeout.v の検証

	回路変換	検証時間(秒)	#試行
1	なし	85	67
	あり	64	33
2	なし	1598	88
	あり	257	23
3	なし	644	27
	あり	297	6

表 2　daio_receiver.v の検証

	回路変換	検証時間(秒)	#試行
1	なし	510	96
	あり	93	2
2	なし	1926	45
	あり	378	1
3	なし	81709	320
	あり	129487	12

の 2 列目は回路変換の有無を、3 列目は検証に要した時間を表す。4 列目は、多段限定モデル検査における、フォールスネガティブに起因する繰り返し回数を表す。実験は、Xeon 3.33[GHz], メモリ 4GB の計算機上で行った。

表 1、表 2 の全ての検証において、回路変換を行わない場合と比較し、回路変換による試行回数の減少が確認できた。これは、回路変換により、フォールスネガティブが削減されたためだと考えられる。

また、表 1、表 2 の 5 つの検証において（表 1 の 1,2,3、表 2 の 1,2)、回路変換を行わない場合と比較し、回路変換による検証の高速化が確認できた。daio_receiver.v の 3 つ目の実験において、回路変換前に比べ回路変換後の方が検証に多くの時間を要したのは、回路変換により回路が複雑になり、試行 1 回当たりの検証時間が長くなったことが原因であると考えられる。

実験により、回路変換によるフォールスネガティブの削減と検証の高速化が図れる場合があることが確認できた。本研究の成果は国内研究会で発表した。

（２）順序回路の形式的検証において到達可能性解析に用いられる sequential SAT の高速化について研究を行い、時間フレームを跨いだ状態併合による高速化手法を開発した。

Sequential SAT 問題は、順序回路と目的が与えられ、目的を満たすような入力系列が存在するかどうかを判定する問題である。あるプロパティを満たさないことを目的とすることで、初期状態からプロパティに違反す

る状態への到達可能性を、有限サイクル分に限定せずに検証することができる。この sequential SAT 問題を解くアルゴリズムにおいて、従来の手法では併合されなかった異なる時間フレームに属する状態同士の併合を行うことにより、探索する状態空間を小さくし、高速化を図る手法を開発した。

本手法は、sequential SAT 問題を解くアルゴリズムにおいて、状態遷移によりいずれ目的を満たす状態の集合を管理するためのリストである”目標リスト”に対し、その要素であれば真となるような論理関数を導入し、その論理関数の二段論理最小化を行うことにより、時間フレームを跨いだ状態同士の併合を行う。本手法では、状態集合を積和形の論理式で表し、二段論理最小化を ESPRESSO-MV を用いて行う。

本手法を用いて sequential SAT 問題を解くアルゴリズムをワークステーション上で動作するプログラムとして実装し、実験を行ったところ、本手法を用いない場合と比較し、時間フレームを跨いだ状態併合による検証の高速化が確認できた。本研究の成果は国内研究会で発表した。

また、m-Trie を用いた時間フレームを跨いだ状態併合（MTSR；Multi Time Frame State Reduction）の研究を行い、sequential SAT の更なる高速化手法を開発した。

MTSR では、二段論理最小化による状態併合を行う際に、二段論理最小化後のキューブが最小化前のどのキューブを併合したものであるかの対応関係を表す relation matrix と呼ばれる行列を導出するが、その導出と ESPRESSO-MV を用いたドントケアを考慮した二段論理最小化に時間がかかっていた。そこで、これらを m-Trie と呼ばれる根から葉へのパスがオン集合のキューブに対応する三分木上で行うことで全体の実行時間をより短縮する手法を開発した。

本手法では、m-Trie を葉ラベル付き m-Trie に拡張することにより、従来の m-Trie では扱えないドントケアに対応した二段論理最小化を行う。具体的には、各葉において、根からその葉へのパスがドントケアかどうかを示すラベルを付加する。そして、2 つのパス P1, P2 をマージするとき、P1, P2 の一方でもドントケアとラベル付けされていない葉を含んでいるならば、新しく作成されるパス P3 の葉のラベルもそれと同じにする。パスの葉におけるラベルがドントケアなら、そのパスが表すキューブはドントケア、そうでないならオン集合とする。また、relation matrix の導出において、従来は行列の要素１つずつ値を決定していたのに対し、本手法では行列の要素１列ずつ値を決定して行く。

本手法をワークステーション上で動作するプログラムとして実装し、実験を行った。表 3 に ISCAS89 ベンチマーク回路を用いて行った実験の結果を示す。各回路において、各

表 3　検証に要した時間（秒）

回路	ORG	要素数 50		要素数 200	
		mTrie	ESP	mTrie	ESP
s444	2	1	1	2	1
s526	3	2	4	3	2
s5378	12	15	15	11	174
s38584.1	107	85	178	36	100

外部出力の値が 1 となることがあるかを調べ、全ての外部出力の検証に要する時間を計測した。実験は、Core 2 Extreme 2.93[GHz], メモリ 4GB の計算機上で行った。

表 1 において、ORG は時間フレームを跨いだ状態併合を行わなかった場合の検証に要した時間、mTrie と ESP は時間フレームを跨いだ状態併合を行った場合の検証に要した時間である。mTrie は、時間フレームを跨いだ状態併合において、二段論理最小化と relation matrix の導出を m-Trie 上で行った場合の検証に要した時間である。ESP は、時間フレームを跨いだ状態併合において、二段論理最小化に ESPRESSO-MV、relation matrix の導出に BDD(BDD;Binary Dicision Diagram)を使用した場合の検証に要した時間である。また、要素数 50 と要素数 200 は、それぞれ、二段論理最小化を目標リストの要素数が 50 のときに行った結果と、200 のときに行った結果である。

時間フレームを跨いだ状態併合を行わない検証（ORG）と比較し、時間フレームを跨いだ状態併合による検証の高速化が、要素数 50 の s444（mTrie, ESP）、s526（mTrie）、s38584.1(mTrie)、要素数 200 の s444(ESP)、s526(ESP)、s5378(mTrie)、s38584.1(mTrie, ESP）において確認された。また、m-Trie を用いない時間フレームを跨いだ状態併合による検証（ESP）と比較し、m-Trie を用いた時間フレームを跨いだ状態併合による検証の高速化が、要素数 50 の s526（mTrie）、s38584.1(mTrie)、要素数 200 の s5378(mTrie)、s38584.1（mTrie）において確認できた。

実験により、m-Trie を用いた時間フレームを跨いだ状態併合による検証の高速化が図れる場合があることが確認できた。本研究の成果は国内研究会で発表した。

５．主な発表論文等

〔雑誌論文〕（計 0 件）

〔学会発表〕（計 3 件）

① 鳥居洸佑、中村一博、高木一義、高木直史、Sequential SAT の高速化のための m-Trie を用いた時間フレームを跨いだ状

態併合、電子情報通信学会総合大会、2010、A-3-1、東北大学（宮城県）

② 尾野紀博、中村一博、高木一義、高木直史、順序回路の形式的検証におけるフォールスネガティブ削減のための回路変換、電子情報通信学会 VLSI 設計技術研究会、VLD2009-125、2010、157－162、沖縄県男女共同参画センター（沖縄県）

③ 成瀬智啓、中村一博、高木一義、高木直史、Sequential SAT における時間フレームを跨いだ状態併合、電子情報通信学会総合大会、2009、A-3-6、愛媛大学（愛媛県）

〔図書〕（計 0 件）

〔産業財産権〕
○出願状況（計 0 件）

○取得状況（計 0 件）

〔その他〕
ホームページ等
http://www.takagi.i.is.nagoya-u.ac.jp/~nakamura/

６．研究組織
(1)研究代表者
中村　一博（NAKAMURA　KAZUHIRO）
名古屋大学・大学院情報科学研究科・助教
研究者番号：90335076