

平成22年 5月24日現在

研究種目：若手研究（B）
 研究期間：2008～2009
 課題番号：20700049
 研究課題名（和文） 環境発電による電力供給に適したコンピュータシステムの研究
 研究課題名（英文） A Research on Embedded Systems Suited for Energy Harvesting
 研究代表者
 石原 亨 （ISHIHARA TOHRU）
 九州大学・システムLSI研究センター・准教授
 研究者番号：30323471

研究成果の概要（和文）：太陽電池などの環境発電装置から取り入れたエネルギーで安定動作するコンピュータシステムについて研究し、次の3つの成果を上げた。1) 0.5V 付近の低電圧で安定して動作する省電力メモリサブシステムを開発、2) 性能と消費電力を10倍の範囲で変更可能なマイクロプロセッサを開発、3) 携帯電話上で動作するアプリケーションプログラムのエネルギー消費を10%未満の誤差で解析する消費電力モデルを開発。

研究成果の概要（英文）：This research seeks to create embedded computer systems running with renewable energy like solar energy. This research developed the following three items; 1) a low power memory subsystem stably running with a low supply voltage around 0.5V, 2) a scalable processor which dynamically scales its performance and the power consumption, 3) a power estimation model which can analyze the energy consumption of application programs running on a cellular phone within an error of 10%.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	2,000,000	600,000	2,600,000
2009年度	1,400,000	420,000	1,820,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野： 計算機工学

科研費の分科・細目： 計算機システム・ネットワーク

キーワード： 計算機システム、高信頼性、低消費電力、省エネルギー、太陽電池

1. 研究開始当初の背景

日本を含む先進諸国では、一人が複数台の電子機器を使用する時代となった。これらの電子機器の多くは、マイクロプロセッサなどで構成される組み込みシステムによって実現されている。携帯電話や情報家電などのコンピュータシステムは10mW～10W程度の電力を

消費する。仮に、日本人が一人あたり一つのコンピュータシステムを使用したとすると、日本だけで最大130万キロワットにも及ぶ電力を消費することになる。これは石油火力発電所約3基分に相当する電力になる。中国やインドなどにおけるIT人口の増加がこれに拍車をかけ、地球温暖化とエネルギー危機の

問題が深刻化している。

2. 研究の目的

コンピュータシステムを単純に省エネルギー化するだけではエネルギー危機や地球温暖化問題の解決にはならない。石油火力や原子力による発電から環境発電への根本的なエネルギー源の置き換えが最重要課題である。本研究の目的は、通常数十ミリワット程度の電力を消費する携帯型情報機器のエネルギー源を環境発電によるエネルギー供給によって置き換える仕組みを構築しその実現可能性を証明することである。

3. 研究の方法

具体的には下記の(1)~(3)の3項目の研究・開発を実施した。

(1) 不安定な電力供給源でも安定して動作する高信頼コンピュータアーキテクチャ

環境発電の特徴は発電電圧（例えば photovoltaic では数百ミリボルト）が小さく、起電力（photovoltaic では数百ミリワット）も小さいことである。また電力供給が安定しないことも特徴である。動作電圧が低下すると宇宙放射線などによるソフトエラーが指数関数的に増加すると同時にプロセスばらつきによる遅延変動の影響も顕著になる。これらの環境下でコンピュータシステムを正常動作させるために、エネルギー効率の良い高信頼化技術を構築する。

(2) 性能と消費電力を広い範囲で変更することのできるスケラブルアーキテクチャ

今日の携帯電話や音楽再生端末は数ワット時のエネルギー容量を持つバッテリーを対象に構築されているため、数十マイクロワットで最低限の処理を行う仕組みが備わっていない。そこで、本研究では、バッテリー使用時には高精細な画像処理や高音質なオーディオ処理を実現し、バッテリー未使用時には画質や音質を下げ省エネルギー化を図るスケラブルアーキテクチャを開発する。

(3) 限られたエネルギーを計画的に使用するための電力見積もり技術と電力管理技術

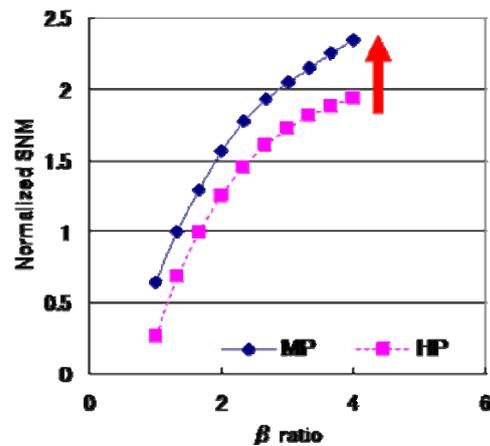
環境から取り入れた限られたエネルギーによって特定のサービスを提供するためには、そのサービスに必要な消費エネルギーを事前に見積もり、決められたエネルギーを計画的に使用することが重要である。そこで、本研究では、コンピュータシステムが提供する特定のサービスに必要なエネルギー消費を実行前に正確に見積もる技術と見積もりに基づいてエネルギーを計画的に使用する技術を構築する。

4. 研究成果

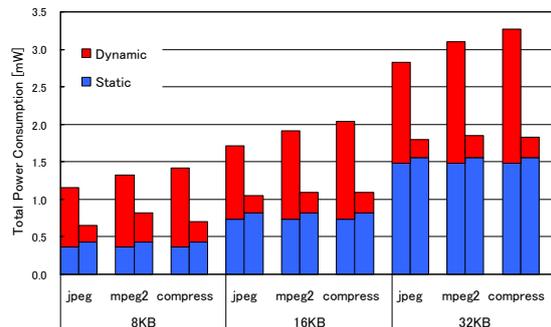
研究計画に基づいて研究を実施し、下記の3つの成果を上げた。

(1) 不安定な電力供給源でも安定して動作する高信頼コンピュータアーキテクチャ

SRAM の電源電圧や書き込み電圧とステイックノイズマージン (SNM) の関係をシミュレーションにより明らかにした。また、SRAMセルの電源電圧とソフトエラー耐性との関係についても研究した。低い電源電圧を使用すると SNM が低下し信頼性が悪化するが（下図の HP）、低い電源電圧を使用するブロックの SRAM のサイズを調整することにより SNM を改善しつつ SRAM の消費電力を削減することに成功した。



アクセス回数の多いメモリブロックには低い電源電圧を使用し、アクセス回数の少ないブロックには高い電源電圧を使用することにより、SRAM 全体の消費電力を最大 45%削減することに成功した。下図の2本組の棒グラフは左が従来手法、右が提案手法の結果を示している。この成果により、不安定な電源を使用しても SRAM が安定して動作する。

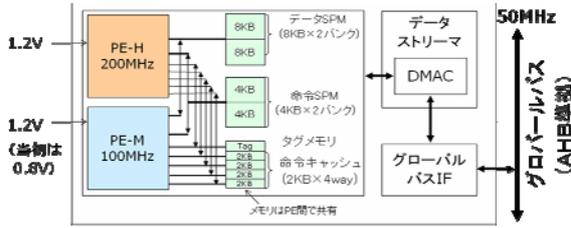


SNM と消費電力の関係に関する研究成果は情報処理学会の英文論文誌で発表した。

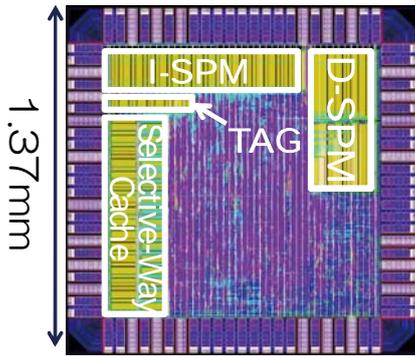
(2) 性能と消費電力を広い範囲で変更することのできるスケラブルアーキテクチャ

東京大学 VDEC を利用してスケラブルアーキテクチャの一部の機能を搭載したチップ

を試作した。本チップはプロセッサコア部の動作周波数とキャッシュメモリの連想度をプログラムから動的に変更可能である。下図に試作したチップの構成図を示す。

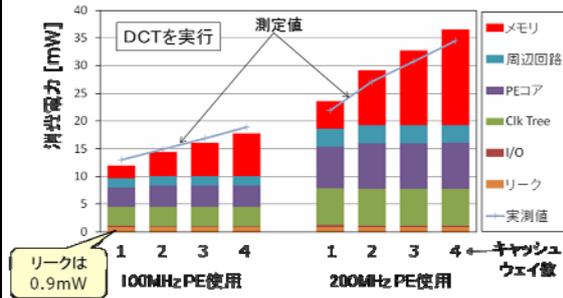


下図に 65nm プロセステクノロジーを使用して試作したチップのレイアウト図を示す。評価ボードを用いた実チップの評価実験により試作チップの正常動作を確認した。

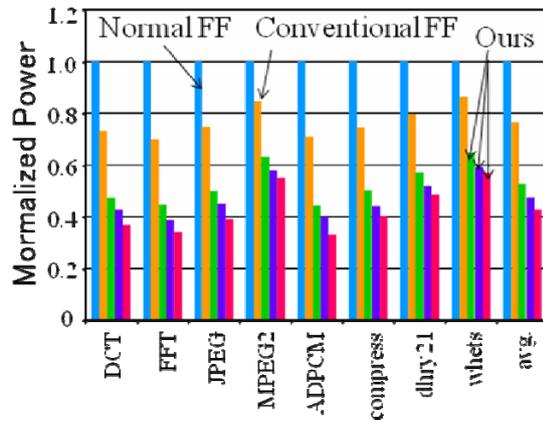
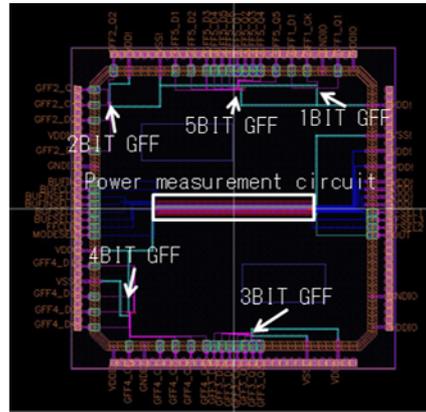


また、消費電力の実測とシミュレーションによる実験により試作チップの消費エネルギーと性能を評価した。消費電力を1/3倍まで動的にスケールできることをシミュレーションと実測により確認した。消費電力の動的スケール（変更）は約1 μ 秒で行うことができ、既存手法に比べて2桁の高速化を実現した。下図に実測（折れ線グラフ）とシミュレーションによる見積り結果（棒グラフ）を示す。

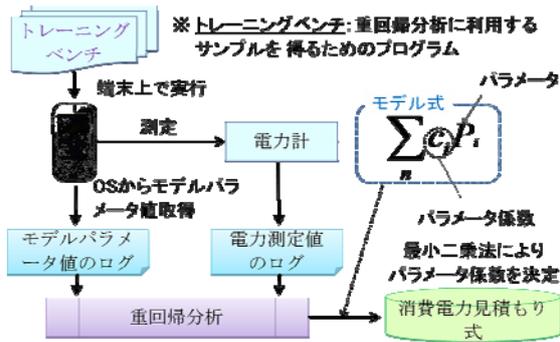
本成果は、米国での招待講演および韓国釜山で開催された国際会議で発表した。また、アプリケーションに応じてメモリ参照の局所性を効率よく利用し省電力化するキャッシュアーキテクチャを開発し、情報処理学会の



英文論文誌で発表した。さらにレジスタ回路の消費電力を50%以上削減する技術を開発し、国内シンポジウムと国際会議で発表した。上記レジスタ回路はチップとして実装し（下図参照）実測によりその有効性を示した。



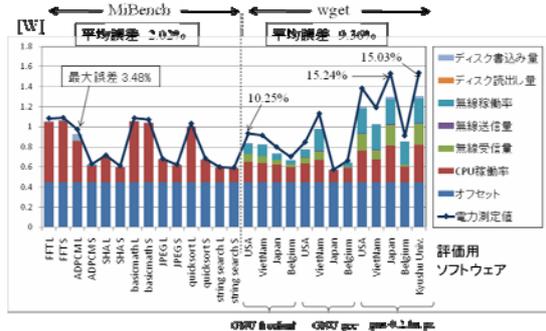
(3) 限られたエネルギーを計画的に使用するための電力見積もり技術と電力管理技術
携帯無線端末で動作するアプリケーションの消費エネルギーをOSから観測できる少数のパラメータを用いて見積もる手法を開発した。本手法は、上記パラメータの重み付き線形加算で表現できる消費電力の近似式を実測値にフィッティングすることにより有効な回帰式を導出する。このために下図に示す実験環境を構築し、MATLABを用いて回帰式を導出した。



実測と比較して 5%未満の誤差でアプリケーションプログラムの消費エネルギー見積もりが可能であることを確認した。この技術を使用することにより、携帯電話において過去数時間にどのアプリケーションがどの機能によってどれだけのエネルギーを消費したかが簡単に解析できる。Nokia 社の携帯電話と Android 携帯電話を用いた比較評価実験の結果を下図に示す。組込みプロセッサ向けのベンチマークでは消費電力の解析誤差が 3%未満と非常に小さいことが確認できた。また、無線 LAN を使用するアプリケーションでも解析誤差が 10%未満であることが確認できた。研究成果は国際会議で発表した。

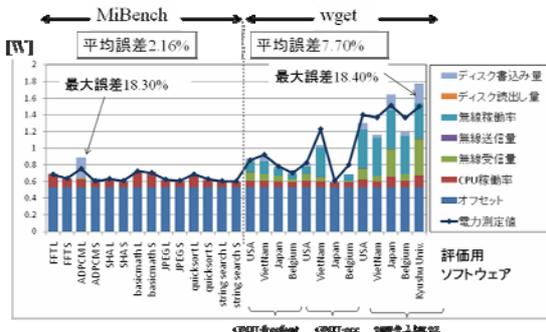
MiBench: 組込みシステム向けベンチマークスイート

wget: HTTP や FTP 経由のファイル取得を行うアプリケーション



MiBench: 組込みシステム向けベンチマークスイート

wget: HTTP や FTP でファイル取得を行うアプリケーション



5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① S. Yamaguchi, Y. Ishitobi, T. Ishihara, H. Yasuura, "Single-Cycle-Accessible Two-Level Caches and Compilation Technique for Energy Reduction," IPSJ Transactions on System LSI Design Methodology, 査読有り, Vol.2, pp.189-199, 2009.
- ② T. Matsumura, T. Ishihara, H. Yasuura, "An Optimization Technique for Low-Energy Embedded Memory Systems," IPSJ Transactions on System LSI Design Methodology, 査読有り, Vol.2, pp.239-249, 2009.

[学会発表] (計 8 件)

- ① Y. Kaneda, T. Okuhira, T. Ishihara, K. Hisazumi, T. Kamiyama, and M. Katagiri, "A Run-Time Power Analysis Method using OS-Observable Parameters for Mobile Terminals," Proc. of International Conference on Embedded Systems and Intelligent Technology, 査読あり, pp.39-44, 2009年2月.
- ② T. Okuhira and T. Ishihara, "Unification of Multiple Gated Flip-Flops for Saving the Power Consumption of Register Circuits," Proc. of Int'l Conference on Embedded Systems and Intelligent Technology, 査読あり, pp.115-120, 2010年2月.
- ③ T. Ishihara, "Real-Time Power Management for a Multi-Performance Processor," Proc. of Int'l SoC Design Conference, 査読あり, pp.147-152, 2009年11月.
- ④ 奥平拓見, 石原亨, 井上弘士, "ゲートドフリップフロップの多ビット結合によるレジスタ回路の低消費電力化," DA シンポジウム 2009 論文集, 査読無し, pp.25-30, 2009年8月.
- ⑤ T. Ishihara, "[Invited Talk] Real-Time Dynamic Voltage Hopping on MPSoCs," International Forum on Embedded MPSoC and Multicore, 査読無し, 2009年8月.
- ⑥ S. Yamaguchi, T. Ishihara, H. Yasuura, "A Single Cycle Accessible Two-Level Cache Architecture for Reducing the Energy Consumption of Embedded Systems," Proc. of Int'l SoC Design Conference, 査読あり, pp.188-191, 2008年11月.
- ⑦ 石原亨, 奥平拓見, 久住憲嗣, 神山剛, 関根和寿, 片桐雅二, "OS から解析可能

な無線通信端末の消費電力モデルとその生成手法,” 情報処理学会研究報告, 査読無し, 2009-SLDM-139 (5), pp. 25-30, 2009年3月.

- ⑧ 奥平拓見, 石原亨, 安浦寛人, “ゲートドフリップフロップの多ビット結合によるレジスタの低電力化,” 電子情報通信学会総合大会 エレクトロニクス講演論文集 2, 査読無し, pp. 97, 2009年3月.

[図書] (計 0件)

[産業財産権]

○出願状況 (計 0件)

名称:
発明者:
権利者:
種類:
番号:
出願年月日:
国内外の別:

○取得状況 (計 0件)

名称:
発明者:
権利者:
種類:
番号:
取得年月日:
国内外の別:

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

石原 亨 (ISHIHARA TOHRU)
九州大学・システムLSI研究センター・准教授
研究者番号: 30323471

(2) 研究分担者

()

研究者番号:

(3) 連携研究者

()

研究者番号: