

平成 22 年 3 月 31 日現在

研究種目：若手研究(B)

研究期間：2008～2009

課題番号：20760237

研究課題名（和文）

センサ素子の超低周波出力信号を自然エネルギー駆動で処理する集積回路

研究課題名（英文）

Integrated Circuit for Low-Frequency Sensor Signal Processing with Natural-Energy Power Supply

研究代表者

和田 和千 (WADA KAZUYUKI)

豊橋技術科学大学・工学部・准教授

研究者番号：00302943

研究成果の概要（和文）：

生体などから得た低周波の信号を、携行可能なシステムで処理し、無線送信するための集積回路設計を目的とし、電源電圧 1 V 未満で動作するように設計している。まず、センサ出力の雑音除去ならびに帯域制限や送受信のフィルタは 0.6 V で動作可能であるとの結論を得ている。0.18 μ m プロセスによる回路試作では、100 kHz 帯域、89 dB のダイナミックレンジを達成した。次に、アナログ・デジタル変換回路の設計に取り組み、逐次比較型、 $\Delta\Sigma$ 型、信号分割型の可能性とその改善を行っている。雑音の大きさや分布の理論解析と検証、それらの抑圧手法の提案をし、いずれの構成も 1 V 程度で使用でき、さらなる低電圧化における問題の解決法も提案している。さらに、デジタル回路で発生し、基板を伝播してアナログ回路に混入するデジタル基板雑音の低減にも取り組んでいる。適切なモデルと近似で理論解析し、有効な雑音低減手法として、検出領域と打ち消し領域の形状を提案している。

研究成果の概要（英文）：

An integrated circuit for low-frequency signal processing is developed to measure biological signals through wireless communication with portable equipments which are powered by energy source, the supply voltage of which is less than 1 V. First, filters for noise suppression, band limitation and baseband modulation are designed aiming at the point that the low-voltage and low-power filter structure which we have proposed is appropriate for baseband signal processing. A practical 0.6-V filter processing sensor signals is obtained even with 0.18- μ m technology to achieve 89-dB dynamic range. Second, analog-to-digital converters (ADCs) following band limitation filters are considered. Successive approximation (SA), $\Delta\Sigma$, and signal decomposition based pipeline types of architectures are investigated for low frequency and low voltage. Their noise performances are theoretically analyzed in detail and some techniques to enlarge signal-to-noise ratio by changing both wasteful structure are proposed. Last, digital substrate noise is coped with. Effectiveness with respect to a lot of noise sources are taken into account and a reliable simple model is introduced so that noise propagation in 3-D bulk is quantitatively discussed and 2 topologies effective for substrate noise suppression are derived. In conclusion, we are now sure that the aimed baseband signal processing is realizable with less than 0.8 V.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	1,100,000	330,000	1,430,000
年度			
年度			
年度			
総計	2,400,000	720,000	3,120,000

研究分野： アナログ集積回路

科研費の分科・細目：電気電子工学 ・ 通信・ネットワーク工学

キーワード：低周波信号，低電圧，低電力，信号分割手法，ADC，デジタル基板雑音

1. 研究開始当初の背景

様々な機器がネットワークを形成して多くの情報をいつでもどこでも送受信するために、センサなどの入出力デバイスや電源とともに、小さくて高機能な集積回路が不可欠であると考えられる。このように高い機能を実現する集積回路に技術的に必要とされることとして、多種のセンサ信号に対してこれまでより一層、複雑な情報処理をするマルチインターフェイス性と、携帯機器で必要となる電力源の小型・軽量化が挙げられる。また、センサネットワーク用の集積回路は、信号処理の観点から考えると、扱う周波数範囲が極めて広いことが特徴である。一般に、高速信号を処理するための高周波回路は大きな電力を必要とすることから、限られた電力源を長時間使用するためには、センサ出力や基底帯域信号のように比較的周波数の低い信号を扱う部分では特に消費電力を抑えることが必要である。また、バッテリー交換の手間から解放されるように、体温や体の振動、室内光といったどこにでもある自然エネルギーを電力源として利用するためには、回路の消費電力が小さいだけでなく、数百ミリボルト程度の小さな電圧でも動作可能な回路構成が望まれる。

2. 研究の目的

1 V未満の電源電圧で動作し、消費電力が数十 μ W未満で、1～10 Hzの信号を雑音や他の信号から分離できるダイナミックレンジ70 dB以上の集積回路を実現する。

3. 研究の方法

(3-1) 数ヘルツという超低周波信号を処理するために、必要な回路素子値の大きさを表す時定数を従来よりも2.5～3桁大きくしなければならない。その手法を本質的に大別

し、具体的な構成としてどのような回路構成があるかの調査を行い、companding log domain 技術との組み合わせの可能性を探る材料を揃える。組み立てた回路構成に基づいて回路の諸特性を解析し、具体的な素子値の設計を行う。また、計算機シミュレーションによる検討の後、レイアウトと集積回路試作を通して特性を測定し、検証する。集積回路上では素子値は設計値の $\pm 20\%$ 程度ずれることから、高精度の処理のためには等価的な素子値を電子的可変とし、その値を適応的に自動調整する機構を付加する。

(3-2) センサからの連続時間信号に対し雑音除去や帯域制限をした後、デジタル変調により送信する場合、アナログ・デジタル変換(ADC)とデジタル回路が必要となる。ADCやデジタル回路を同一のチップ上に実現することでより携帯計測にとって望ましいものとする。このとき、デジタル部のスイッチング動作に伴いパルス状の雑音が発生し、集積回路の基板を伝播してアナログ回路部に混入することが問題となる。能動的に低減するシステムにより、アナログ信号処理回路の精度向上に利用する予定である。

4. 研究成果

まず、雑音除去と帯域制限のためのフィルタを検討した。以前より研究代表者が提案した低電圧・低電力用フィルタが、基底信号処理に好適であることに着目した。低周波信号処理に必要な大きな容量値を、ミラー効果の双対原理に基づいて等価的に実現しており、多少の損失が生ずるものの0.6 V動作の回路が実現できるとの見通しを得た。また、送受信部分で使用するフィルタには、ダイナミックバイアス手法の改良により信号

に応じた動的なバイアスを行い、トランジスタの動作領域内を可能な限り利用することで、 $0.18\mu\text{m}$ プロセスにおいては、電源電圧 0.6V での動作を可能とし、さらに 89dB もの広いダイナミックレンジを達成した。

次に、フィルタの後段となるアナログ・デジタル変換回路(ADC)を設計した。低周波信号であるため、逐次比較型のほか $\Delta\Sigma$ 型や信号分割型を採用している。さらに1サンプルの変換処理に比べ標準化周期が長いことから、変換後に緩衝器や比較器の電源を切ることで電力の削減が図る。 0.4V p-p の信号に対して8ビットを出力するとき、30%程度まで省電力化できた。その理論的評価と実証により、逐次比較型では低電圧下での出力雑音の分散が大きく、アルゴリズムによる信号劣化の改善を図っていく必要があるという新たな開発課題を明らかにした。また、 $\Delta\Sigma$ 型については、内部素子の雑音の影響の軽減手法の提案を行った。一方、信号分割型においては、素子バラツキの影響を緩和できるという特徴を利用して、パイプライン型と組み合わせることにより、必要以上の変換速度を、トレードオフの関係にある電力削減に振替えて設計した。そして、信号対雑音比を拡大するために容量数の削減と1段あたりの入出力特性の変更で改善した。

さらに、ADC出力のデジタル信号を処理する回路が、アナログ回路と同一の集積回路基板上に実現されることを見通し、予想される問題であるデジタル基板雑音の低減にも取り組んだ。複数の雑音源についての低減効果の感度に注目し、さらに適切な近似を導入して理論解析を可能とすることで、非常に有効に雑音低減ができる回路構造を導くことができた。具体的には、第一に、雑音の検出に使用する基板上の帯状領域を2つにすることで、雑音源であるデジタル回路が広い範囲に存在しても効果的な抑圧を達成した。第二に、雑音と逆相の打ち消し信号を注入していた領域の形状を帯状から複数の点へと変更し、理論的・一般的にもその有効性を示すことができた。

以上をまとめると、目的のシステムを、当初の目的より低い 0.8V 未満程度で実現できることがわかった。今後はこれらを統合して具体的な設計をし、実証する必要がある。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計3件)

広範囲に分布するデジタル回路で発生する基板雑音の打消し回路,'鈴木 寛人, 和田 和千, 田所 嘉昭, 信学論A, Vol. J92-A, No. 4, pp. 216-225, 2009年4月.

基板雑音を打ち消す信号を点状の領域へ注入する雑音低減回路,'鈴木 寛人, 和田 和千, 田所 嘉昭, 電学論C, Vol. 129, No. 8, pp. 1527-1533, 2009年8月.

-V Dynamic Biasing Filter With 89-dB Dynamic Range in $0.18\text{-}\mu\text{m}$ CMOS,'Ippei Akita, Kazuyuki Wada, and Yoshiaki Tadokoro, IEEE J. Solid-State Circuits, Vol. 44, Issue 10, pp. 2790-2799, Oct. 2009.

[学会発表] (計8件)

Automatic tuning scheme for substrate noise cancellation circuit tolerant of large digital circuit,'H. Suzuki, K. Wada, and Y. Tadokoro, Proc. 2008 IEEJ Analog VLSI Workshop, pp. 148-152, August 2008.

2次 $\Delta\Sigma$ ADCに対する利得可変積分回路の適用,'小山 靖仁, 和田和千, 田所嘉昭, 電学電子回路研資 ECT-08-92, 2008年11月.

信号分割手法を適用したパイプライン型ADCの小容量構成,'中川 雄介, 和田和千, 田所 嘉昭, 電学電子回路研資 ECT-09-003, 2009年1月.

MOSトランジスタを分割することで熱雑音を低減した増幅回路,'鈴木 寛人, 和田 和千, 田所 嘉昭, 電学電子回路研資, ECT-09-25, pp. 55-60, 2009年1月.

比較器のオフセット電圧への耐性を高めた1.5bitパイプライン型ADC,'中川 雄介, 和田 和千, 電気関係学会東海支部連合大会論文集, 0-282, 2009年9月.

信号分割手法に基づくパイプライン型ADCの高精度化の検討,'中川 雄介, 和田 和千, 電子情報通信学会ソサイエティ大会論文集, C-12-59, 2009年9月.

微細プロセス向け高精度・低消費電力なパイプライン型ADCの構造,'中川 雄介, 和田 和千, 電学電子回路研資 ECT-09-096, 2009年10月.

電源電圧 0.8V で動作させる10bit逐次比較型ADCの試作回路における雑音の影響,'瀬川 健太郎, 和田 和千, 電気学会電子回路研究会 ECT-10-047, 2010年3月.

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

名称:

発明者:

権利者：
種類：
番号：
出願年月日：
国内外の別：

○取得状況（計0件）

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

和田 和千 (WADA KAZUYUKI)
豊橋技術科学大学・工学部・准教授
研究者番号：00302943

(2) 研究分担者

なし ()

研究者番号：

(3) 連携研究者

なし ()

研究者番号：