

令和 5 年 6 月 2 日現在

機関番号：12601

研究種目：基盤研究(B)（一般）

研究期間：2020～2022

課題番号：20H02199

研究課題名（和文）シリコンを含む磁性接合におけるスピン伝導物理の解明と制御

研究課題名（英文）Spin-dependent electron transport through Si-based magnetic tunnel junctions

研究代表者

中根 了昌（Nakane, Ryosho）

東京大学・大学院工学系研究科（工学部）・特任准教授

研究者番号：50422332

交付決定額（研究期間全体）：（直接経費） 13,600,000円

研究成果の概要（和文）：シリコンベーススピントランジスタを高性能化するための重要要素「チャンネル中のスピン偏極電子の伝導」と「ソースドレインにおけるスピン偏極電子の注入と検出」の学術深化と技術開拓をおこなった。これまで確立されたシリコンデバイス技術の知見を最大限に生かしつつ、スピン伝導物理に関する新たな理論を構築し、作製したデバイスのスピン伝導信号を詳細に解析した。シリコン二次元チャンネルにおけるスピン伝導物理、スピン注入・検出物理を解明した。これらは、デバイス高性能化につながる有用な知見であることを定量的に示した。

研究成果の学術的意義や社会的意義

次世代IoT社会の実現に極めて有用なデバイス「シリコンベーススピントランジスタ」を実用に近づけるために重要な知見を多数明らかとした。また、オリジナルな物理モデルを確立して電子スピン伝導物理の詳細を定量的に解明した。この学術の深化は、該当研究分野の進展に大きく貢献することが期待できる。

研究成果の概要（英文）：This project studied physics on spin-dependent electron transport via Si-based magnetic tunnel junctions as well as via Si inversion channels. Original theories were established and used for the analyses of experimental spin-transport signals. The detailed analyses clarified physics that is very useful knowledge for high-performance Si-based spin transistors.

研究分野：スピントロニクス

キーワード：電子デバイス 電子スピン伝導物理

1. 研究開始当初の背景

Internet-of-Things (IoT) 社会の利便性を向上するためには、情報通信ネットワークの端末機器において、超高効率・超低消費電力な情報処理を可能とする新規デバイスを開発することが必須である。本研究では、その応用に極めて有望なデバイスであるスピン偏極電子を用いたシリコン (Si) ベーススピントランジスタの開発を最終目標とする。このデバイスは不揮発メモリとトランジスタ特性を併せ持つ特徴を有し、超低消費電力な情報処理回路への応用が可能である。

シリコンベーストランジスタは、我々のグループを含む 2 グループが室温での動作実証に成功している。一方、そのデバイス性能は実用レベルには達しておらず、これを向上する技術開発が必要である。課題として、基本的なデバイス物理が確立しておらず、デバイス性能向上に向けた指針は明らかとされていない。従って、いくらかのデバイス要素におけるデバイス物理を解明し学術を深化すると共に、実用に向けたデバイス性能向上指針を明らかとする必要がある。

2. 研究の目的

Si ベーストランジスタは「チャンネル中のスピン偏極電子の伝導」と「ソースドレインにおけるスピン偏極電子の注入と検出」という二つの要素がある。これらの各々について、スピン偏極電子に関わる物理を開拓・解明することと、デバイス高性能化に必要な技術開発を行うことを目的とした。

3. 研究の方法

デバイスの高性能化には、ゲート電界で制御された Si 二次元反転チャンネルにおいてスピントリップの無い電子伝導を実現する必要がある。Si は小さなスピン軌道相互作用からスピントリップ散乱が少ないことが予想されており、これまでバルク基板を用いた幾らかの基礎的知見が明らかとされている。それらによって、電子の運動量散乱の数回に一度の頻度でスピントリップが起きる Elliott-Yafet (EY) 機構に従うことが解明されている。一方、二次元反転チャンネルにおけるスピン依存伝導電子の物理は不明である。二次元反転チャンネルはゲート電界強度によって、支配的な電子の運動量散乱要因が変化することが知られている。従って、この性質を利用し、反転チャンネル中でも EY 機構が成り立つのかの検証、どのような運動量散乱がスピントリップ散乱を多く起こすのかの解明、電子伝導方向の電界強度を上げることで実効的スピン拡散長の増大とその具体的距離の見積もり、に注力して、これまでの Si 電界効果型トランジスタデバイスにおいて確立されてきた評価技術を最大限に利用しながら、基礎的な物理モデルの構築とあわせて探究を行う。

Si ベーストランジスタでは、強磁性ソースドレイン電極と極薄絶縁膜トンネル障壁層を用いた強磁性トンネル接合をスピン偏極電子の Si チャンネルでの生成 (スピン注入) と Si チャンネルを伝導した電子のスピン偏極率の検出 (スピン検出) に用い、デバイスのスピン依存伝導特性であるスピントリップシグナル (磁気抵抗) を発現する。これまで、半導体ベースの強磁性トンネル接合におけるスピン伝導物理は、金属多層構造を用いた理論により解析されてきた。一方、本来トンネル伝導ではトンネル接合中の物質特性、特に電子エネルギー構造を取り込んだ物理モデルが必要である。さらに、印加バイアスに依存して大きく変化する電子のスピン偏極率も、その機構が明らかではない。デバイスの高性能化には、適切な物理モデルの構築によってスピン伝導物理の詳細を解明することと、それに基づく開発のガイドラインを見出す必要がある。これらについて研究を行う。

Si ベーススピントランジスタを実用するには、磁気抵抗比が重要である。これはスピントリップ信号の抵抗変化の大きさをデバイスの全体抵抗で規格化して定義される。これまでの研究では、電子のスピン偏極率を増大するために抵抗の高い磁気トンネル接合をソースドレインに用いてきた。この接合抵抗が全体抵抗を大きくすることが、磁気抵抗比を小さくしていた。従って、低接合抵抗かつ高スピン偏極率を実現する磁気トンネル接合が必要である。一方、これまで広く用いられてきた理論に従えば、低接合抵抗においてスピン偏極が小さくなるトレードオフが存在することが予想されるが、明らかとされていない。デバイス高性能化のために低接合抵抗の磁気トンネル接合を作成するとともに、抵抗とスピン偏極率の関係解明を上述の理論構築と共にを行う。

4. 研究成果

4.1 シリコンベース・スピン電界効果型トランジスタのデバイス物理 (スピン注入、検出、輸送現象) とデバイス設計指針の解明

シリコンベース・スピン電界効果型トランジスタのシリコン二次元反転チャンネル中における室温でのスピン輸送効率の解明、実効的なスピンドリフト拡散長を増大するスピンドリフト制御手法の確立、高い磁気抵抗比を実現するデバイス設計指針の解明、をおこなった。これまでの研究とはデバイス構造が異なる。主な変更・改善部分は、 n^+ -Si 層をソースとドレインに用いたこと、p 型 Si チャンネル層を用いてエンハンスメント型としたこと、である。これらは高いトランジスタ特性と磁気抵抗比の両立を目指したデバイス構造といえる。この様な実装に近いシリコンベース・スピン電界効果型トランジスタはこれまで報告されていない。

本研究で用いたバックゲート型のシリコンベース・スピン電界効果型トランジスタの構造を図 1(a)に示す。強磁性ソース/ドレイン間のチャンネル長 $L_{ch} = 0.4 - 10 \mu\text{m}$ 、 SiO_2 ゲート酸化膜は 200 nm、測定はすべて室温でおこなった。ソースとドレインへの n^+ -Si の導入により、良好なトランジスタ特性がすべてのデバイスにおいて得られた。次に、一定のソースゲート電圧とソースドレイン電流のバイアス印加と、面内と面直方向の磁界掃引により、スピンパルス信号とハンル信号を取得した。スピン信号の測定時に電流を大きくするとスピンパルスの変化が大きくなることが確認された。これは実効的なスピン保存長がソースドレイン間の電界の増加に伴い増大するスピンドリフトの発現である。このスピンドリフトを用い、チャンネル長 $10 \mu\text{m}$ のスピン輸送に成功した(図 1(b))。これらのスピン信号と理論式を用い、チャンネル中のスピン輸送効率を解析したところ、ソースドレイン間のスピン輸送効率はほぼ 100% であり、Si 二次元反転チャンネルが非常に有望であることを明らかとした。一方、ソースから注入されたスピンの約半数がソースとドレインの n^+ -Si においてフリップしていることが明らかとなった。この問題を解決するためにトップゲートデバイス構造とソースドレインにおける n^+ -Si のチャンネル方向長さ L_S/L_D を短くする手法を提案し、解析式によって L_S/L_D と磁気抵抗との関係をプロットした(図 1(c))。これにより、磁気抵抗比を増加させるデバイス設計指針を解明した。

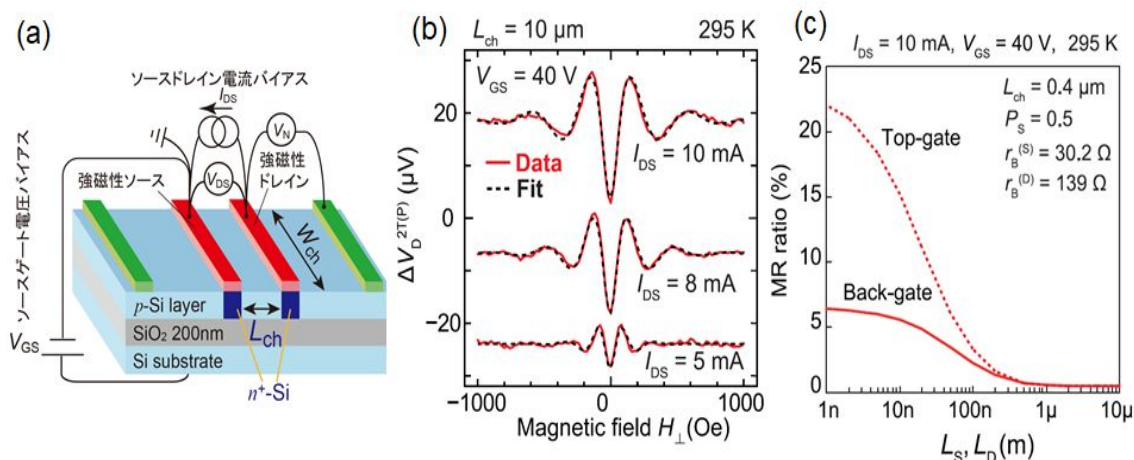


図 1 (a)作製したバックゲート型スピン電界効果型トランジスタのデバイス構造とスピン伝導の測定セットアップ。(b)チャンネル長 $L_{ch}10\mu\text{m}$ のスピン輸送を示すハンル信号。(c)ソース/ドレインにおける n^+ -Si のチャンネル方向長さ L_S/L_D と磁気抵抗効果の関係(デバイス設計指針)。

4.2 シリコンベース・スピン電界効果型トランジスタのデバイス物理(スピン注入、検出、輸送現象)とデバイス設計指針の解明# 2

これまで研究に用いてきたバックゲート型スピン電界効果トランジスタのアニール処理を行った。アニールによってクーロン散乱の影響を低減し、既存のシリコン電界効果型トランジスタのユニバーサル移動度に匹敵する値を得た。シリコンチャンネルに印加するチャンネル垂直電界強度により、サブバンドの電子占有率が変化すること、電子移動度を決定する支配的散乱機構(クーロン散乱、フォノン散乱、表面ラフネス散乱)が変化することを利用して、電子の運動量散乱機構とスピNFLリフ散乱との関係を探究した。さらに、温度を低温から室温まで変化させることで、支配的散乱機構の分離を試行すること、アニール前後のデバイスにおける解析結果の比較もおこない、あらゆるパラメータを変化させることで定量的な解析を目指した。結果は非常にシンプルであった。どのような散乱機構においても、運動量散乱の 25000 回に一度の頻度でスピNFLリフ散乱が起きることを明らかとした。これにより、高電子移動度が高いスピン機能性(巨大磁気抵抗効果)の達成に不可欠であるデバイス設計論を確立した。さらに、アニール後のデバイスでは、室温と 4K において各々

32 μm と 159 μm に達する実効的スピン拡散長を達成した。

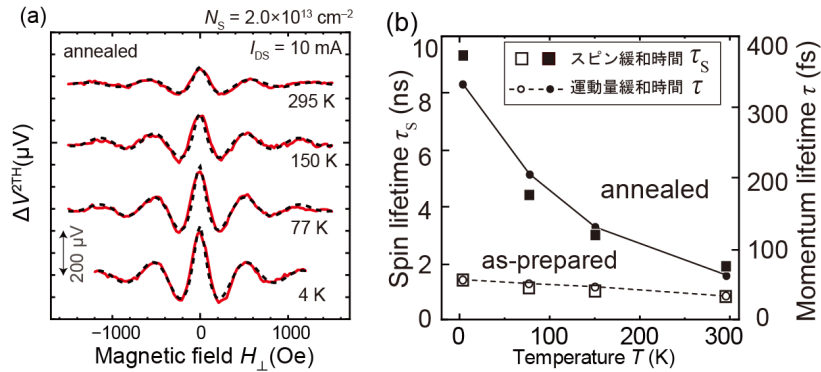


図 2(a)スピン電界効果型トランジスタ (アニール後) のスピン輸送信号 (ハル信号)。赤線が実験値、黒点線は理論式のフィッティング。(b)スピン緩和時間 (四角) と電子運動量緩和時間 (丸と直線) の関係。温度が変化することで電子運動量散乱の支配的機構が変化するが、どの温度においても電子運動量散乱の 25000 回に 1 度の頻度でスピンフリップがおきることを示している。また、アニール前後において電子移動度に変化があるにも関わらず、この頻度には変化がないことを示している。

4.3 シリコンベース磁気トンネル接合におけるスピン注入、検出のスピン依存伝導物理の解明

磁気トンネル接合として Fe/MgO/ n^+ Si を用い、 n^+ -Si チャネルを持つ 4 端子デバイスを作製した。4 端子のメリットを活かして様々な測定配置を用いてスピンバルブ信号を測定し、これをスピン注入・検出物理の解明に用いた。

図 3 にデバイス構造と測定配置を示す。スピン注入と検出を行う S あるいは D の接合に定電流を印加することで、様々なバイアスにおけるスピンバルブ信号を取得した。この変化の大きさを電子のスピン偏極率に理論式で変換し、着目する接合のバイアス電圧に対してプロットした。次に、図 4 に示す Fe と Si の電子構造を考慮した接合のバンドダイアグラムに対してスピン依存トンネル電子流モデルを構築し、電子のスピン偏極率を接合のバイアス電圧に対してプロットした (図 4)。実験プロットと理論モデルプロットの形状が非常に類似しており、提案したモデルが妥当であることを明らかとした。この結果に基づき、理論モデルを利用してスピン伝導物理の解明を行った。

様々な物理の解明を行ったが、ここではデバイス設計に重要な知見のみを記載する。本研究ではじめて解明された知見において最も重要であるのは、スピン注入効率とスピン検出効率が最大化するバイアスが異なる物理的メカニズムを解明したことである。それに基づく、Fe 電極と 1nm 程度の膜厚を持つ MgO トンネル障壁を用いた場合にスピン電界効果型トランジスタなどにおけるスピンバルブ効果を最大化するためには、低接合バイアスが望ましい。一方、その条件下において出力電流は小さくなるため、実用デバイス動作としては望ましくない。つまり、スピン依存伝導とデバイス出力特性にトレードオフが存在する。これを解決する 1 つの方法は、トンネル障壁層の膜厚を薄くして低抵抗化を行うことである。これはデバイス高性能化の指針となり得る。

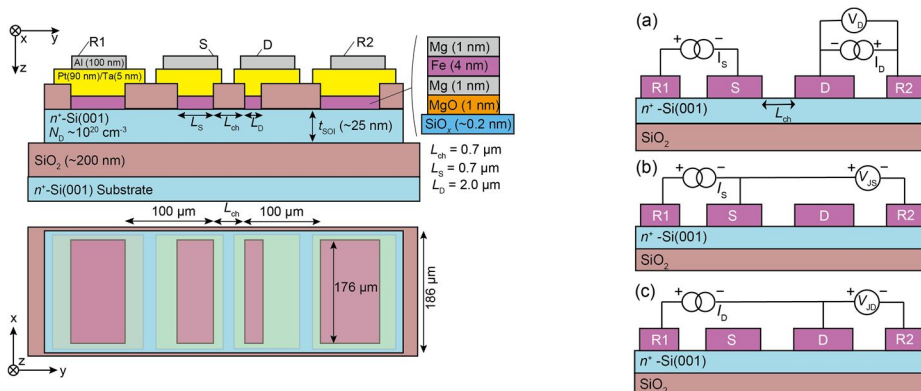


図 3 左：デバイス断面、上面構造の模式図。右：実験に用いた測定配置。

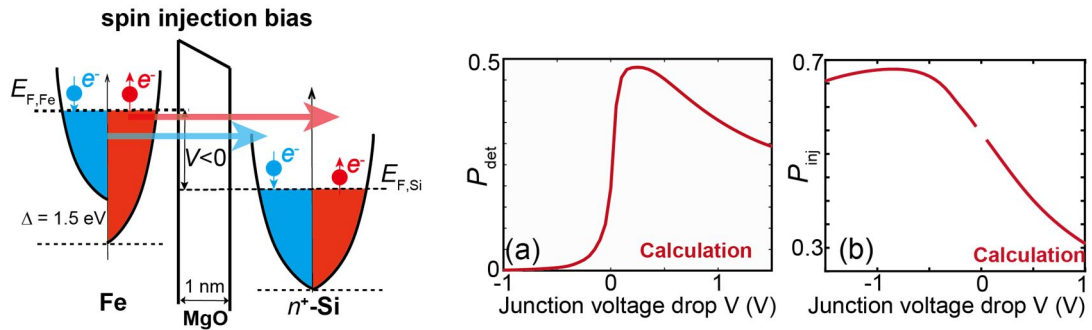


図 4 左: Fe/MgO/n⁺-Si 磁気トンネル接合における Fe と Si の電子バンド構造を考慮したトンネル電流モデル。右図: 構築した理論によって得られたスピン検出とスピン注入における電子のスピン偏極率を接合バイアス電圧に対してプロットしたもの。強いバイアス依存性により、効率を最大化するバイアス領域は限られていることがわかる。

4.4 低接合抵抗を持つ Si ベース磁気トンネル接合の作製とスピン注入・検出物理の解明

Si 基板表面の窒化により形成可能な極薄 SiN 膜をトンネル障壁層として利用し、従来よりも桁低い接合抵抗 $RA \sim 200 \Omega \mu\text{m}^2$ を持つ Fe(4nm)/Mg(1nm)/SiN/n⁺-Si の作製と、三端子デバイスによるスピン注入・検出信号の取得と解析を行った。

SiN トンネル障壁層は窒素 RF プラズマをリンドープ n⁺-Si 基板上に照射して形成した。この表面に、Mg と Fe の多層構造を K セルによって堆積し、上部の Pt 層と Al 層はスパッタ法と抵抗加熱蒸着法で堆積した。SiN 層の形成における、RF プラズマソース入力電力、プラズマ照射時間、基板温度を作製の探索条件とした。磁性トンネル接合の I-V 特性から見積もった RA を指針に最適化を行い、 $RA \sim 200 \Omega \mu\text{m}^2$ を実現した。次に、三端子ハンル信号の測定を 10 K で行い、理論式でフィッティングすることで、Si 表面での電子流のスピン分極率 P_S と Si 中の電子スピン緩和時間 τ_S を見積もった。

図 5 に、定電流 $I_B = 25 \text{ mA}$ ($V_m = 45 \text{ mV}$) におけるスピン注入信号を青線、フィッティングにおけるオフセット信号を緑線、ハンル信号のフィッティング結果を赤線で示す。見積もられた $\tau_S = 4.6 \text{ ns}$ はこれまでの研究における値と整合することから、フィッティングが妥当であると判断した。同様の信号取得と P_S の見積もりを $I_B = -100 - 100 \text{ mA}$ (電圧降下 $V_m = -200 - 200 \text{ mV}$) の範囲において行った。図 5 に P_S と V_m の関係をプロットした。 P_S はスピン注入と検出の両方において取得され、接合電圧降下 $|V_m|$ の増加にともない同程度の傾きで減少した。このような注入と検出の両バイアス領域での明らかな P_S 値は、高い RA を持つときには見られない特性であり、シリコンベースの磁性トンネル接合での発現は、本研究ではじめて明らかとされた。我々が構築した理論予想と整合する結果であり、n⁺-Si における表面バンドベンディングが殆どないことを示唆している。また、高い P_S を低い接合バイアス電圧で取得することは、高い磁気抵抗比を持つスピントランジスタの実現に非常に有望な技術であり、その開発に有用な技術と知見が得られたといえる。

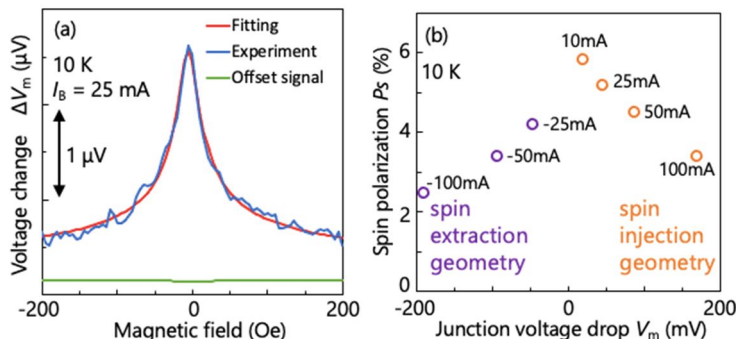


図 5 左: 実験により取得された三端子ハンル信号 (青線) と理論解析式によるフィッティング (赤線)。右: n⁺-Si 中の電子のスピン偏極率 P_S を接合の印加バイアス電圧 V_{in} に対してプロットしたグラフ。紫がスピン抽出配置、橙がスピン注入配置での結果。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 1件）

1. 著者名 S. Sato, M. Tanaka, and R. Nakane	4. 巻 102
2. 論文標題 Spin transport in Si-based spin metal-oxide-semiconductor field-effect transistors: Spin drift effect in the inversion channel and spin relaxation in the n+-Si source/drain regions	5. 発行年 2020年
3. 雑誌名 Physical Review B	6. 最初と最後の頁 035305/1-14
掲載論文のDOI（デジタルオブジェクト識別子） 10.1103/PhysRevB.102.035305	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 R. Nakane, S. Sato, and M. Tanaka	4. 巻 8
2. 論文標題 Enhancement of Room-Temperature Effective Spin Diffusion Length in a Si-Based Spin MOSFET With an Inversion Channel	5. 発行年 2020年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 807 - 812
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/JEDS.2020.2993705	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 S. Sato, M. Tanaka, and R. Nakane	4. 巻 16
2. 論文標題 Electron Spin Transport in a Metal-Oxide-Semiconductor Si Two-Dimensional Inversion Channel: Effect of Hydrogen Annealing on Spin-Scattering Mechanism and Spin Lifetime	5. 発行年 2023年
3. 雑誌名 Physical Review Applied	6. 最初と最後の頁 064071/1-11
掲載論文のDOI（デジタルオブジェクト識別子） 10.1103/PhysRevApplied.18.064071	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計9件（うち招待講演 1件／うち国際学会 3件）

1. 発表者名 S. Sato, S. Okamoto, M. Tanaka, and R. Nakane
2. 発表標題 Effect of forming gas annealing on the enhancement of the electron spin lifetime in the inversion channel of Si-based spin MOSFETs
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2020年～2021年

1. 発表者名 岡本祥太、佐藤彰一、田中 雅明、中根了昌
2. 発表標題 Siへのスピン注入におけるトンネルスピン分極率の温度依存性の解析
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2020年～2021年

1. 発表者名 R. Nakane, S. Sato, S. Okamoto, and M. Tanaka
2. 発表標題 Spin-flip Mechanism in a Si Inversion Layer of Spin MOSFETs
3. 学会等名 The 78th Device Research Conference (DRC) (国際学会)
4. 発表年 2020年～2021年

1. 発表者名 S. Sato, S. Okamoto, M. Tanaka, and R. Nakane
2. 発表標題 , Spin transport in Si-based spin metal-oxide-semiconductor field-effect transistors: Spin drift effect in the inversion channel and spin relaxation in the n+-Si source/drain regions
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年～2021年

1. 発表者名 中根了昌、佐藤彰一、田中雅明
2. 発表標題 シリコンベーススピン電界効果型トランジスタのデバイス物理
3. 学会等名 スピントロニクス学術研究基盤と連携ネットワーク拠点 2020 年度 (令和 2 年度) 年次報告会 (招待講演)
4. 発表年 2020年～2021年

1. 発表者名 Baisen Yu, Shoichi Sato, Masaaki Tanaka and Ryosho Nakane
2. 発表標題 Electron spin polarization in a n+-Si channel: Analysis with the band diagram in ferromagnetic Fe/Mg/amorphous-MgO/SiO _x /n+-Si(001) tunnel junctions
3. 学会等名 第69回応用物理学会春季学術講演会
4. 発表年 2021年～2022年

1. 発表者名 Baisen Yu, Shoichi Sato, Masaaki Tanaka and Ryosho Nakane
2. 発表標題 Generation of spin-polarized electrons in n+-Si by spin injection through a ferromagnetic tunnel junction: Role of the band diagram
3. 学会等名 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2021年～2022年

1. 発表者名 S. Sato, S. Okamoto, M. Tanaka, and R. Nakane
2. 発表標題 Spin Transport in Si-based Spin Metal-Oxide-Semiconductor Field-Effect Transistors: Spin Drift Effect in the Inversion Channel and Spin Relaxation in the n+-Si Source/Drain Regions
3. 学会等名 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2020年～2021年

1. 発表者名 赤木巖、佐藤彰一、田中雅明、中根了昌
2. 発表標題 低接合抵抗を持つFe/Mg/SiN/n+-Si(001)磁性トンネル接合の創製とSiへのスピン注入
3. 学会等名 第84回応用物理学会秋季学術講演会
4. 発表年 2021年～2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------