

令和 6 年 9 月 30 日現在

機関番号：11301

研究種目：基盤研究(B)（一般）

研究期間：2020～2023

課題番号：20H04197

研究課題名（和文）量子アニーリングアシスト材料計算科学のためのカスタムアクセラレータ基盤

研究課題名（英文）Custom Accelerators for Quantum-Annealing-Assisted Material Informatics

研究代表者

張山 昌論（Masanori, Hariyama）

東北大学・情報科学研究科・教授

研究者番号：10292260

交付決定額（研究期間全体）：（直接経費） 13,300,000円

研究成果の概要（和文）：分子構造最適化のためにFPGAを用いた量子アニーリングシミュレータのアーキテクチャを考案し、その高速化手法がGPUにも適用可能であることを明らかにした。さらにスパースなイジングモデルを使用することで計算量を削減し、高並列な処理が行えるアーキテクチャーを考案した。さらに、複数のFPGAを用いて量子ビットを分割するアーキテクチャを考案し、問題サイズを大規模化できることを実証した。これらの研究は分子構造の最適化手法に有用であると示された。また、FPGAやCPU、GPUを組み合わせた大規模な量子化学シミュレータのヘテロジニアスアクセラレータを開発し、従来方法と比較して最大100倍の高速化を達成した。

研究成果の学術的意義や社会的意義

本研究の学術的、分子構造最適化のための量子アニーリングシミュレータのアーキテクチャとその高速化手法に関する新たな知見を提供した点にある。FPGA、CPU、GPUを組み合わせたヘテロジニアスアクセラレータの開発は、量子化学シミュレーションのパフォーマンスを大幅に向上させ、大規模なシミュレーションが必要な産業での時間とコストの削減が期待できる。さらに、社会的には、この新手法は薬物設計や新素材開発など様々な分野で応用可能で、大規模シミュレーションが必要な産業における効率化に貢献することが期待できる。

研究成果の概要（英文）：We developed an architecture for a quantum annealing simulator using FPGA for molecular structure optimization, and revealed that this acceleration method can also be applied to GPUs. Furthermore, by using a sparse Ising model, we reduced the amount of computation and created an architecture that can handle high parallel processing. In addition, we devised an architecture that divides quantum bits using multiple FPGAs, and demonstrated that the problem size can be scaled up. These studies have been shown to be for molecular structure optimization methods. Moreover, we developed a heterogeneous accelerator for large-scale quantum chemistry simulators combining FPGAs, CPUs, and GPUs, achieving up to 100 times faster speed compared to conventional methods.

研究分野：高性能計算

キーワード：FPGA ヘテロジニアスコンピューティング 高性能計算 量子化学

## 様式 C-19、F-19-1、Z-19 (共通)

### 1. 研究開始当初の背景

従来の材料開発は、図1に示すように、人間が経験に基づき材料の組成の候補を挙げ、その候補に対して製造と性能評価を行うことを繰り返して、性能の良い材料を探索していく。この方法では、材料の製造と性能評価に時間とコストがかかるため、多くの組成の候補を試すことができない。また、組成の候補は人間の経験に基づき選択されるため、必ずしも良い候補が選択される保証がない。

一方、計算材料科学では、計算機シミュレーション(量子化学シミュレーションなど)により材料の性能を予測し、性能が良さそうな材料のみに限定して実際に製造して評価を行う。量子化学シミュレーションは、原子中の電子の状態をシュレディンガー方程式に従って求めるための計算である。計算機シミュレーションにより、性能が良さそうな材料をスクリーニングしておくことにより、時間がかかる製造・評価の回数を減らし、性能が良い材料を早く効率的に見つけ出すことを目的としている。しかしながら、その計算機シミュレーションは計算量が膨大であり、スーパーコンピュータ等の高性能な計算機を用いても長い計算時間がかかる。例えば、原子が数100個程度の小さい系でも1週間以上かかる場合もある。

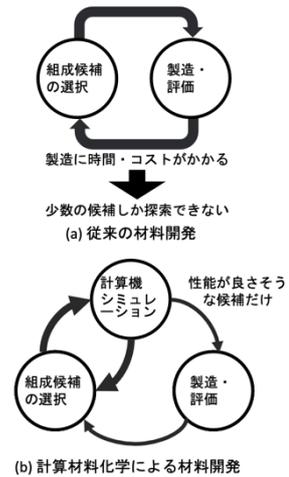


図1: 計算材料科学の必要性

### 2. 研究の目的

この問題を解決するために、本研究では、高性能計算のアクセラレータとして注目が高まりつつあるFPGA(再構成可能集積回路)に着目する。FPGAとは、図2に示すように、プログラムで回路構成を変更できる集積回路であり、産業界ではこれまで組み込み応用で用いられてきた。FPGAでは、应用到する無駄のない回路を構成できるため、CPUと比較して高速化・低消費電力化が期待できる。近年はFPGAの大規模化・高性能化が進んでいる(図2)。そこで本研究では、「FPGAを用いて計算材料科学の計算機シミュレーションの大規模化・高速化は可能か」を学術的「問い」として設定する。具体的には以下の2点を検討する。1 分子構造の最適化のためのFPGA(再構成可能集積回路)を活用した大規模な量子アニーリングシミュレータの構成。構造最適化により探索空間の大幅な削減が期待できる。

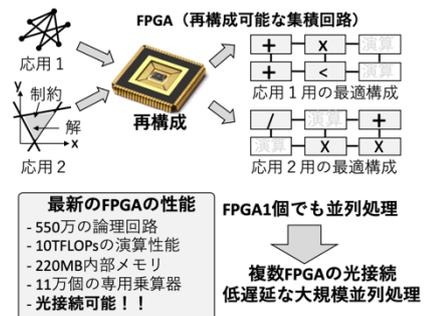


図2: FPGA (再構成可能集積回路) を用いたアクセラレータの可能性

### 3. 研究の方法

材料の性質は分子構造に大きく影響を受ける。例えば、系のエネルギーが小さい分子構造の方が、エネルギーが高い系よりも出現確率が高いなどである。そのため、最適な分子構造を最適化問題として定式化して計算するアプローチが注目されている。しかしながら、その最適化問題のサイズは原子数の増加に比例して指数関数的に増大するため、計算機上で現実的に扱えるのは簡単な分子のみである。近年、大規模な組合せ最適化問題に対する効率的なアプローチとして、量子アニーリングが注目を集めている。図3に量子アニーリングを用いた組合せ最適化の概要を示す。量子アニーリングでは、0/1の値を持つスピンのお互いに相互作用を持ちながら存在している系を考える。各スピンは、量子の重ね合わせにより複数の状態を取り得る。最適化問題として見ると、スピンは最適化の変数に対応し、系のハミルトニアン(エネルギーに対応)を最適化の目的関数とみなす。系にかける磁場の報告を水平方向から垂直報告にゆっくりと変えた場合に、ハミルトニアンが最小になるようにスピンの状態が変化し、最終段階ではスピンの状態は一通りに確定する。現在、世界初の商用の量子アニーラとしてD-Waveでのサービスが提供されたが、スピン数が2048であり小規模な問題しか直接的には実現できない。この問題を解決するためにFPGAを用いた量子アニーリングシミュレーション(図3)を中心として、以下の項目に関して研究を行う。

(1) **スピン数をFPGA数に比例して増やせるスケーラブルなアーキテクチャ**: 各スピン間には相互作用があるため、FPGA間でデータ転送を最小化としながらも並列性を最大限に活用できるアーキテクチャの考案が重要となる。

(2) **分子構造の最適化に特化した高効率なアーキテクチャ**: 最適化問題としてみなした場合には、必ずしも全てのスピン間で相互作用を考える必要はない。スピン間の相互作用は計算量の増加、ハードウェア量の増加を引き起こすため、分子構造の最適化に特化した専用の効率的なアーキテクチャを考案する。

大規模な量子化学計算を高速に行うためのアクセラレータを目的とする。大規模な量子化学計算において最も時間がかかる処理は「一般化固有値問題」である。そこで本研究では、大規模な「一般化固有値問題」の高速化に注力して研究を進める。図5に「一般化固有値問題」の代表的な解法の処理の流れを示す。本研究では、全ての固有値・固有ベクトルを求めるためのアルゴリズムを対象としている。「一般化固有値問題」の処理では、コレスキー分解, Householder 変換, 分割統治法などの処理が必要となる。それぞれの処理毎に処理の性質が異なるため、本研究では、図6に示すように FPGA, CPU, GPU を組み合わせたヘテロジニアスアーキテクチャを計算プラットフォームとする。CPU は粒度が大きく並列性が低く複雑な計算に適する。GPU は異なる大量のデータに対して同一の浮動小数点演算の加算・乗算などを行う並列処理に適する。FPGA は、様々なタイプの処理に対応できるが、CPU や GPU と比較して動作周波数が低い(最大 350MHz 程度)、外部メモリと FPGA とのデータ転送幅が GPU と比較すると狭いといった問題を考慮して設計することが重要となる。本研究では、固有値計算の要素処理の特性を考慮して、FPGA, CPU, GPU に最適に割り当てる設計手法を研究する。また、大規模な量子化学計算にスケラブルに対応するために、図7に示すように FPGA を光結合で接続し、さらに FPGA 間の通信を高速に行うためにデータ圧縮を活用した高速なデータ通信機構を研究する。これにより、従来の CPU/GPU を用いた並列処理プラットフォームで問題となっていたノード間の転送ボトルネックの解消を目指す。

#### 4. 研究成果

分子構造の最適化のために、全結合のイジングモデルを対象して FPGA を用いてスピン数を拡張できる量子アニーリングシュミレーターのアーキテクチャを考案した。

複数の FPGA を用いて量子ビットを分割することにより処理速度を落とさずに、問題サイズ(量子ビット数)大規模化な問題を扱えるアーキテクチャを考案し評価を行った。提案のアーキテクチャでは、量子重ね合わせを仮想的にシミュレーションするための Trotter スライス数も、複数 FPGA を用いることで拡張することができる。Trotter スライス数を増やすことで、良い解を早く得ることができることが確かめられた。グラフベンチマーク(グラフカット問題)を用いて評価を行ったところ、最適化のクオリティとして D-wave 社の量子アニーレーとほぼ遜色ない結果を得ることができた。さらなる解のクオリティを向上するための方法として、量子アニーリングの初期状態を変更しながら複数回の探索を行うことにより、単一の量子アニーリングよりも解のクオリティを向上する方法を検討した。また、それらの方法はマルチコア CPU または、GPU などの並列処理デバイスで実装することにより、より簡便に高速な量子アニーリングを利用できる環境を構築した(文献①)。

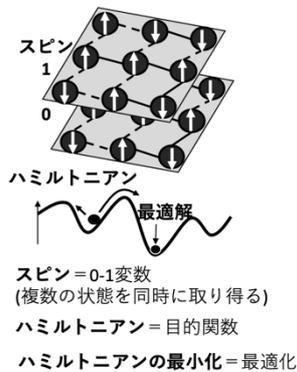


図3: 量子アニーリングを用いた最適化の概要

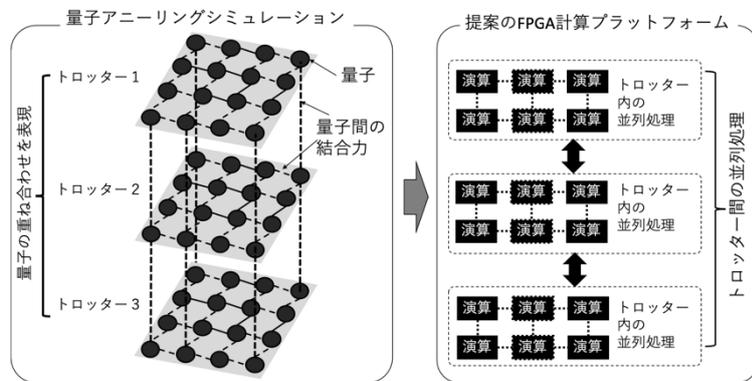


図4: 量子アニーリングシミュレーションのための FPGAアクセラレータのアーキテクチャ

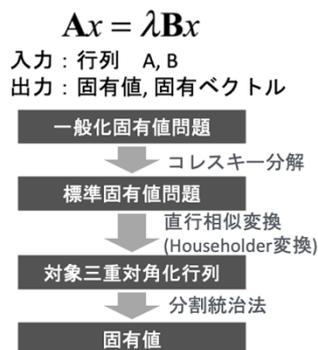


図5: 量子化学計算のコア処理である固有値処理

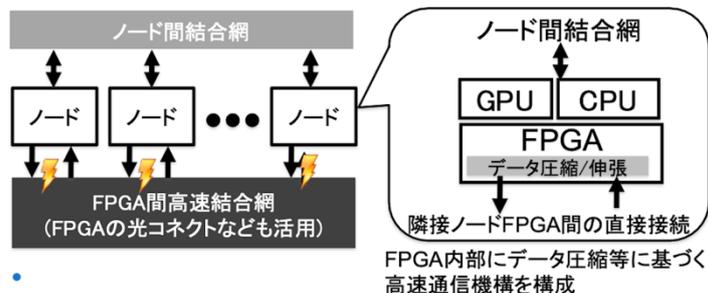


図6: 量子科学計算のためのFPGA, CPU, GPUからなるヘテロジニアスアクセラレータのアーキテクチャ

量子アニーリングの計算量を大幅に削減するために、スパースなイジングモデルの場合に計算量を大幅に削減できるアーキテクチャを考案した(文献②)。

全結合のイジングモデルは汎用性は高いが計算量が莫大となる問題があった。この問題を解決するために、量子ビット間の結合がスパースであるスパースイジングモデルを対象として高速化を可能とするアーキテクチャを考案した。本アーキテクチャでは、量子ビット間の相互結合を直接 FPGA 上のネットワークで実現することにより、超並列処理を可能とするアーキテクチャである。量子ビットごとに処理要素(PE)を用意しているためハードウェア量が多いという課題を解決するために、複数の量子ビットを同一の PE に割り当てるなどの対応を検討した。複数の量子ビットの値を PE への入力とするために、複数入力を制御するチャンネルを開発し、入力数に依存せずと同じハードウェアを使えるように直列で入力を受け付ける構成とした。それにより実装できる量子ビット数は数倍以上に向上した。また、このアーキテクチャでは、応用ごとに異なる回路を生成する必要があるため、そのような回路をイジングモデルから自動生成する、設計環境の開発も合わせて行った。応用問題がイジングモデルで与えられた場合に、そのグラフ構造を解析し、並列に実行されるノードを異なる PE に割り当てるようにクラスタリングを行うアルゴリズムを開発した。本アーキテクチャは脳シミュレーションなどの量子アニーリング以外の応用でも有用であることを明らかにしている。また、テンソルネットワークを用いたゲート型量子計算について HBM(High-Bandwidth Memory)内蔵の FPGA を用いたアーキテクチャを考案した。FPGA は小規模な行列が得意であることに注目して、FPGA および GPU を組み合わせることにより効率の良い処理を実現した(文献③)。

FPGA, CPU, GPU を組み合わせた大規模な量子化学シミュレータのためのヘテロジニアスアクセラレータを構成した。本研究では量子化学計算において問題となる大規模な「一般化固有値問題」の高速化に注力して研究を進め、固有値計算において、計算量が多い処理として、コレスキー分解、Householder 変換、分割統治法のアルゴリズムを検討し、各処理に適する計算リソースを検討した。コレスキー分解は規則的かつ演算密度が高い処理であるため FPGA に適する。Householder 変換は行列掛け算であるため GPU に適する。分割統治法は直接的な計算が多いため CPU に適する。この検討結果に基づき実装を行った。コレスキー分解に関しては FPGA を複数用いることにより行列のサイズを拡張できるアーキテクチャを確立した。その結果 CPU での処理と比較して 10 倍以上の高速化を達成した。Householder 変換に関しては CUDA ライブラリを用いて実装を行った。分割統治法に関しては CPU の実装方法として提供されているライブラリを用いて実装を行った。またこれらの処理を統合したヘテロジニアスアクセラレータを構築し評価を行ったところ CPU のみの処理と比べ 10 倍を超える性能向上を達成できる見通しを得た。また、触媒生成において反応が生じやすい分子パラメータを効率よく探索するために、量子アニーリング、シミュレーテッドアニーリング、Particle Swarm Optimization, Genetic Algorithm, Surrogate Optimization などの種々の組合せ最適化手法を活用したシステムを構築した。単一分子の運動パラメータを制御し基盤に反応させる簡単なシミュレーションによる評価では、ランダムサーチと比較して最大で 10 倍程度の高速化を達成している。

#### <引用文献>

- ① “大規模問題に対応可能な FPGA ベース量子アニーリングシミュレータの展望”, 張山 昌論, ウィッデヤスーリヤ ハシタ ムトゥマラ, 量子コンピューティング EXPO (2021-04-08, 東京ビッグサイト)
- ② “FPGA-based Prototype of a Quantum Annealing Simulator for Sparse Ising Model”, Hasitha Muthumala Waidyasooriya, Yuta Ohma and Masanori Hariyama, 15th IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSOC-2022), (2022-12-19, Malaysia)
- ③ “Scalable Architecture Targeting HBM-Based FPGAs for Complex Matrix Multiplication”, Hasitha Muthumala Waidyasooriya, Takuro Fukuda and Masanori Hariyama, 23rd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT'22), (2022-12-07, Sendai, Japan)

## 5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 4件）

1. 著者名 Waidyasooriya Hasitha Muthumala, Oshiyama Hiroki, Kurebayashi Yuya, Hariyama Masanori, Ohzeki Masayuki	4. 巻 10
2. 論文標題 A Scalable Emulator for Quantum Fourier Transform Using Multiple-FPGAs With High-Bandwidth-Memory	5. 発行年 2022年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 65103 ~ 65117
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ACCESS.2022.3183993	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Chi-Yin Liu, Hasitha Muthumala Waidyasooriya, and Masanori Hariyama	4. 巻 -
2. 論文標題 Design space exploration for an FPGA-based quantum annealing simulator with interaction-coefficient-generators	5. 発行年 2021年
3. 雑誌名 The Journal of Supercomputing	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/s11227-021-03859-5	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Hasitha Muthumala Waidyasooriya and Masanori Hariyama	4. 巻 -
2. 論文標題 Temporal and Spatial parallel Processing of Simulated Quantum Annealing on a Multicore CPU	5. 発行年 2022年
3. 雑誌名 The Journal of Supercomputing	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/s11227-021-04242-0	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Muthumala Waidyasooriya, and Masanori Hariyama	4. 巻 8
2. 論文標題 A GPU-based Quantum Annealing Simulator for Fully-connected Ising Models Utilizing Spatial and Temporal Parallelism	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 67929-67939
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ACCESS.2020.2985699	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

[学会発表] 計10件(うち招待講演 5件/うち国際学会 8件)

1. 発表者名 Mizuki Harasawa
2. 発表標題 Architecture of an FPGA-Based Brain Neural Network Simulator Using Direct Mapping
3. 学会等名 The 25th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2024) (国際学会)
4. 発表年 2024年

1. 発表者名 Yuta Ohma
2. 発表標題 FPGA-based Prototype of a Quantum Annealing Simulator for Sparse Ising Model
3. 学会等名 15th IEEE International Symposium on Embedded Multicore/Many-coreSystems-on-Chip (MCSoc-2022) (国際学会)
4. 発表年 2022年

1. 発表者名 Takuro Fukuda
2. 発表標題 Scalable Architecture Targeting HBM-Based FPGAs for Complex Matrix Multiplication
3. 学会等名 23rd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT'22) (国際学会)
4. 発表年 2022年

1. 発表者名 Mizuki Harasawa
2. 発表標題 Direct Mapping of Neural Circuits on FPGA
3. 学会等名 23rd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT'22) (国際学会)
4. 発表年 2022年

1. 発表者名 Hasitha Muthumala Waidyasooriya
2. 発表標題 FPGA Acceleration of Quantum Annealing Simulations
3. 学会等名 2022 Japan-Taiwan Advanced Quantum Technology Research and Development Workshop (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Kosiro Obata
2. 発表標題 Implementation of an FPGA-Oriented Complex Number Computation Library Using Intel OneAPI DPC++
3. 学会等名 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (国際学会)
4. 発表年 2022年

1. 発表者名 Hasitha Muthumala Waidyasooriya
2. 発表標題 FPGA-based Custom Supercomputing for Intelligent Systems
3. 学会等名 2021 Bilateral Workshop between Tohoku University and National Tsing Hua University (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Masanori Hariyama
2. 発表標題 Intelligent Computing Technologies Related to Materials Informatics
3. 学会等名 Webinar on Materials and Systems Under Extreme Conditions (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 張山昌論
2. 発表標題 大規模問題に対応可能なFPGAベース量子アニーリングシミュレータ
3. 学会等名 ウェビナー「実世界を最適化するための量子コンピューティングおよび量子に着想を得た計算手法」(招待講演)
4. 発表年 2021年

1. 発表者名 張山昌論
2. 発表標題 大規模問題に対応可能なFPGAベース量子アニーリングシミュレータの展望
3. 学会等名 量子コンピューティングEXPO(招待講演)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	W a i d y a s o o r i y a H a  (Waidyasooriya Hasiitha Muthumala)  (60723533)	東北大学・情報科学研究科・准教授          (11301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------