# 科学研究費助成事業 研究成果報告書

令和 5 年 6 月 2 2 日現在

機関番号: 13904

研究種目: 基盤研究(C)(一般)

研究期間: 2020~2022

課題番号: 20K04579

研究課題名(和文)過酷環境エレクトロニクスにむけた窒化物半導体集積回路プロセス技術の開発

研究課題名(英文) Investigation of process technology for nitride semiconductor based integrated circuits for harsh environment electronics

#### 研究代表者

岡田 浩 (OKADA, Hiroshi)

豊橋技術科学大学・工学(系)研究科(研究院)・教授

研究者番号:30324495

交付決定額(研究期間全体):(直接経費) 3,300,000円

研究成果の概要(和文):過酷環境エレクトロニクスを可能とする窒化物半導体電子デバイスにむけた検討を行った。独自開発した基底状態原子支援化学気相堆積技術を応用した窒化物半導体上への絶縁膜形成を検討し、リーク電流の低減と界面特性の評価した。堆積後熱処理を検証し3MV/cmの電界印加時に10 A/cm2以下のリーク電流の低い絶縁膜が再現性良く得られることを見出し、絶縁ゲート型窒化物半導体デバイスを試作し有効性を実証した。オーミック電極形成技術や素子分離技術を検討し、集積回路応用への知見を得た。これまでの知見とシリコン集積回路技術を組み合わせた新しい窒化物半導体集積回路の設計を行い原理検証実験に取り組んだ。

研究成果の学術的意義や社会的意義 窒化物半導体電子デバイスはパワーエレクトロニクス分野で注目され、情報機器などのACアダプタの小型化など で社会に浸透しつつある。これは窒化物半導体の優れた電気的性質を反映したものであるが、放熱機構を簡略化 し、ある程度の高温動作を許容する設計になっていることも大きい。窒化物半導体の集積回路技術の検討は着手 されたばかりであるが、本研究で開発した絶縁膜形成技術や設計技術は、これまでに不可能であった高温環境な ど実際の過酷環境にエレクトロニクスが展開につながる大きな学術的な意義がある。この成果は先に述べたよう なエレクトロニクス製品の高効率電力制御など性能向上を可能とするものであり、社会的意義も大きい。

研究成果の概要(英文): Nitride semiconductor electronic devices technology for harsh environment application have been investigated. We investigated the formation of insulating films on nitride semiconductors using atomic species enhanced chemical vapor deposition technique proposed by our group, and evaluated the reduction of leakage current and interface characteristics. Low leakage current of less than 10 A/cm2 at an electric field of 3MV/cm could be obtained with good reproducibility by applying post-deposition annealing. It is proved that this technique is available for nitrides by demonstration of insulated gate type nitride semiconductor transistor at elevated temperature. We also investigated ohmic electrode formation and device isolation technology, and obtained knowledge for integrated circuit applications. We designed a new nitride semiconductor integrated circuit by combining our knowledge with silicon-based integrated circuit technology, and conducted a proof-of-principle experiment.

研究分野: 半導体デバイス

キーワード: 窒化物半導体 電子デバイス 集積回路 過酷環境エレクトロニクス

# 1.研究開始当初の背景

シリコン (Si) 半導体集積回路は、コンピュータやスマートフォンなど IT 機器のみならず、自動車などの機器においても、エレクトロニクス技術にもとづいた制御の要として社会で大きな役割を果たしている。Si 集積回路の普及は、イオン注入技術をはじめとする集積回路技術が確立し、高機能な回路が自在に設計できる点が大きい。しかし、Si の 1.1 eV のパンドギャップは高温動作には不向きで、エンジン近傍など数 100℃ の雰囲気での熱励起キャリアによるリーク電流発生を低減するための冷却機構を必要とするなどオーバーヘッドを抱えている。飛行機や工場、発電所、宇宙など、高温で過酷な環境では先端的なエレクトロニクスにもとづいた工学的制御の実現が求められているが、過酷環境エレクトロニクスに必要な集積回路技術は確立していない。

# 2. 研究の目的

本研究の目的は、過酷環境でも動作する窒化物半導体 (GaN) の集積回路技術を開発し、集積回路を試作してベンチマークとなる特性データを取得することである。

集積回路は単体デバイスを一枚の基板上に作製して単に接続するだけでは実現できず、同一基板上に それぞれの素子が干渉なく独立に動作するための素子分離技術や、トランジスタの閾値など特性の異な る素子を同一基板上で作り分ける特性制御技術が必要である。さらに、デバイスの過酷環境での動作には、広い温度領域で安定に優れたゲート制御性を示す絶縁ゲート構造 (MIS 構造)の実現が必須である。

GaN は電子デバイス応用に適した優れた物性を有するが、今日の全ての Si 集積回路を置き換えるものではなく、シリコンが及ばない分野で適材適所に使われるべきである。シリコンでは動作不可能な過酷環境で動作するエレクトロニクスは、まさに GaN でなければ到達できない領域であり、キーデバイスとなる GaN 集積回路の開発により未開拓領域の開拓を目指す。

#### 3.研究の方法

本研究では3つの指針のもとに研究を進める。(1)イオン注入 GaN の電気的特性評価と GaN デバイスの特性制御、(2) 絶縁体/窒化物半導体構造の形成・評価と、絶縁ゲートトランジスタへの応用、(3) 基本的な集積回路試作と高温環境でのベンチマークデータ取得について検討を行った。

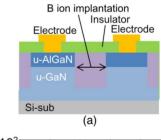
# 4. 研究成果

(1)イオン注入 GaN の電気的特性評価と GaN デバイスの特性制御において、図 1 に示す AIGaN/GaN ヘテロ構造に選択的にホウ素(B)イオン注入を行い、高抵抗領域を形成する素子分離技術を検討した。素子分離技術は集積回路作製の重要な技術の一つであり、隣接するトランジスタの動作が互いに干渉しないよう、また素子間に高電圧が印加されてもリーク電流を抑制できることが求

められる。研究の実施機関で所有するイオン注入装置を用いて、AlGaN/GaN ヘテロ構造に対して 30~kV で  $5x10^{14}~cm^{-2}$ 、および 110~kV で  $7x10^{14}~cm^{-2}$ の複合条件でイオン注入を行い、その後  $1000^{\circ}$ C の短時間熱処理を行うことで注入領域を高抵抗化し、は非注入領域に対して抵抗率を 6~ 桁以上上昇し、従来のドライエッチングによる素子分離と同等の分離特性が得られた。イオン注入による素子分離は、物理的加工を行うドライエッチングによる分離と異なり、素子表面の平坦性を維持できるため、集積回路プロセス上、大きなメリットがある。

素子分離領域のリーク電流のさらなる低減に向けて、AIGaN/GaN/AIGaN のダブルヘテロ構造に対してイオン注入素子分離を検討した。イオン注入はその原理上、イオン注入深さは数 100 nm 程度に限定されるが、注入領域の下を回り込むリーク電流は、下側の高抵抗AIGaN 層を導入することで低減できることを見出した。

さらに、以上の基本的な知見を発展させ AlGaN/GaN ヘテロ構造への選択的イオン中により、任意形状のチャネル形成の検討をした。図 1 (b)に示すように、日注入領域の幅(W)を制御することで W に応じて抵抗値を制御可能であり、集積回路素子の要素の 1 つである折れ曲がり抵抗素子の設計指針を得た。この折れ曲がり抵抗を用いてインバータ回路を検討した結果については後述する。



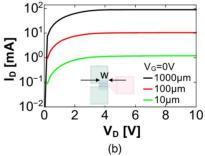


図 1: AlGaN/GaN ヘテロ構造への B イオン注入による(a)素子分離技 術検討構造、および(b)非注入領域幅(W)制御によるチャネル制御の検討。

AIGaN/GaNへテロ構造の電子デバイス応用で 重要な低コンタクト抵抗なオーミック電極形 成についても検討した。AIGaN/GaN では Ti/AI/Ti/Au のような TiAI 系の電極構造を積 層し、熱処理によってヘテロ構造の2次元電子 ガスに電気的なコンタクトを得る手法が広く 使われている。コンタクト抵抗の低減はデバイ スの低消費電力化、高効率化に直結する重要な パラメータであるが、低いコンタクト抵抗を再 現性よく実現する要諦は明らかになっていな い。本研究では c-TLM 法によるコンタクト抵抗 評価と、スパッタリングによりオーミック電極 の深さ方向の材料プロファイルを組み合わせ た評価を行った。図 2(a) に示す c-TLM 法の結 cm<sup>2</sup> のコンタクト抵抗が得られ 果から 10-4 た。この抵抗はこの材料の組み合わせでは標準 的な値であるが、トップデータには及ばない。 その要因を調べるために、四端子による c-TLM 測定した結果を図 2(a)に示す。二端子測定に 比べて抵抗値が下がる傾向が見られ、金属電極 自身に何らかの無視できない抵抗成分が存在 していることを示唆している。これを化学的な 視点から評価するために、電極を削りながら XPS 測定を行った結果を図 2(b) に示す。図 2(b) の AI2p 領域の信号に顕著なように、AI は表面 から内部に向かって酸化しており、電極自身の

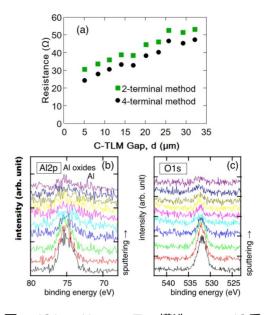


図 2: AlGaN/GaN ヘテロ構造への TiAl 系オーミック電極の(a)コンタクト抵抗評価の例、および(b)XPS による電極の深さ方向プロファイル。

抵抗を高抵抗化していることが示唆された。この問題は蒸着による AI 成膜厚さを厚くすることで低減され、XPS による金属 AI 層が確認されるとともにコンタクト抵抗の低減を示すデータが得られたため、AIGaN/GaNへの TiAI 系オーミック電極形成では AI 膜厚の制御が重要であることが分かった。

(2) 絶縁体/窒化物半導体構造の形成・評価と、絶縁ゲートトランジスタへの応用において、研究代表者らが低ダメージな絶縁膜形成手法として提案している基底状態原子支援化学気相堆積(ASECVD) 技術による絶縁膜質向上とトランジスタ応用を試みた。提案手法は、表面波プラズマで高密度の酸素ラジカルを生成して堆積反応に用いることや、試料表面がイオン種などの高エネルギー粒子に晒されないよう、プラズマ生成領域と堆積領域を空間的に分け、除電板機構によりプラズマで生成された反応性が過度に高いイオン種を除去し、堆積反応を支援するのに十

分低い基底状態の原子種を供給する工夫がされている。この手法は著者らが独自開発したものであり、これまでに有機シリコン材料であるヘキサメ氏状態酸素を用いた SiO2 堆積を実証してきた。得られた SiO2 膜は熱酸化シリコン膜の屈折率 1.46 を示し、FT-IR 測定でも熱酸化法で形成した良質な SiO2 に近い赤外吸収パターンが得られている。ここには示さないが、堆積膜の X 線光電子分光(XPS)測定では Si:O の組成比が 1:2 のストイキオメトリな膜であることが確認され、また、有機シリコン原料からの混入が懸念される炭素(C)のスペクトルは観測されなかった。このように良質な SiO2 膜形成の確証となるデータが得られた。

絶縁ゲートに用いる絶縁膜にとって、高電界でのリーク電流の低減はデバイスの信頼性や寿命に直結するため、電気的特性に注目した膜質改善は重要である。また、集積回路作成工程では試料は様々な熱工程を経ることになるため、膜の熱的安定性がどの程度か知見を得ることは重要である。そこで本研究では、ASECVD 法により n-Si 基板上に SiO2 膜を堆積した 後に Si 基板裏面にオーミック電極となる Ti/AlSi/Ti 電極、SiO2表面に Al ドット電極を形成した MOS キャパシタ構造を作製し、熱処理が膜質に与える効果を電気的特性か

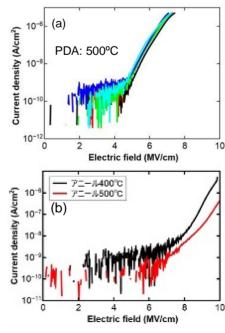


図 3: MOS キャパシタの *J-E* 特性(a)PDA 処理 500°C を施した SiO<sub>2</sub>/Si 構造、およ び(b)SiO<sub>2</sub>/n-GaN 構造。

ら検討した。

図 3 に MOS キャパシタの電流密度—電界 (J–E) 特性を調べた結果を示す。J–E 特性は 5 MV/cm 以下の低電界領域では電流が徐々に増加し、5 MV/cm を超えたところから指数関数的に電流が増加する良質な界面特性を有する  $SiO_2/Si$  MOS キャパシタで観測される振る舞I が見られた。低電界領域で流れる電流は、 $SiO_2$  膜を直接トンネリングする電流成分であり、5 MV/cm を超えたあたりからの顕著な増加は、 $SiO_2$  膜に高電界がかかることによって障壁ポテンシャルの実効的な厚さが減少して電界の関数としてトンネル電流が増加する Fowler-Nordheim 効果によるトンネル電流であることが解析から示された。

堆積膜への熱処理効果について検討した。図 3(a)は堆積後に窒素中で  $500^{\circ}$ C の堆積後熱処理 (post deposition anneal: PDA) を行った試料の J-E 特性の評価結果である。PDA 熱処理を施すことで J-E 特性の素子間ばらつきが抑えられると共に、リーク電流が低減する効果が確認され、PDA 熱処理が堆積絶縁膜の電気的特性の改善に有用であること実証するデータを得た。

ここで検討した Si 基板上堆積膜の結果が窒化物半導体上に SiO $_2$  を堆積した MOS キャパシタに対しても有効であるか検証を行った。図 3(b) の J–E 特性で分かるように、PDA 温度 500°C の試料の方が、PDA 400°C の試料よりもリーク電流が抑えられていることが示された。SiO $_2$ /GaN では 800°C 程度の熱処理で GaN 中の Ga が SiO $_2$  中に外方拡散する現象が報告されている。 GaN 結晶の成長温度が 1000°C 領域であることや、GaN 自体の良好な化学的安定性を考えると、SiO $_2$ /GaN 界面の熱的安定性が何によって支配されるのかは非常に興味深い点である。ここでの結果はそれに応えるものではないが、我々が開発した手法で堆積した膜では、500°C 程度のまでの熱処理は膜特性改善に有効であることが GaN に対しても示された。

さらに、この手法を用いて窒化物半導体ヘテロ 構造である AlGaN/GaN に対して絶縁ゲート構 造を適用したトランジスタを試作した。その電流 -電圧特性を評価した例を図 4 に示す。ゲート制 御を含む良好なト ランジスタ動作が確認され、 提案手法が絶縁ゲート型 の窒化物半導体トラン ジスタの実現に極めて有用であることが実証さ れている。図 4(a)に示すように、このトランジス タは高温200℃においても良好なゲート電圧制御 性を有するトランジスタ動作が確認された。ゲー ト構造に金属/半導体接合を用いたショットキー ゲート構造の場合、高温にすることでリーク電流 が増大したり、金属/半導体界面で合金化など化学 変化が生じてリーク電流が増大したりゲート制 御性が悪化する現象が問題となるが、本構造では SiO<sub>2</sub>を挟んだ MOS ゲート構造であるため、高温 においてもゲートリーク電流は pA 以下の測定限 界レベルに抑止されており、絶縁ゲートを採用す るトランジスタの広範囲温度領域での動作のア ドバンテージを示すことができた。

(3) 基本的な集積回路試作と高温環境でのベンチマークデータ取得において、図 4(a)に示すようにデバイスを高温で動作させることでドレイン電流の明らかな減少が見られている。チャネルの抵抗値の温度変化を評価した結果の例を図 4(b)に示す。チャネル抵抗の温度に対して系統的に増加した。これは高温領域で電子キャリアを散乱させる

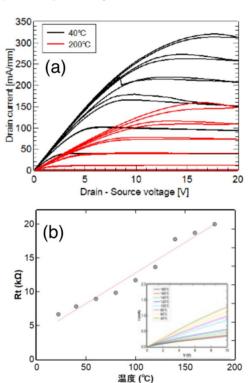


図 4: (a)試作した AlGaN/GaN 絶縁ゲートトランジスタの電流 - 電圧特性と、(b)チャネル抵抗の温度依存性。

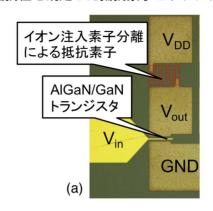
フォノン散乱が支配的となり、実効的なチャネル移動度が低下したことでドレイン電流が減少したと考えられる。この結果は、高温領域で動作するトランジスタのハード的な検討の他に、高温領域ではトランジスタの移動度など設計パラメータが室温領域の値とは異なるため、回路設計にはそのマージンを見込んだデザインが重要になることを示唆している。

以上の要素となる知見を発展させ実際的な集積回路での検討を進めるために、窒化物半導体を用いたインバータ回路の試作と評価を行った。ここでは、図 5(a)に示すような AIGaN/GaN ヘテロ構造に選択的なイオン注入による素子分離技術で抵抗値を規定した抵抗素子とトランジスタ

を組み合わせた抵抗負荷型のインバータ回路 を作製した。インバータ動作を得るにはトラン ジスタのチャネル寸法と負荷抵抗の抵抗値の 組み合わせが重要である。チャネル幅 100 μm のトランジスタを組み込んだインバータに V<sub>DD</sub>=5 V, 10 V の電圧を印加した場合の入出力 特性を図 5(b) に示す。図中の実線は実測値を 示しており、V<sub>DD</sub>=5V の特性において、トラ ンジスタがオン状態である入力 Vinが 0V 近辺 の領域では出力電圧 Vour は 0 V を示し、トラ ンジスタがオフとなる Vin-2.5V 以下の領域で は出力電圧 Vout が 4.8 V を出力する反転(イン バータ)動作が確認された。同様な振る舞いは V<sub>DD</sub>=10V とした場合にも確認されている。図 中の点は、トランジスタを単独動作させた時の I-V 曲線に対して、抵抗素子を単独動作させた 時の特性曲線を負荷線として重ねてプロット して得た動作点からインバータ回路の入出力 特性を得たものである。実践で示すインバータ 回路の入出力特性は、トランジスタ、抵抗を単 独で動作させた時の特性でよく説明できてお り、これらの素子を別々に設計して素子分離技 術などを用いて同一チップ上に作製し、集積回 路動作が可能であることを実証できた。

以上の知見をもとに、より具体的な応用に向けた検討を行うために、超音波モータをパルス態動する駆動回路の検討に取り組んだ。超音波モータの駆動には振幅が80V程度で周波数1MHz程度の高速パルス波を位相を90度ずつずらして発生する必要があり、窒化物半導体の高速動作や、高い電界強度といった物性はシステム全体の小型化に魅力的である。集積回路の設計にあたって、窒化物半導体の高い電子移動度の特性を活かすことや、p形ドーピング技術が十分に確立できていないことを考慮し、回路はnチャネルMOS技術を前提として設計を行った。

半導体集積回路技術は、設計から多岐にわたる 作製 技術、評価・解析の技術、これらを支える理 論の集大成である。そこでまずはシステム全体を 眺めて大まかな設計をした上で、要素技術を検討 していくことにする。オール窒化物半導体を想定 するが、技術的成熟度の高い Si 半導体集積回路で 回路トポロジーの検証を行うために、まずシリコ



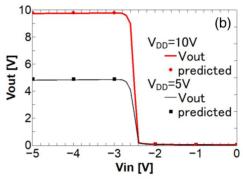


図 5: (a)AlGaN/GaN ヘテロ構造に作製したインバータ回路写真と、(b)入出力特性。

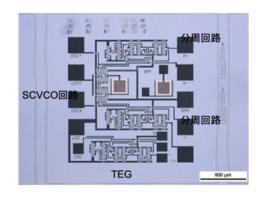


図 6: AlGaN/GaN ヘテロ構造の n チャネル MOS 集積回路の原理検証回路として試作した電圧可変発振回路。

ンのパラメータを用いて設計した回路をシリコン基板上に原理検証回路の作製に取り組んだ。 図 6 に試作したチップの顕微鏡写真を示す。この回路では電圧制御型発振 (SCVCO) 回路と分 周回路からなる位相制御回路を含んでいる。作製にはイオン注入技術を用いたほか、2 層ポリシ リコンを用いたキャパシタを有している。初期的な評価から設計通りのキャパシタが実現でき ていることや、この技術を窒化物半導体に展開する上でのプロセスの課題の探索を進めている。

本研究では窒化物半導体の集積回路応用に向けた検討を行った。素子分離技術や絶縁ゲートトランジスタのための絶縁膜形成などの要素技術の検討を進め、200°Cでの窒化物半導体トランジスタの動作など、高温環境など過酷環境で活躍が期待されるエレクトロニクスに向けた技術を開発し、より実際的な応用に向けた集積回路の設計と試作に進むことができた。システムの構築には要素技術を積み重ねるボトムアップ的なアプローチと、回路設計などトップダウンからのアプローチを並行して進めていくことで開発を俯瞰的に行うことができる。本研究で得た基本的な知見は、その端緒を開くものとして重要な知見が得られた。

#### 5 . 主な発表論文等

「雑誌論文〕 計1件(うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件)

「粧心柵又」 前「什(フラ直が門柵又 「什)フラ国际共有 「什)フラグーフファクセス 「什)	
1.著者名	4 . 巻
Sato Shin-ichiro, Deki Manato, Nishimura Tomoaki, Okada Hiroshi, Watanabe Hirotaka, Nitta	479
Shugo、Honda Yoshio、Amano Hiroshi、Ohshima Takeshi	
2.論文標題	5 . 発行年
Photoluminescence properties of implanted Praseodymium into Gallium Nitride at elevated	2020年
temperatures	
3.雑誌名	6.最初と最後の頁
Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials	7 ~ 12
and Atoms	
掲載論文のDOI (デジタルオブジェクト識別子)	査読の有無
10.1016/j.nimb.2020.06.007	有
オープンアクセス	国際共著
オープンアクセスとしている(また、その予定である)	-

# [ 学会発表] 計7件(うち招待講演 1件/うち国際学会 1件) 1.発表者名

秋良芳樹、赤松龍弥、真下智昭、岡田浩

# 2 . 発表標題

小型アクチュエータ駆動のための窒化物半導体集積回路の検討

#### 3.学会等名

第70回応用物理学会春季学術講演会

# 4.発表年

2023年

#### 1.発表者名

山形 翔, 尾内 亮太, 鹿田 颯吾, 古川 雅一, 若原 昭浩, 岡田 浩

# 2 . 発表標題

基底状態原子支援化学気相堆積法によるシリコン酸化膜の形成及び評価(2)

# 3.学会等名

第70回応用物理学会春季学術講演会

#### 4.発表年

2023年

# 1.発表者名

尾内亮太,山形翔,古川雅一,若原昭浩,岡田 浩

# 2 . 発表標題

基底状態原子支援化学気相堆積法によるシリコン酸化膜の形成及び評価

### 3. 学会等名

第83回応用物理学会秋季学術講演会

# 4.発表年

2022年

1.発表者名 H. Okada, M. Fukinaka, and Y. Akira
2 . 発表標題 Study of Ti/AI/Ti/Au ohmic contacts to AIGaN/GaN heterostructures
3.学会等名 14th Topical Workshop on Heterostructure Microelectronics(国際学会)
4 . 発表年
2022年
1.発表者名
吹中茉生、秋良芳樹、岡田浩
2. 及中福時
2.発表標題 AlGaN/GaNへテロ構造の TiAl 系オーミック電極の基礎的検討
- WARE
3 . 学会等名 電子情報通信学会シリコン材料・デバイス研究会
4.発表年
2022年
4 35±47
1.発表者名 岡田 浩
2、 75 主 4年 日本
2.発表標題 窒化物半導体電子デバイスのプロセス開発と応用
3.学会等名
第76回 CVD研究会(招待講演)
4.発表年
2021年
1.発表者名 川内 智瑛、吹中 茉生、真下 智昭、岡田 浩
2.発表標題 AIGaN/GaNへテロ構造を用いたモノリシック集積回路の検討
A NA A TO TO
3.学会等名 第68回応用物理学会春季学術講演会
4.発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6.研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	橋詰 保 (Hashizume Tamotsu)	北海道大学・量子集積エレクトロニクス研究センター・特任 教授	
	(80149898)	(10101)	

# 7.科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------