

令和 5 年 6 月 16 日現在

機関番号：14303

研究種目：基盤研究(C) (一般)

研究期間：2020～2022

課題番号：20K11727

研究課題名(和文) アナログ集積回路の設計レスシステムの構築～要求仕様を満たす回路構造選択の学習～

研究課題名(英文) Design-less system of Analog integrated circuits - Learning of topology selection satisfying required specifications -

研究代表者

高井 伸和 (Takai, Nobukazu)

京都工芸繊維大学・電気電子工学系・教授

研究者番号：70318905

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：本研究では、Society5.0の一つであるIoTやCPSを支える重要な要素であるアナログ集積回路を、計算機により自動設計する手法を提案した。熟練の回路設計者は、回路の要求仕様からその仕様を満たす回路構造を適切に選択できる。この従来のプロセスを計算機で実現するために、ニューラルネットワークや決定木を用いる手法を提案した。提案手法は、アナログ集積回路の基本回路の一つである演算増幅器に対して仕様と回路構造の関係を学習し、13の要求仕様を入力するとその仕様を満たす適切な回路を選択できる。

研究成果の学術的意義や社会的意義

今までは熟練の回路設計者が経験と知識を持って実施していた要求仕様を満たす回路構造の選択を、計算機で実現できることを示した意義は大きい。提案手法の実現により申請者が目指しているアナログ集積回路の設計レス実現へ一歩近づいた。アナログ集積回路の設計レス環境が実現すれば、電子機器の市場への早期投入や高騰している設計・製造コストの削減など、産業界への波及効果が期待できる。さらに、電子機器設計を容易にし、多種多様な非半導体設計スペシャリストがアイデアで勝負する時代への変革のきっかけとなる。この変革により集積回路設計の裾野が広がり、様々な電子機器の設計が可能になる。

研究成果の概要(英文)：In this study, we have proposed a method to automatically design analog integrated circuits, an important element supporting IoT and CPS, one of Society5.0, by computer. A skilled circuit designer can appropriately select a circuit topology that satisfies the specifications from the required specifications of the circuit. To realize this conventional process by computer, we have proposed a method using neural networks and decision trees. The proposed method learns the relationship between specifications and circuit topologies for an operational amplifier, one of the basic circuits of an analog integrated circuit, and can select an appropriate circuit that satisfies the specifications when 13 required specifications are applied.

研究分野：アナログ集積回路設計、アナログフィルタ設計、アナログ集積回路の自動設計

キーワード：アナログ集積回路 ニューラルネットワーク 決定木 自動設計

# 1 研究開始当初の背景

近年の集積回路はアナログとデジタル信号処理回路が混在したアナ・デジ混載集積回路が主流である。デジタル集積回路の自動設計が確立しているのに対し、アナログ集積回路の自動設計は未だ実現されておらず、研究開発が盛んに行われている。アナログ集積回路設計の難しさは、要求仕様が多数、要求仕様が製品ごとに異なる点、各仕様がトレードオフの関係にある点、製造プロセスが変わると再設計が必要な点である。そのため、従来のアナログ集積回路の自動設計は小規模な回路構造の限られた仕様の範囲でしか成功しておらず、実用的とは言えない。

機械学習は画像の認識に有効であり、広く利用されている。回路構造の機械学習の実現には、回路構造の類似性の計算が必要となる。しかし、回路構造を画像として認識すると、正確に学習できない問題がある。これは、全く同じ回路でもその描き方は様々であるため、同じ回路を異なる構造と誤認識してしまうことに起因する。

申請者は自動設計の高速化のために回路構造の同一判定と類似度計算アルゴリズムを開発した。この同一判定・類似度計算アルゴリズムは回路図の描き方に依存することなくトポロジーを認識できることに着目した。このアルゴリズムを機械学習に適用して、熟練の設計者の勘所を学習する。

# 2 研究の目的

本研究では以下の目標達成を目的とする。

演算増幅器は要求仕様が多く回路構造も複雑になり自動設計が困難である。また、演算増幅器は用いられるアプリケーションによって求められる性能が異なる。それぞれの異なる要求仕様に対して仕様を満たす演算増幅器を自動設計し、複雑な回路構造でありつつ多くのアプリケーションにも対応できることを確認する。

# 3 研究の方法

本研究を進めるにあたり、以下に示す2つの手法を提案した。

- 1. ニューラルネットワークを用いた回路特性と回路構造の学習
- 2. 決定木を用いた回路特性と回路構造の学習

1の実現のためには、図1に示すように入力に回路特性、出力に回路構造となるニューラルネットワークを実装し、回路特性と回路構造の関係を学習する。この実現に最も重要となるのが、学習データの作成である。学習に適したデータを作成するために、良い回路とは何かを定義し、その定義に適合するデータのみを学習に用いる仕組みを実装した。また、この「良い回路の定義」を変えることで、設計したい回路を技術者が自由に決められる。固定の回路構造に対して、シミュレーションにより学習データを作成し学習する。

ニューラルネットワークを用いた回路構造選択は一度学習が完了すると、次回からは回路特性を入力すればそれを満たす回路構造を瞬時に予測でき、回路設計の効率が劇的に向上する。しかし、学習データを越えた回路特性と回路構造の予測は精度が悪くなってしまふ、という問題（ニューラルネットワークの外挿予測）がある。また、ニューラルネットワークを用いた学習の場合、選択された回路の根拠をユーザーが理解できないという問題がある。

そこで2に示す決定木を用いて、回路特性と回路構造の関係の分類問題と捉える手法を提案した。決定木による分類は分類の過程を可視化可能で、選択された回路の根拠を理解できるという利点がある。そのため、学習データを越えた回路特性の入力を検出できるため、学習結果の信憑性が向上する。今回は決定木アルゴリズムの中のうち、アンサンブル学習のXGBoostを用いた。XGBoostは今回の回路の学習のような学習データが少ない問題に対しても高精度となる特徴があり、採用した。

これら2つの手法を用いて、研究目標を実現した。

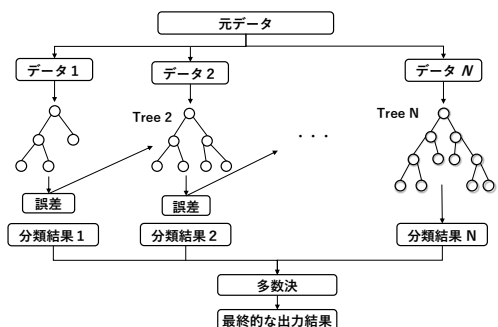
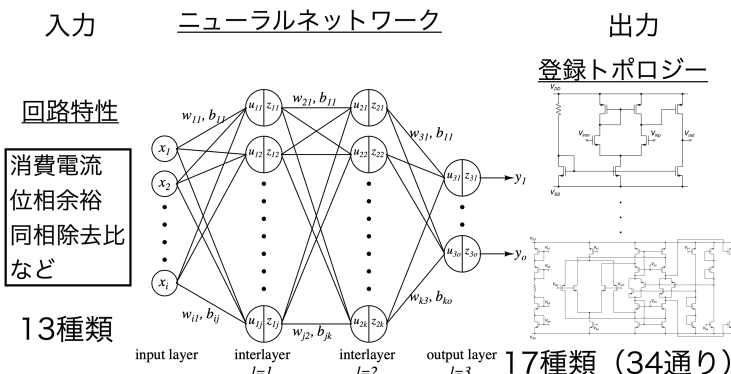


図1: ニューラルネットワークによる回路特性と回路構造の関係の学習モデル

図2: 決定木を用いた回路特性と回路構造の関係の学習モデル

表 1: Simulation results using Neural Network spec. No.1  
 表 2: Simulation results using Neural Network spec. No.2

performance items	goal spec.	simulation results
$I_{dis}$ [A]	5.00E-04	5.07E-04
$P_{dis}$ [W]	1.50E-03	1.52E-03
DC gain [dB]	1.00E+02	1.05E+02
PM [degree]	6.00E+01	5.93E+01
GBP [Hz]	1.08E+06	1.03E+06
SR [V/ $\mu$ s]	1.00E+06	1.00E+06
THD [%]	1.00E+00	4.82E-01
CMRR [dB]	1.00E+02	1.00E+02
PSRR [dB]	1.00E+02	8.76E+01
OVR [%]	1.00E+02	1.00E+02
CMIR [%]	1.00E+02	1.00E+02
OR [ $\Omega$ ]	1.00E+05	1.30E+05
IRN [nV/ $\sqrt$ Hz]	2.00E-03	2.09E-03
Area [mm <sup>2</sup> ]	1.00E-02	1.41E-02

performance items	goal spec.	simulation results
$I_{dis}$ [A]	5.00E-04	5.07E-04
$P_{dis}$ [W]	1.50E-03	1.52E-03
DC gain [dB]	5.00E+01	5.01E+01
PM [degree]	6.00E+01	5.95E+01
GBP [Hz]	1.08E+08	9.82E+07
SR [V/ $\mu$ s]	1.00E+08	9.87E+07
THD [%]	1.00E+00	4.82E-01
CMRR [dB]	5.00E+01	5.04E+01
PSRR [dB]	5.00E+01	5.00E+01
OVR [%]	5.00E+01	3.87E+01
CMIR [%]	7.5E+01	7.47E+01
OR [ $\Omega$ ]	1.00E+02	9.76E+01
IRN [nV/ $\sqrt$ Hz]	2.00E-02	1.78E-02
Area [mm <sup>2</sup> ]	5.00E-04	4.98E-04

## 4 研究成果

### 4.1 ニューラルネットワークを用いた回路特性と回路構造の学習

図 1 の構成を用いて、図 4 に示す 17 種類の回路の回路特性と回路構造の関係を学習した。回路構造の種類は 17 種類であるが、学習データ収集時には 1 種類の回路構造に対して、トランジスタの L 値を長チャネル ( $L = 2\mu\text{m}$ ) と短チャネル ( $L = 0.2\mu\text{m}$ ) の 2 種類の回路を異なる回路として学習データを収集した。

学習データの収集には、遺伝的アルゴリズムを用いた。学習済みモデルが適切に回路を選択できているかを確認するために、2 種類の特徴のある要求仕様を入力し、その要求仕様を満たす回路構造が選ばれるかを確認した。

#### 4.1.1 実行結果 1

目標設定の基準は次のように設定した。

- Rail-to-Rail 構造を含む回路が選択されることを狙い、入出力範囲を 100% に設定 (表 1 で青で表示)
- フォールデッドカスコード構造を含む回路が選択されることを狙い、直流利得、CMRR、PSRR を 100dB に設定 (表 1 で緑で表示)

学習済みモデルに表 1 の goal spec. の要求仕様を入力したところ、図 4(q) の回路の長チャネル ( $L = 2\mu\text{m}$ ) が選択された。図 4(q) の回路は Rail-to-Rail 入力段と AB 級出力段で構成され、「入出力範囲を 100%」を実現する回路であり、狙い通りの回路構造であることがわかる。さらに、図 4(q) の回路はフォールデッドカスコード構造も含んでいて、「大きな直流利得、CMRR、PSRR を実現」可能であり、同様に狙い通りの回路構造が選択されていることを確認した。

#### 4.1.2 実行結果 2

表 1 とは異なる要求仕様の例として、表 2 に示す仕様を入力した。表 2 の仕様の特徴は次のとおりである。

- 低い出力抵抗を実現するスーパーソースフォロア構造を含む回路が選択されることを狙い、出力抵抗を 100 $\Omega$  に設定 (表 2 の青で表示)
- 高いスルーレートを実現する回路構造 (短チャネル ( $L = 0.2\mu\text{m}$ )) が選択されることを狙い、スルーレートを 100MV/s に設定 (表 2 の緑で表示)

学習済みモデルに表 2 の goal spec. の要求仕様を入力したところ、図 4(l) の回路の短チャネル ( $L = 0.2\mu\text{m}$ ) が選択された。図 4(l) の回路の出力段はスーパーソースフォロアで構成され、小さい出力抵抗を実現できる回路であり、狙い通りの回路構造である。また、短チャネルの図 4(l) の回路が選択されたことから、高いスルーレートも期待できる。

### 4.2 課題番号 17K00073 の研究成果との連携

課題番号 17K00073 では固定の回路構造に対して、Q 学習を用いて仕様を満たす回路パラメータを計算機が設計する手法を確立した。この成果と本研究課題の成果 (4.1 節) を連携することで、要求仕様を入力すると「適切な回路構造の選択」から「選択された回路構造の回路パラメータの設計」までのプロセスを計算機で自動で設計可能となる。4.1 節の二つの結果に対して深層強化学習を適用し、仕様を満たす回路パラメータの自動設計を試みた。課題番号 17K00073 では強化学習として Q 学習を用いていたが、今回はその発展形である A3C を用いた。A3C を用いて表 1, 2 の goal spec. の満たす回路パラメータを自動設計し、そのパラメータを用いて回路特性を計算した結果が、それぞれ表 1, 2 の simulation results に示してある。表 1, 2 の結果、それぞれ選択された回路構造が要求仕様を満たしていることが確認できる。以上の結果から、課題番

表 3: Simulation results using Decision Tree Algorithm

performance items	goal spec.	simulation results
$I_{dis}$ [A]	5.00E-04	7.27E-04
$P_{dis}$ [W]	1.50E-03	2.18E-03
DC gain [dB]	8.00E+01	7.62E+01
PM [degree]	5.00E+01	7.57E+01
GBP [Hz]	1.08E+07	1.00E+07
SR [V/ $\mu$ s]	1.00E+07	1.00E+07
THD [%]	5.00E-01	4.82E-01
CMRR [dB]	8.00E+01	8.97E+01
PSRR [dB]	8.00E+01	7.23E+01
OVR [%]	1.00E+02	1.00E+02
CMIR [%]	1.00E+02	1.00E+02
OR [ $\Omega$ ]	1.00E+04	1.13E+04
IRN [nV/ $\sqrt$ Hz]	5.00E-02	3.05E-03
Area [mm <sup>2</sup> ]	1.00E-02	5.04E-03

号 17K00073 と本研究が連携し、回路設計のプロセスを自動化できることを確認できた。

### 4.3 決定木を用いた回路特性と回路構造の学習

ニューラルネットワークを用いた回路選択は、その選択過程が設計者に分からないという欠点がある。この問題を解決するために、回路構造の選択を回路構造の回路特性による分類問題と捉え、回路特性と回路構造の関係の学習に決定木のアルゴリズムである XGBoost を用いた。本アルゴリズムは分類の際にどの回路特性に注目して選択されたかを明確にできる。回路設計者が計算機による自動設計を利用するにあたり、回路選択の根拠を理解できることは大きな利点となる。学習に用いた回路は 4.1 節同様に図 4 に示す 17 回路 (34 種類) を用いた。

学習に用いるためのデータを各回路トポロジーごとに収集し、合計 208,394 個を学習に用いた。この学習データを訓練データ 166716 個 (学習データの 80 %) とテストデータ 41678 個 (学習データの 20 %) に分け、訓練データを用いて学習し、テストデータで正解率を計算したところ、正解率は 98.5 % であった。XGBoost は出力結果に与える影響度合いを出力可能である。図 3 に入力に用いた 13 の特性のうち出力結果に影響を与えた特性の割合を示した。この結果から、今回の学習では出力電圧範囲 (OVR) と同相入力範囲 (CMIR) が分類に大きく寄与したことがわかった。学習済みモデルに対して、表 3 の goal spec. に示す特性を入力した。この特性は直流利得が大きく、出力電圧範囲や同相入力範囲が 100 % と広い特徴がある (青で強調)。この特徴からカスコード接続、rail-to-rail 構造の回路が選択されることを期待した。表 3 の goal spec. の特性を学習済みモデルに入力したところ、65.6 % の確率で図 4(q) の回路が選択された。これは予想通りの結果であった。

### 4.4 課題番号 17K00073 の研究成果との連携

次にこのトポロジーに対して表 3 の goal spec. の仕様を満たすように A3C を実行した。A3C を 24 時間実行した結果が表 3 の simulation results である。目標仕様に対しての一致率の平均は 85 % であり、概ね目標仕様を満たすことができた。しかし、特性によっては仕様を満たせないものもあり、今後の課題である。

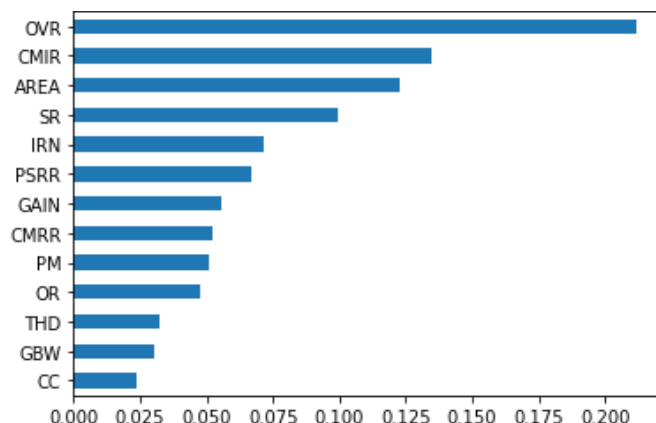
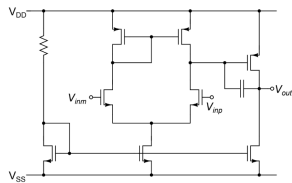
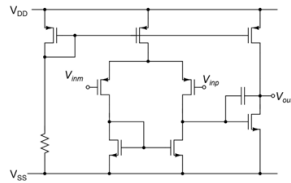


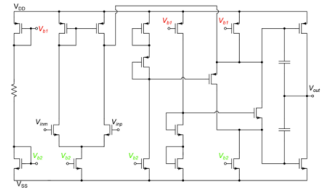
図 3: 入力に用いた 13 の特性のうち出力結果に影響を与えた特性の割合



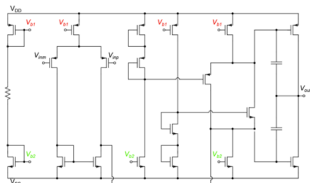
(a) NMOS 基本差動対入力段+ソース接地出力段



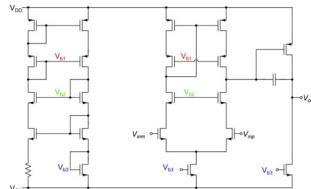
(b) PMOS 基本差動対入力段+ソース接地出力段



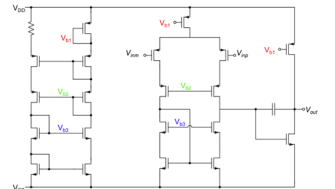
(c) NMOS 基本差動対入力段+ AB 級出力段



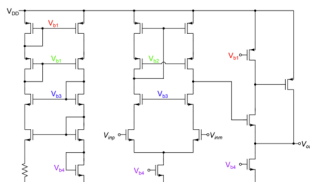
(d) PMOS 基本差動対入力段+ AB 級出力段



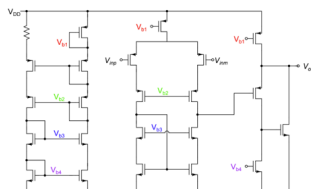
(e) NMOS テレスコピック入力段+ソース接地出力段



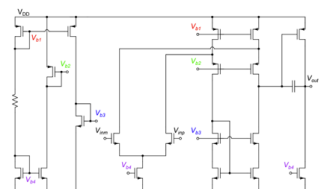
(f) PMOS テレスコピック入力段+ソース接地出力段



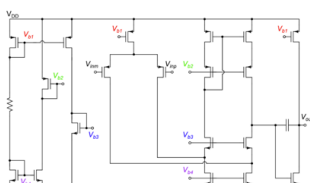
(g) NMOS テレスコピック入力段+スーパーソースフォロア出力段



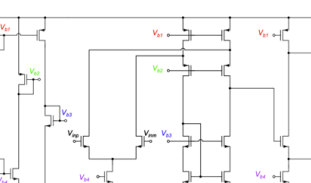
(h) PMOS テレスコピック入力段+スーパーソースフォロア出力段



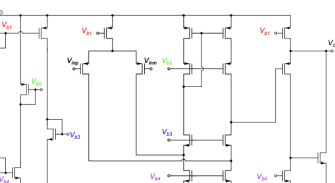
(i) NMOS フォールデッドカスコード入力段+ソース接地出力段



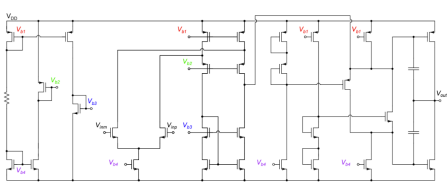
(j) PMOS フォールデッドカスコード入力段+ソース接地出力段



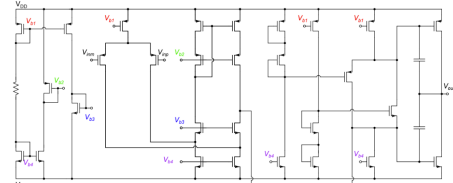
(k) NMOS フォールデッドカスコード入力段+スーパーソースフォロア出力段



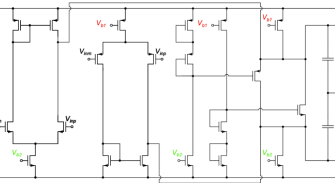
(l) PMOS フォールデッドカスコード入力段+スーパーソースフォロア接地出力段



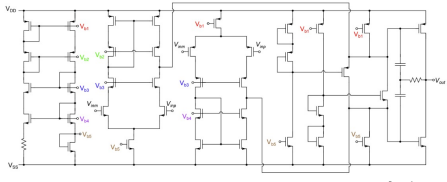
(m) NMOS フォールデッドカスコード入力段+ AB 級出力段



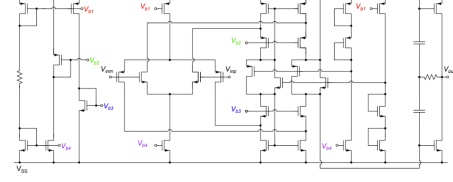
(n) PMOS フォールデッドカスコード入力段+ AB 級出力段



(o) Rail-to-Rail 基本入力段+ AB 級出力段



(p) Rail-to-Rail テレスコピック入力段+ AB 級出力段



(q) Rail-to-Rail フォールデッドカスコード入力段+ AB 級出力段

図 4: 学習に用いた回路

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 0件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 N. Takai	4. 巻 2020
2. 論文標題 Realization of a design-less system for analog integrated circuits	5. 発行年 2020年
3. 雑誌名 Impact	6. 最初と最後の頁 9-11
掲載論文のDOI（デジタルオブジェクト識別子） 10.21820/23987073.2020.1.9	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計13件（うち招待講演 0件 / うち国際学会 4件）

1. 発表者名 運沼 尚也, 高井 伸和, 永嶋 宣彦
2. 発表標題 深層学習による制御対象の伝達関数に依存しない 電源回路用フィルタの回帰分析
3. 学会等名 電子情報通信学会 第34回 回路とシステムワークショップ
4. 発表年 2021年

1. 発表者名 酒向 諒, 高井 伸和
2. 発表標題 既存回路トポロジーの特性学習を用いた素子値探索数削減による自動合成の高速化
3. 学会等名 電子情報通信学会 第34回 回路とシステムワークショップ
4. 発表年 2021年

1. 発表者名 加藤 博己, 高井 伸和, 今野 哲史
2. 発表標題 遺伝的アルゴリズムを用いたゲート接続先の学習による演算増幅器の自動合成
3. 学会等名 電子情報通信学会 第34回 回路とシステムワークショップ
4. 発表年 2021年

1. 発表者名 加藤博己, 高井 伸和
2. 発表標題 遺伝的アルゴリズムとQ学習の組み合わせによる効率的なゲート接続の学習
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2021年

1. 発表者名 運沼尚也, 高井 伸和
2. 発表標題 DQNを用いた所望の制御仕様を満たす電源回路用フィルタの伝達関数の導出
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2021年

1. 発表者名 高井 伸和
2. 発表標題 機械学習を用いたアナログ EDA に関する調査
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2021年

1. 発表者名 N. Hasunuma, N. Takai, N. Nagashima
2. 発表標題 Filter design for Power Supply Circuits Independent of the Transfer Function of the Control Target Using Deep Learning
3. 学会等名 International Analog VLSI Workshop (国際学会)
4. 発表年 2021年

1. 発表者名 H. Kato, N. Takai, S. Konno
2. 発表標題 Automatic Synthesis of Operational Amplifier by Learning of Gate Connections using Genetic Algorithm
3. 学会等名 International Analog VLSI Workshop (国際学会)
4. 発表年 2021年

1. 発表者名 R. Sako, N. Takai
2. 発表標題 Analog circuit synthesis using multi-label classification
3. 学会等名 International Analog VLSI Workshop (国際学会)
4. 発表年 2021年

1. 発表者名 A. Saito, N. Takai, S. Konno
2. 発表標題 Determination of Circuit Topology and Element Values from Desired Characteristics by Machine Learning
3. 学会等名 27th IEEE International Conference on Electronics Circuits & Systems (国際学会)
4. 発表年 2020年

1. 発表者名 永嶋 宣彦, 高井 伸和, 新井 信吾
2. 発表標題 デジタル制御電源のデジタルフィルタの自動設計及び実機評価
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2020年



1. 発表者名 齋藤 彰寛, 高井 伸和, 今野 哲史
2. 発表標題 機械学習による回路トポロジーの選択及び素子値決定
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2020年

1. 発表者名 中島望夢, 高井 伸和, 猿田将大
2. 発表標題 Deep-Q-Networkを用いた回路の素子値最適化の際の変化範囲の拡大
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2020年

〔図書〕 計1件

1. 著者名 高井伸和	4. 発行年 2020年
2. 出版社 CQ出版	5. 総ページ数 10
3. 書名 トランジスタ技術 2020年 10月号	

〔出願〕 計1件

産業財産権の名称 学習装置、回路設計支援装置、学習方法、回路設計支援方法、学習プログラム、及び回路設計支援プログラム	発明者 高井伸和、齋藤彰寛	権利者 同左
産業財産権の種類、番号 特許、2020-187395	出願年 2021年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------