

令和 5 年 6 月 14 日現在

機関番号：13501

研究種目：基盤研究(C) (一般)

研究期間：2020～2022

課題番号：20K11934

研究課題名(和文) 決定的並列充足可能性判定器に関する研究

研究課題名(英文) A study on deterministic parallel SAT solvers

研究代表者

鍋島 英知 (Nabeshima, Hidetomo)

山梨大学・大学院総合研究部・准教授

研究者番号：10334848

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：命題論理の充足可能性判定器(SATソルバー)は、システム検証やプランニング、スケジューリングなど様々な応用領域における基盤推論技術として幅広く利用されている。SAT問題の高速な求解にむけて、本研究では共有メモリ環境向けの決定的並列SATソルバーのためのフレームワークを実現した。これは並列SATソルバーの実用化に向けて重要となる再現性のある挙動を担保しており、また既存の高速な逐次SATソルバーを少ない手間で並列化することが可能である。我々の開発したソルバーは2022年の国際SAT競技会の並列部門の複数カテゴリで入賞しており、非決定的並列SATソルバーに匹敵する性能を達成できることを示している。

研究成果の学術的意義や社会的意義

SAT問題の高速解法は、それを推論技術として利用する様々な応用分野にとって重要である。これまで並列SATソルバーのほとんどは求解の効率を優先するため再現性のある挙動の担保ができていなかった。これは例えばシステム検証では実行のたびに異なる不具合が見つかることを意味し、実応用に向けた課題の1つであった。我々が開発した決定的並列SATソルバーのためのフレームワークは、再現性のある挙動を担保しつつ、既存の逐次SATソルバーを少ない手間で並列化することが可能である。このフレームワークは既存の非決定的並列SATソルバーに匹敵する性能を示しており、並列SATソルバーの実用化にむけた基盤となるものといえる。

研究成果の概要(英文)：SAT (propositional satisfiability testing) solvers are widely used as a fundamental reasoning technique in various application domains such as system verification, planning and scheduling. In order to achieve fast solving of SAT instances, this research has developed a framework for a shared-memory deterministic parallel SAT solver. It ensures reproducible behaviour, which is important for the practical application of parallel SAT solvers, and allows existing fast sequential SAT solvers to be parallelised with less effort. Our solver has won prizes in several categories in the parallel track of the International SAT Competition 2022, showing performance comparable to non-deterministic parallel SAT solvers.

研究分野：制約充足処理系の設計・開発

キーワード：充足可能性判定(SAT)問題 SATソルバー 決定的並列SATソルバー

1. 研究開始当初の背景

命題論理の充足可能性判定問題である SAT は、与えられた命題論理式の充足可能性を判定する問題であり、計算機科学における最も基本的かつ本質的な組合せ問題である。SAT 問題を解くソルバーの飛躍的な性能向上は、SAT を利用した問題解決手法の実用化を促し、例えばシステム検証やプランニング、スケジューリング、ソフトウェアの依存性解析、制約充足問題などの様々な応用領域における基盤推論技術として SAT ソルバーが活用されている。例えば制約充足問題・制約最適化問題を解くソルバーの性能を競う XCSP3 競技会では、SAT を利用したソルバーが、伝統的なアーク整合性維持法に基づくソルバーを抑えて優勝しており、SAT を利用した問題解決手法の有効性を示す一例となっている。

SAT ソルバーの求解能力の向上は、SAT を利用した問題解決手法全体の性能向上に寄与するため重要である。そのための手法の 1 つが、複数の SAT ソルバーを並列に実行することで SAT 問題を協調的・競争的に解く手法、すなわち並列 SAT ソルバーであり、現在その研究開発が活発に進められている。並列 SAT ソルバーには大別して探索空間分割型とポートフォリオ型の 2 種類がある。前者の探索空間分割型は、論理式中の命題変数の一部について各ソルバーが異なる真偽値を仮定することで探索空間を分割する。後者のポートフォリオ型は複数の異なる逐次型 SAT ソルバーに同一の問題を競争的に解かせる手法である。いずれの手法においても性能向上のために不可欠な技術として、ソルバー間での学習節の共有がある。これはあるソルバーにおいて探索が失敗した場合に、その原因となった部分的な真偽値割当が他ソルバーにおいて発生することを防ぐ協調的な仕組みである。

並列 SAT ソルバーは求解能力向上のための有効な手段ではあるが、現在利用可能な並列 SAT ソルバーのほとんどは実行結果に再現性のない非決定的並列 SAT ソルバーであり、安定性・頑健性に欠けるという問題を持っている。すなわち同じ問題を与えた場合でも実行のたびに求解時間が異なり、短時間で求解できる場合もあれば、何時間待っても求解できないこともしばしばである。また充足可能な問題では実行のたびに異なる真偽値割当が出力され、充足不能な問題ではその証明が毎回異なる。例えばシステム検証やスケジューリングでは、実行のたびに異なるバグやスケジュールが出力されることを意味する。すなわち興味深いバグやスケジュールを発見したとしても、それが再度見つかる保証はない。並列 SAT ソルバーを推論エンジンとして組み込んだソフトウェアを製品化した場合、実行のたびに挙動が異なることは一般の利用者にとっても使いづらいものとなり、もしソフトウェアに不具合が発生したとしてもそれが再現されないとすれば、開発コストの増大をもたらすであろう。

この並列 SAT ソルバーにおける非決定的振る舞いの原因は、ソルバー間で学習節を交換する順序が実行のたびに異なることにある。ソルバー間での学習節の交換は求解中に頻繁に実行されるが、システム負荷や CPU キャッシュミス等の要因によってその交換順序が異なってくる。学習節の交換順序を決定的にするためには、交換のたびにソルバー間で同期をとればよいが、同期のたびに待ち時間が発生するため求解性能の低下をもたらす。

2. 研究の目的

本研究の目的は、応用領域での並列 SAT ソルバーの活用を進めるために、安定性・頑健性のある決定的並列 SAT ソルバーの開発と、その高速化・高機能化にある。並列 SAT ソルバーのほとんどは非決定的であるため、高速な決定的並列 SAT ソルバーの実現を図ることは本研究の大きな特徴である。決定的並列 SAT ソルバーを実現する簡便な手法として、Hamadi らは、ソルバー間で学習節を交換する前後に同期をとる手法を提案している。しかし学習節の交換は頻繁に行われるため、この手法では、実行時間に対して同期の待ち時間が占める割合が高く、また並列に実行するソルバー数が増えるにつれてその割合も増大する傾向にある。我々はこれまでに、高速な決定的並列 SAT ソルバーを実現するための基盤技術として、学習節の交換に一定範囲の遅延を許す遅延学習節交換法を考案し、その評価を進めている。この手法では、学習節交換間隔の揺らぎをある程度吸収することが可能となるため、学習節の交換順序を決定的するために生じる待ち時間を大きく削減することができる。本研究では、この遅延学習節交換法をベースとして、決定的並列 SAT ソルバーのさらなる高速化と高機能化に取り組む。

並列 SAT ソルバーとは対照的に、逐次型の SAT ソルバーのほとんどは決定的である。ソルバーの挙動が決定的であれば、その性能改善のための技術開発や評価のコストを抑えることが可能となる。逐次ソルバーは近年飛躍的な性能向上を果たしてきたが、その決定的な挙動は性能向上のための研究開発の一助になってきたと考えられる。また SAT を利用した問題解決手法においても、ソルバーの決定的な振る舞いは、簡便で明快な利用しやすさを提供し、その発展に寄与してきたといえる。決定的な並列 SAT ソルバーに関する研究は、Hamadi らの研究を除いてほとんど存在せず、本研究で実現する高速で決定的な並列 SAT ソルバーは、並列 SAT に関する研究開発の基盤となるとともに、SAT を基盤推論技術として利用する様々な応用分野の発展に大きく寄与できる可能性がある。

3. 研究の方法

(a) 遅延学習節交換法の精練

決定的並列 SAT ソルバーの簡易な実現方法は、一定の間隔のたびにすべてのソルバーが同期をとり、同期後に学習節を交換することである。この“一定の間隔”は、例えば矛盾回数等の再現性のある指標に基づき定義する必要があるが、実際には実行時間にある程度の揺らぎが発生し、これが同期の待ち時間の要因となる。遅延学習節交換法では学習節の交換に一定範囲の遅延を認める。これにより学習節の交換は遅れるものの、学習節交換間隔の実行時間の揺らぎを吸収可能となる。またすべてのソルバーが同期をとる必要はなくなり、最も速いソルバーのみが限度を超えて遅いソルバーを待つだけでよくなる。本研究ではこの手法のさらなる精練化に取り組む。学習節交換の遅延は少ないほうが望ましいため、問題や求解状況に応じて、許容可能な遅延の幅を適応的に制御する方法について検討する。また交換間隔の実行時間を高精度に推定する手法についても検討する。

(b) 多様性と集中性のバランスをとる探索戦略の検討

並列 SAT ソルバーでは、各ソルバーにおける探索の多様性を確保しつつも、輸出入した学習節を活用するため、ある程度近い空間を集中的に探索することがよいと考えられている。しかし非決定的並列ソルバーでは、各ソルバーの探索空間を把握して制御することは、そもそも再現性がないため困難である。一方、決定的並列ソルバーであれば探索戦略の制御も比較的容易であるため、探索の多様性と集中性のバランスをとる手法について検討する。

(c) 多数 CPU コア環境における学習節交換戦略の検討

並列実行するソルバー数が増加すれば、各ソルバーが輸入する学習節の数も比例して増大する。学習節は探索空間を絞りこむための重要な情報であるが、その数が増大することは処理速度の低下をもたらす。そこで共有すべき有用な学習節を選別するため、例えば階層的な交換順序を設けて勝ち残り式に選別するなどの手法について検討する。

(d) インクリメンタル SAT や充足不能コア抽出機能等の実現

SAT ソルバーは与えられた命題論理式の充足可能性を判定するだけでなく、部分真偽値割当により表される仮説の下で学習節を再利用しながら求解を繰り返すインクリメンタル SAT や、充足不能な(極小)節集合を表す充足不能コアの抽出等の発展的な機能が応用分野によっては求められる。そこで決定的な挙動を確保しつつ、これらの機能を実現する手法について検討する。

(e) 多数 CPU コア環境におけるメモリ削減手法の検討

矛盾からの節学習手法に基づく現在の SAT ソルバーは、大規模であり難しくない SAT 問題を解くことを得意としている。並列 SAT ソルバーにより難しい問題に対する求解能力は向上しているが、その一方でメモリ消費量は並列実行数に応じて増大しており、大規模な SAT 問題では並列実行数を抑える必要がしばしば生じる。メモリ消費量増大の要因は、各ソルバーが与えられた命題論理式のコピーと学習節を保持するデータベースを持つためである。そこで使用頻度が低い節をソルバー間で共有して保持するなどのメモリ使用量の削減手法について検討する。

(f) 決定的並列 SAT ソルバーのための汎用的枠組みの検討

非決定的な並列ソルバーにおいては、任意の逐次型 SAT ソルバーを低コストで組み込み可能な汎用的並列 SAT ソルバーのための枠組みがいくつも提案されている。決定的並列 SAT ソルバーに関する研究開発を促進する基盤を実現するため、様々な逐次型 SAT ソルバーを低コストで決定的並列 SAT ソルバーに導入可能にするための汎用的なインターフェイスについて検討する。

4. 研究成果

(a) 遅延学習節交換法の精練

遅延学習節交換法では、各ソルバーの求解動作を一定間隔のピリオドで区切り、スレッド間のピリオド差が一定の範囲内であれば待ち時間なく学習節を交換可能である。遅延学習節交換法を効果的に動作させるためには、各ソルバーにおける各ピリオドの実行時間をできる限り等しくし、かつそれを再現可能な指標に基づき実現する必要がある。我々は、ソルバーのソースコードにおけるブロック(複合文)ごとの実行回数を算出し、その値から実行時間を推定する手法を提案・実装した。従来の矛盾回数やリテラルアクセス回数に基づく手法は実装しやすいもののピリオドの実行時間には大きなゆらぎが生じていた。本手法は実装に手間はかかるものの、ピリオドの実行時間を高精度で推定することが可能である。この手法を実装した我々の決定的並列 SAT ソルバーは、2020 年度に開催された国際 SAT 競技会の並列ソルバー部門において 3 位に入賞している。同部門に参加した 14 種類の並列ソルバーのほとんどは再現性のある動作を保証しておらず、我々のソルバーが 3 位に入賞できたことは、再現性を担保しつつも無駄がない効率的なアルゴリズムを実現できたことを実証している。

(b) 多様性と集中性のバランスをとる探索戦略の検討

並列 SAT ソルバーにおける探索の多様性の確保を目的として、異なる種類の逐次 SAT ソルバ

一を決定的に並列動作させる手法について検討を行った。ソルバーごとに得意とする問題は一般的に異なるため、競争的に並列実行することで求解可能な問題群を拡大できると考えられる。評価実験の結果、求解面ではベースとなる各ソルバーの特性を反映できているものの、異なる種類のソルバー間での再現性の担保のための待ち時間が大きく増大する課題が生じた。例えばベースソルバーが同系等のソルバー (MiniSAT と Glucose) であり、ピリオド長の算出方法が同一であったとしても、無視できない待ち時間の増大がみられた。

この原因の特定と改善策の検討については今後も継続して検討を進める予定である。もしその解消が困難であれば、異種ソルバー間での通信を抑制する方法についても検討を進める。

(c) 多数 CPU コア環境における学習節交換戦略の検討

並列 SAT ソルバーでは、ワーカー間で交換する学習節を長さや LBD 値などの学習節評価尺度に基づき選別する手法が一般的である。しかし SAT 問題によって獲得される学習節の長さや数、質は問題ごとに大きく異なるため、適切な基準を事前に決定することは難しい。そこで本研究では、非決定的並列 SAT ソルバー HordeSAT が採用している常に一定量のリテラルを交換する戦略について検討を行った。

HordeSAT は非共有メモリ環境を対象とした分散並列 SAT ソルバーであり、その学習節交換戦略は通信コストを抑えるために 1 パケットで送受信可能な量の学習節を交換する。このとき、輸出ペースよりも学習節の生成が早ければ輸出基準を厳しくし、逆の場合は緩くする。我々が対象とする共有メモリ環境においては通信コストは大きな問題とはならないものの、輸出基準を動的に制御する戦略が多様な問題において常に一定量の情報交換を可能にする点が、事前の輸出基準の決定を不要とするため、検討を行った。

予備評価の結果、従来の輸出基準を事前に定める方法では学習節交換が発生しない SAT 問題や、逆に大量の学習節交換が発生する SAT 問題においても、輸出基準を動的に制御することで一定の情報交換が可能になることを確認した。またこの学習節交換戦略により求解性能の向上が得られることも確認した。

(d) インクリメンタル SAT や充足不能コア抽出機能等の実現

本研究では再現性を担保しながらインクリメンタル SAT を実現する方法について検討を行った。インクリメンタル SAT は、最適化問題などの求解によく用いられる解法であり、またインクリメンタル SAT のための API を規定する IPASIR インターフェイスも提案されており、多くの逐次 SAT ソルバーにおいてサポートされている。

決定的並列 SAT ソルバーでは、複数ワーカーが同時に解を発見した場合でも、再現性を担保するためにすべてのワーカーが解が見つかった最小ピリオドに到達するまで実行を継続する。インクリメンタル SAT では SAT ソルバーを繰り返し実行するため、たとえ解を発見できなかったワーカーであっても、次の実行に備えて再現性を確保しておく必要がある。そこで解を出力しないワーカーは、遅延学習節交換法における遅延の許容値まで探索を進めておく。これにより再現性を担保することが可能になる。

この手法を IPASIR インターフェイスとともに我々の決定的並列 SAT ソルバーに実装した。これによりインクリメンタル SAT を利用する既存のツールへの導入が容易となる。

(e) 多数 CPU コア環境におけるメモリ削減手法の検討

並列 SAT ソルバーにおいては、通常各ワーカーが与えられた SAT 問題のコピーを持ち、また学習節もそれぞれが保有するため、多数コア環境においてはメモリ消費量が大きな問題となる。そこでメモリ削減のための試みとして、逐次 SAT ソルバーにおいて SAT 問題中に出現する規則的な構造を活かして圧縮し、それを展開することなく解く手法について検討を行った。

順序符号化は制約充足問題 (CSP) を SAT に変換する代表的符号化であり、SAT 型 CSP ソルバーの多くで利用されている。我々はこの順序符号化に着目し、この符号化が生み出す規則的な構造を利用して SAT 問題を圧縮する手法を考案した。具体的には同じ長さの隣接節同士のリテラル間の増分が一定の場合に、それらをひとまとめにした表現を与える。これはランレングス符号化に似たシンプルな圧縮法であるものの、節数が 1000 万以上の問題では 20% に、1 億以上の問題では 2% にまで圧縮できることを確認した。

また求解においては、圧縮した節集合を展開することなく、圧縮表現上で単位伝播を実現する手法を検討・実装した。評価実験の結果、圧縮しない通常のソルバーと比較して、使用メモリ量を大きく削減するとともに、求解速度が向上し、求解性能を改善できることを確認した。

(f) 決定的並列 SAT ソルバーのための汎用的枠組みの検討

並列 SAT ソルバーにおいて動作の再現性を保証することは、SAT の応用や並列ソルバー自体の研究開発にとって重要である。しかし再現性のある動作を保証し、かつ効率的に動作する決定的並列 SAT ソルバーを実現することは容易ではなく、実際多くの並列 SAT ソルバーは非決定的である。

我々は遅延節交換法に基づく決定的並列 SAT ソルバーの構築を支援するフレームワーク DPS の研究・開発を進めている。これは、ベースとなる逐次ソルバーに対して、入力節の登録、学習節の輸入・輸出用のインターフェイスに加え、再現可能な動作を実現するためにピリオド更新処

理の定期的実行とメモリアクセス回数のカウント処理を追加することで再現性のある並列 SAT ソルバーを構築可能なフレームワークである。このフレームワークを利用することで、MiniSAT 系の C++ で記述されたソルバーであればおおよそ 300 行程度のコードを追加するだけで決定的並列 SAT ソルバーを実現できることを確認した。また C で記述されている最新の SAT ソルバーの 1 つ Kissat についても、C++ と C の間のインターフェイスを含めて 800 行程度で実現できることを確認した。

DPS に Kissat を組み込んだ決定的並列 SAT ソルバー DPS-Kissat は、再現性のある挙動を担保しつつも SAT2022 競技会の並列トラックにおける複数部門において 2 位・3 位に入賞する成果を収めており、遅延学習節交換法および我々のフレームワークによって、非決定的並列 SAT ソルバーに匹敵する決定的並列 SAT ソルバーが構築可能であることを実証している。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Nabeshima Hidetomo, Inoue Katsumi	4. 巻 12178
2. 論文標題 Reproducible Efficient Parallel SAT Solving	5. 発行年 2020年
3. 雑誌名 Theory and Applications of Satisfiability Testing - SAT 2020, LNCS	6. 最初と最後の頁 123 ~ 138
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/978-3-030-51825-7_10	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計6件（うち招待講演 0件 / うち国際学会 4件）

1. 発表者名 早瀬 悠真, 鍋島 英知, 盧 暁南
2. 発表標題 圧縮した SAT 問題における高速な単位伝播手法
3. 学会等名 第35回人工知能学会全国大会
4. 発表年 2021年

1. 発表者名 Takehide Soh, Hidetomo Nabeshima, Mutsunori Banbara, Naoyuki Tamura, Katsumi Inoue
2. 発表標題 Towards CEGAR-Based Parallel SAT Solving
3. 学会等名 Pragmatics of SAT (国際学会)
4. 発表年 2021年

1. 発表者名 早瀬 悠真, 鍋島 英知
2. 発表標題 大規模な SAT 問題を圧縮したまま解くソルバーの開発
3. 学会等名 第34回人工知能学会全国大会
4. 発表年 2020年

1. 発表者名 Hidetomo Nabeshima, Tsubasa Fukiage, Yuto Obitsu, Xiao-Nan Lu, Katsumi Inoue
2. 発表標題 DPS: A Framework for Deterministic Parallel SAT Solvers
3. 学会等名 Pragmatics of SAT (国際学会)
4. 発表年 2022年

1. 発表者名 Hidetomo Nabeshima, Katsumi Inoue
2. 発表標題 ManyGlucose 4.1-60
3. 学会等名 The international SAT competition 2020 (国際学会)
4. 発表年 2020年

1. 発表者名 DPS-Kissat
2. 発表標題 Hidetomo Nabeshima, Tsubasa Fukiage, Yuto Obitsu, Xiao-Nan Lu, Katsumi Inoue
3. 学会等名 The international SAT competition 2022 (国際学会)
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

ManyGlucose 4.1-60 https://github.com/nabesima/manyglucose-satcomp2020 DPS-Kissat https://github.com/nabesima/DPS-satcomp2022
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------