

令和 5 年 5 月 31 日現在

機関番号：12501

研究種目：若手研究

研究期間：2020～2022

課題番号：20K14779

研究課題名（和文）Ge MOS界面の遅い準位特性解明と密度低減手法確立更なる次世代デバイスへの応用

研究課題名（英文）Study of slow trap characteristics and reduction methods of its density in Ge MOS interfaces for future devices.

研究代表者

柯 夢南（Ke, Mengnan）

千葉大学・大学院工学研究院・助教

研究者番号：40849402

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：更なる微細CMOS技術を実現するため、高性能Ge MOSFETの実現が期待されている。しかし、Ge MOS界面近傍に存在する大量な遅い準位が原因で、信頼性は大きな問題となっている。本研究は遅い準位の電界と時間依存性を調査し、 V と t の加速因子を世界初で提出した。また、正孔と電子の遅いトラップを区別するための新しい測定手順が提案され、Al₂O₃/GeO_x/p-Geゲートスタックに適用された。強い反転ゲートバイアスで明らかな電子遅い準位は、Nst-Eoxの関係を理解する上で非常に重要であり、有効な電子と正孔の遅い準位密度は、それぞれp-Ge MOS界面で評価出来るようになった。

研究成果の学術的意義や社会的意義

近年Si CMOS微細化による種々の物理的限界の顕在化が問題となっており、Siよりも移動度の高い半導体を利用して電流駆動力を向上させるMOSトランジスタ技術に注目が集まっている。Geは、高い電子移動度と正孔移動度を持ち、かつSiプラットフォームとも比較的親和性が高いことから、未来のチャネル材料の最優先候補として考えられている。本研究は、Geを用いた高性能のトランジスタ実現のために必須の高品質Ge MOS構造の形成技術の提案と物理的機構の解明について研究を進めてきた。特に、Geトランジスタの閾値変動の起源と考えられている界面近傍の遅い準位の物理的機構の解明とその密度の低減手法の提案した。

研究成果の概要（英文）：(1)We have evaluated the densities of existing, generated electron slow trap and hole trap density for Al₂O₃/Y₂O₃/GeO_x/n-Ge MOS interfaces with post-PO and Al₂O₃/GeO_x/n-Ge MOS interfaces with post- and pre-PO. The pre-PO and Y₂O₃ insertion have been found to reduce existing and generated slow electron traps, respectively, contributing to the reduction in total slow trap density.

(2)We have discriminated the different types of slow traps in Ge nMOS interfaces in large Eox. It was found that only existing slow traps are responsible in low Eox, while generation of slow traps and hole trapping additionally occur in high Eox.

(3)A new measurement procedure to discriminate hole and electron slow traps has been proposed and applied to Al₂O₃/GeO_x/p-Ge gate stacks. Both electron and hole slow trap densities have been successfully evaluated in p-Ge MOS capacitors The electron slow traps, evident under the strong inversion condition, is very important in understanding the Nst-Eox relationship.

研究分野：電気電子材料工学

キーワード：MOS界面 ゲルマニウム MOSFET 遅い準位 界面準位

1. 研究開始当初の背景

(1)1947年にベル研究所においてトランジスタが発明されて以来、半導体は、コンピュータ、家電製品や電気通信などの我々の生活に密接する技術分野に貢献するだけでなく、社会全体に大きな経済効果をもたらしてきた。急速な発展を遂げた半導体産業は今もなお成長を続けており、2021年末の市場規模は5500億ドル以上に達している。半導体の発展を支えてきたコア技術は、MOSFETの微細化である(図1)。MOSFETは、1960年に発明されて以降、デバイスの各パラメー



図1 トランジスタ微細化ロードマップ。(IRDS2021より)

タを同じ割合で縮小させることでデバイスの高性能化を実現してきた。この微細化はスケーリング則と呼ばれており、これによって、今日の半導体回路の高密度集積化、高速化、低消費化、および機能当たりのコスト低下などが達成されている。しかし、近年、Si CMOSの微細化から種々の物理的限界が顕在化してきており、Siよりも移動度の高い半導体を利用して電流駆動力を向上させるMOSトランジスタ技術に注目が集まっている。図1に示した予測によると、2028年のMOSトランジスタのチャンネル長は約2nmで飽和することになるが、特にAI、IoTなどの技術分野の用途に適応するには、さらなる高性能デバイスの実現が求められており、集積回路の動作速度を $10^4 \sim 10^5$ 倍程度改善する必要がある。そのため、高移動度チャンネル材料の導入、チャンネル膜厚極薄化や3次元集積技術などが期待されている。

(2)Geは、高い電子移動度と正孔移動度をもち、かつSiプラットフォームとも比較的親和性が高いことから、未来のチャンネル材料の最優先候補と考えられている。しかしながら、MOS界面品質改善や、低抵抗・低リークS/D、高品質・極薄Geチャンネル層形成、集積化技術などの実現に関する様々な問題があり、中でも、界面特性の優れたゲートスタックの実現は最も解決すべき問題の一つである(図2)。提案者は、低密度の界面準位、遅い準位、および低いSiO₂膜換算膜厚(EOT)を備えた高品質のMOS界面の実現が、

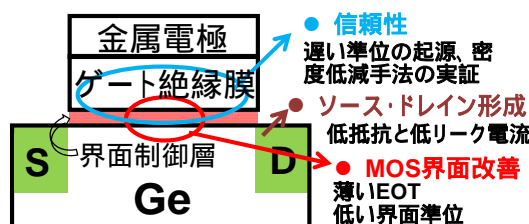


図2 Ge-MOSトランジスタの技術課題。

このようなGe-CMOS性能を向上させる上で避けては通れないと考えられる。近年、Geトランジスタに関するほとんどの研究は、高い移動度や微細化構造などに焦点が当てられてきた。しかしその一方で、GeMOSFETにとって非常に重要な欠点である信頼性の低さは解決されてない。現時点でもSiMOSFETを明確に突破する極薄EOT、高信頼性、高移動度を揃えるGeMOSFET技術は提案されていない。特にGe nMOSの場合は、pMOSより遅い準位密度が一桁高く、ほとんど使えないのが現状である。また、この遅い準位が、信頼性に加えて、2つの面でチャンネルの移動度に影響を与える可能性がある。一つは、キャリア捕獲に関連するもので、遅い準位によりチャンネル電流が減少することでチャンネル電流から導出される実行移動度の定量的評価が難しくなるものである。もう一つは、キャリアの捕獲がクーロン中心の増加につながり、クーロン散乱の影響を大きくさせ、移動度が劣化するものである。したがって、高性能・高信頼性GeMOSFETを実用化するため、バイアス温度不安定性(BTI)の原因となる遅い準位密度を減らし、信頼性を大幅に改善することが非常に重要である。

2. 研究の目的

高性能・高信頼性GeMOSFETの実現における大きな課題は、GeMOSゲートスタック構造の信頼性向上であり、特にトランジスタの閾値変動の起源と考えられている界面近傍の遅い準位の物理的機構の解明とその密度の低減手法の提案である。本研究は、極薄のゲート絶縁膜かつ低欠陥のMOS界面を実現するための新しいGeMOS形成技術である原子層堆積法やプラズマ酸化法などを用い、堆積する種々の誘電体薄膜を有する新規のGeMOS界面プロセスを提案・実証すると共に、遅い準位の物理的起源の解明や、遅い準位の新しい評価技術と低減手法などの提案・確認する。

3. 研究の方法

遅い準位の起源を理解するため、その評価する方法が非常に重要なことである。本研究代表者は、C-V曲線のヒステリシスを使用して遅い準位密度(ΔN_{st})を評価することをAl₂O₃/GeO_x/GeMOS界面明確に研究した。

4. 研究成果

(1) 図3に、プラズマ前酸化プロセスを用いた厚さ1.5nmのAl₂O₃/GeO_x/Geのプロセスフローと構造を示される。Ge基板を前処理した後、酸素プラズマ2sにより、極薄GeO_x界面層を生成され、速やかにALDで1.5nm Al₂O₃を堆積した。その後、窒素環境で30分アニールした後、100nm厚みの金正面電極とアルミニウムバック電極を蒸着する。

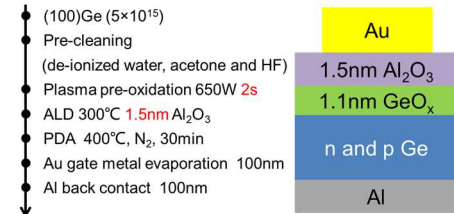


図3 前酸化法により1.5nm Al₂O₃/GeO_x/Geのプロセスフロー。

次に、図4(a)を示した同じV_{start}と変化するV_{stop}を使用したサイクルスキャン法でn, p-Ge MOS界面を測定した。n typeの場合、V_{min}を固定し、V_{max}を増加して、逆にp typeの場合、V_{max}を固定し、V_{min}を低減する。図4(b)は電界を変化しているn-Ge MOS界面のC-V曲線を示した。電界が増加する時、C-Vヒステリシスも大きくなる。図4(c)はV_{FB}値の変化量を計算し、 $qN_{st}=C_{ox}V_{hys}$ および $E_{ox}=(V_{max}-V_{FB})/CET$ の式で図4(d)のようなN_{st}-E_{ox}依存性をプロットできる。電界が増加する時、有効遅い準位密度が高くなることをはっきりする。我々は、この現象を理解するため、初めて $N_{st} = AE_{ox}^{AF(V)}$ 式を提出した。このAF(V)は電界により遅いトラップ加速因子(Acceleration factor)として定義される。今まで、世界中で遅い準位密度の低減だけを議論するが、このAF(V)低減や影響なども研究する価値が大きいと思う。電界によってトラップ現象がある一方、研究代表者は時間によって遅い準位が更にトラップされる現象も発見した。図5(a)はその測定方法を示した。n-Ge MOSキャパシタに対して、一定なV_{min}時間と変動するV_{max}時間でC-Vを測定する。V_{max}のホールド時間は1から999秒のC-V曲線を図5(b)で示した。時間は長いほど、C-Vヒステリシスも大きくなる。上記と同様に、図5(c)から電子遅い準位密度を計算し、5(d)のような、遅い準位密度とホールド時間の依存性をプロットすることができる。明らかに、一定な傾きで増加現象が観測される。この現象を理解するため、我々も初めて $N_{st} = Bt^{AF(t)}$ 式を提出した。このAF(t)は時間による遅いトラップ加速因子として定義される。電界と時間の複合効果を考慮すると、電界と時間トラップ現象の相互作用はまだ詳しく理解してない、 $N_{st} = AE_{ox}^{AF(V)}$ と $N_{st} = Bt^{AF(t)}$ 統一するため、更に研究する必要がある。

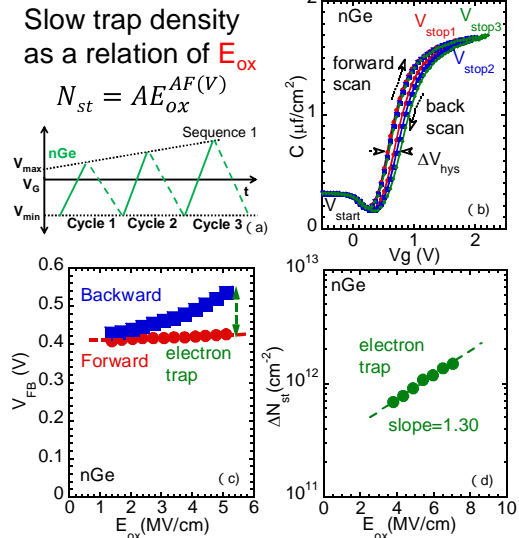


図4 (a) 同じV_{min}と変化するV_{max}を使用したサイクルスキャン法。n-Ge MOS界面の場合、V_{max}は増加している。サイクルスキャン法で得られる(b) C-V曲線と(c) V_{FB}値。(d) 電子遅い準位密度と電界E_{ox}の依存性。

(2) 一方、研究代表者はp-Ge MOSキャパシタについて、C-Vヒステリシスを注意深く調べると、小さな正のゲートバイアス(<V_{th})での遅いトラッピングは、ホールトラッピングにのみ起因することが分かった。一方、大きな正のゲートバイアス(>V_{th})の下では、遅い電子トラップが遅いトラップ特性にさらに影響を与えることが明らかになった。前の研究からわかった大量な電子遅い準位はGeO_xに存在し、GeO_x/Ge界面の近くにあり、この電子遅い準位はn-Geだけでなくp-Ge MOS界面のC-Vヒステリシスに影響する可能性が高い。p-Ge MOS界面でのC-Vスキャン中に電子遅い準位が実際に発生するかどうかを調べるために、一定のV_{stop}およびV_{start}値のホールド時間を変化させた。図6に、V_{stop}およびV_{start}ホールド時間を変動する時のC-V曲線を示した。つまり、バックスキャン中の遅い準位の占有率は、長時間の電氣的ストレスによってわずかに変化した。この現象はn-Ge MOS界面と同じですが、長時間の正の電圧の影響でヒステリシスも大きくなる。つまり、長時間の電氣的ストレスの間に電子の遅いトラップが発生したことが分かった。一方、この電子トラップは、V_{start}>V_{th}の条件下でのみ観察できる。

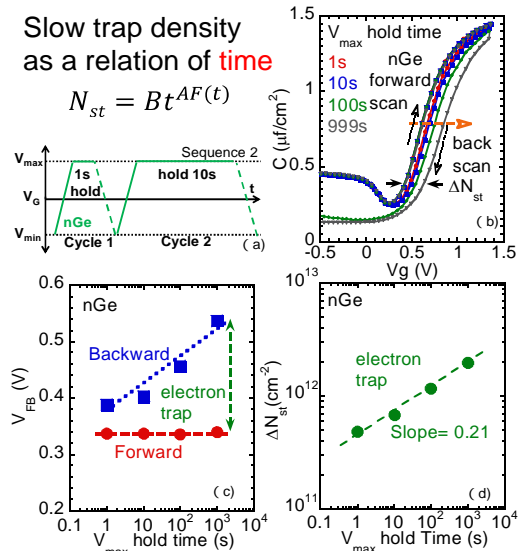


図5 (a) 同じV_{stop}とV_{start}でのホールド時間測定。ホールド時間は1、10、100、999秒から変化する。ホールド時間測定法で得られた(b) C-V曲線と(c) V_{FB}値。(d) 電子遅い準位密度とホールド時間の依存性。

電子遅い準位は p-Ge MOS 界面のフォワードスキャン中に発生するため、p-Ge MOS 界面の遅い準位密度を定量的に評価するには、CV ヒステリシスを使用して ΔN_{st} を計算するために電子と正孔の遅い準位を区別することが非常に重要である。したがって、 V_g を最大電圧 (V_{start}) と最小電圧 (V_{stop}) の間で繰り返しスキャンし、 V_{start} を増加させながら、新しい測定を提案する必要がある。実験結果を図 7 に示す。バックスキャンの V_{FB} はほとんど変化せず、フォワードスキャンの V_{FB} は、 V_{start} 電圧がより大きい場合でも増加し続けることが確認されている。つまり、p-Ge のホール遅い準位密度を正確に測定するには、 V_{start} を小さくする必要がある。我々は図 8 に示すように、p-Ge MOS 界面の電子と正孔の遅い準位密度を区別できる手法を示していた。p-Ge の電子トラップ密度は n-Ge MOS 界面の電子トラップ密度と同じです。これも参考としてプロットされているが、正孔の遅い準位密度 (N_{st-h}) は $V_{start} < V_{th}$ を使用して測定できる。 N_{st-h} と比較すると、かなり高い N_{st-e} が観察される。これは、p-Ge 測定の V_{start} を慎重に決定する必要があることを意味する。一方、トラップされた電子の総量は、n-Ge MOS 界面と同様に、時間とともに増加し、 N_{st} は飽和しない。これらの結果は、遅いトラップへの電子トラップの時定数が広く分布しており、n-Ge の蓄積領域や p-Ge MOS 界面の反転領域に関係なく、伝導帯側付近に非常に長い時定数のトラップが存在することを示している。

結論、研究代表者は Ge MOS 界面に大量存在する遅い準位を中心に研究を行った。遅い準位の電界と時間依存性を調査し、 V と t の加速因子を世界初で提出した。また、正孔と電子の遅いトラップを区別するための新しい測定手順が提案され、 $Al_2O_3/GeO_x/p-Ge$ ゲートスタックに適用された。強い反転ゲートバイアスで明らかな電子遅い準位は、 $N_{st}-E_{ox}$ の関係を理解する上で非常に重要であり、有効な電子と正孔の遅い準位密度は、それぞれ p-Ge MOS 界面で評価出来るようになった。

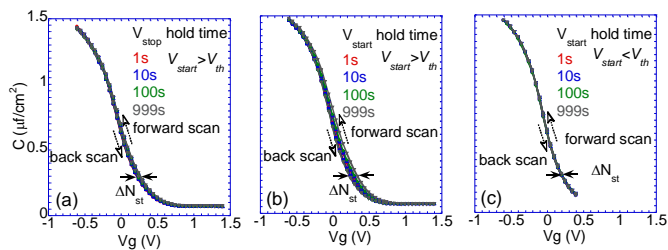


図 6 (a) V_{stop} (b) V_{start} ($V_{start} > V_{th}$) および (c) V_{start} ($V_{start} < V_{th}$) が異なる C-V 曲線は、同じ V_{stop} および V_{start} を使用した順方向および逆方向の C-V スキャンのホールド時間を保持する。

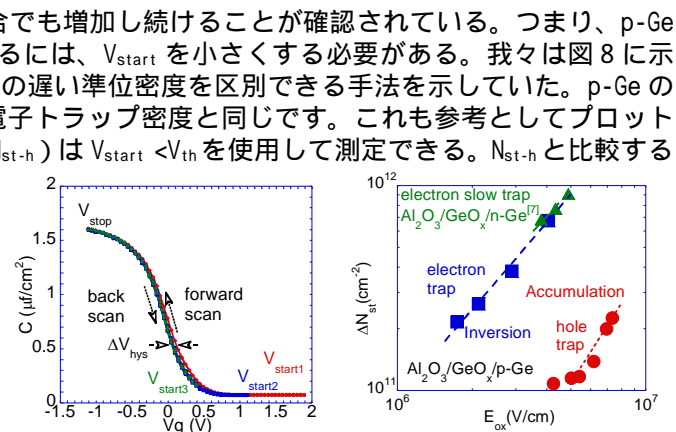


図 7 同じ V_{stop} と増加する V_{start} を使用したサイクルスキャンの C-V 曲線。

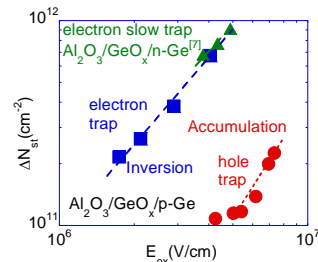


図 8 p-Ge MOS 界面の電子場の関数としての正孔と電子の遅いトラップ密度。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計3件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 柯夢南, 竹中充, 高木信一
2. 発表標題 C-V測定によるAl ₂ O ₃ /GeO _x /p-Ge MOS界面の電子とホールの遅い準位密度の評価
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 柯夢南, 李宗恩, トーブラサートボン カシディット, 竹中充, 高木信一
2. 発表標題 プラズマ酸化によるn-Ge ゲートスタックにおける遅い準位の特性
3. 学会等名 「電子デバイス界面テクノロジー研究会 材料・プロセス・デバイス特性の物理」(第28回研究会)
4. 発表年 2023年

1. 発表者名 柯夢南, 李宗恩, トーブラサートボン カシディット, 竹中充, 高木信一
2. 発表標題 高電界におけるAl ₂ O ₃ /GeO _x /Ge nMOS界面中の異なるトラップの分離
3. 学会等名 「電子デバイス界面テクノロジー研究会 材料・プロセス・デバイス特性の物理」(第28回研究会)
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------