

令和 5 年 6 月 22 日現在

機関番号：12401

研究種目：若手研究

研究期間：2020～2022

課題番号：20K14784

研究課題名（和文）半金属材料をチャンネルとする電荷-スピン偏極度制御型スピン電界効果トランジスタ

研究課題名（英文）A study on semimetal thin film channel field-effect transistors

研究代表者

吉住 年弘 (Yoshizumi, Toshihiro)

埼玉大学・理工学研究科・助教

研究者番号：00838039

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：Yb、Bi、Pt薄膜の電界効果応答と磁気輸送の研究を行った。Yb、Bi、Pt膜の膜厚が10 nmよりも薄い薄膜をチャンネルとする試料において電界効果への応答と期待されるシグナルを観測した。また、磁気輸送の測定と解析により電子と正孔のキャリア濃度の漸近を観測するとともに移動度の評価を行った。本研究により、Yb、Bi、Pt薄膜をチャンネルとする電界効果トランジスタ(FET)素子の電界効果応答には膜厚が1 nmから6 nm程度の薄膜チャンネルが有効であることがわかった。

研究成果の学術的意義や社会的意義

FET素子は多くの電子機器に用いられる論理演算回路の構成素子であり、現代の情報化社会を支える基盤技術の一つとなっている。本研究におけるYb、Bi、Pt薄膜をチャンネルとする薄膜トランジスタ(TFT)素子の電界効果応答と磁気輸送の研究結果は、電子と正孔のキャリア濃度が漸近する材料をチャンネルとし膜厚がナノメートルスケールの薄膜における量子サイズ効果を活用する新たなFET素子やスピントランジスタの基礎研究へ活かすことができ、次世代の論理演算回路に向けた研究開発への展開が期待される。

研究成果の概要（英文）：This study focused field-effect transistors with nanometer-sized Yb, Bi, Pt thin film channel. Yb, Bi, Pt thin film channel were prepared by a molecular-beam apparatus. Experimental results revealed signals indicating field-effect in thin films in a range from 1 nm to 6 nm thickness. These results indicated that several nanometer thick films i.e., less than 10 nm thickness might be useful for observing field-effect in Yb, Bi, Pt channel thin film transistors.

研究分野：物理

キーワード：電界効果トランジスタ 磁気輸送 量子サイズ効果

## 1. 研究開始当初の背景

電界効果トランジスタ(field-effect transistor; FET)は、Central Processing Unit (CPU)や Graphics Processing Unit (GPU)、Random Access Memory (RAM)などの構成素子であり、コンピュータをはじめ多くの電子機器に用いられ、現代の情報化社会を支える基盤技術の一つである。これまでの論理演算回路は、集積回路を構成する FET 素子である Metal-oxide-semiconductor FET (MOSFET)の集積度を上げることで高性能化を進めてきたが、現代では MOSFET の素子サイズがナノメートルオーダーにおよび原子・分子スケールに迫っており、従来の MOSFET のままでは小型化・高集積化の限界が見え始めているなか、より高速な論理演算を指向した次世代の論理演算回路に向けて新たなトランジスタ素子が研究されている。将来の論理演算回路への展開が期待されている素子としては、チャンネルを流れるキャリアのスピン偏極を活用するスピントランジスタなどの研究が行われている。

本研究では、電子と正孔のキャリア濃度が漸近する材料をトランジスタ素子のチャンネルとし、キャリアの電荷とスピンの偏極を活用する新たなスピン FET 素子へ向けた基礎研究を行うことが研究開始当初の研究背景である。

## 2. 研究の目的

論理演算回路の構築に用いられる Complementary MOS (CMOS)は、n チャンネル MOSFET (n-MOSFET)と p チャンネル MOSFET (p-MOSFET)により構成される。従来の MOSFET では、チャンネルを流れるメインキャリアが電子の場合は n-MOSFET、正孔の場合は p-MOSFET と、どちらかのキャリアをメインキャリアとして用いている。

本研究では新たな FET 素子の研究として、従来の MOSFET ではまだ用いられていない電子と正孔のキャリア濃度が漸近する材料をチャンネルに用いる薄膜トランジスタ(thin film transistor; TFT)の研究を行う。Bi 半金属(semimetal)をはじめ Yb、Pt においては電子と正孔のキャリア濃度が漸近することやスピン軌道相互作用の効果も期待されることから、キャリアの電荷とスピンの偏極を活用するスピン FET 素子へ向けた基礎研究である本研究では、TFT 試料のチャンネル材料として Yb、Bi、Pt を採用する。また、薄膜材料における量子サイズ効果の観点からチャンネルの膜厚は 1 nm から 10 nm 程度までの範囲に焦点をあて磁気輸送測定と TFT 試料の電界効果への応答評価を行う。膜厚が 10 nm よりも薄い Yb、Bi、Pt 薄膜をチャンネルに用いる場合には、それぞれの膜厚の試料におけるキャリア濃度と移動度を評価することが、量子サイズ効果が期待される膜厚範囲の薄膜をチャンネルとする FET 素子の研究において新たな知見になる。

電子と正孔のキャリア濃度が漸近する材料として Yb、Bi、Pt 薄膜の磁気輸送測定によるキャリア濃度と移動度の評価と、Yb、Bi、Pt 薄膜をチャンネルとする TFT 試料における電界効果応答の基礎研究を行うことを本研究の目的とする。

## 3. 研究の方法

Yb、Bi、Pt 薄膜をチャンネルとする TFT の電界効果応答の実験ではバックゲート TFT 試料を採用する。チャンネル薄膜における量子サイズ効果を期待し、実験に用いる試料は膜厚が 1 nm から 10 nm 程度までの範囲の Yb、Bi、Pt 薄膜をチャンネルとする TFT 試料を用いる。試料の作製にはリソグラフィ技術を用いる。Si/SiO<sub>2</sub> 基板の SiO<sub>2</sub> 膜上にチャンネルとして Yb、Bi、Pt 薄膜を試料ごとに成膜する。Yb、Bi 薄膜は分子線装置により成膜する。Pt 薄膜はスパッタ装置により成膜を行う。成膜したチャンネルの膜厚は膜厚計測装置により測定する。Bi 薄膜、Pt 薄膜における導電率を測定するとともに、磁気輸送の実験では試料基板の面直方向で 5 T までの磁場にて Hall 効果と磁気抵抗効果の測定を行う。磁気輸送測定結果の解析には、2 バンドモデル解析に

より Bi 薄膜、Pt 薄膜におけるキャリア濃度と移動度の評価を行う。Yb、Bi、Pt 薄膜をチャンネルとする TFT 素子の電界効果への応答実験では、トランジスタ素子として用いることができるか評価するためドレイン電流-ゲート電圧( $I_{ds}-V_{gs}$ )、ドレイン電流-ドレイン電圧( $I_{ds}-V_{ds}$ )測定を行う。

#### 4. 研究成果

Bi 薄膜と Pt 薄膜の導電率を測定するとともに、磁気輸送測定では室温にて 5 T までの磁場における Hall 効果と磁気抵抗効果を測定した。測定結果は、2 バンドモデル解析によりキャリア濃度と移動度の評価を行った。その結果、Bi 薄膜と Pt 薄膜試料において電子と正孔のキャリア濃度の漸近を観測した。また、キャリアの移動度評価では実験で用いた膜厚範囲において、Bi 薄膜では電子の移動度よりも正孔の移動度がわずかながら速いことがわかった。また、Pt 薄膜においては正孔の移動度よりも電子の移動度がわずかに速いことがわかった。

TFT 試料における  $I_{ds}-V_{gs}$ 、 $I_{ds}-V_{ds}$  測定の結果、Yb 薄膜チャンネルの TFT 試料では薄膜の膜厚が 2 nm から 5 nm の試料においてトランジスタ素子としての電界効果応答シグナルを観測した。Bi 薄膜チャンネル TFT 試料においては膜厚が 10 nm よりも薄い薄膜をチャンネルとした試料にて実験を行い電界効果応答と期待されるシグナルを観測した。Pt 薄膜チャンネル TFT 試料では膜厚が 1 nm から 6 nm の試料において電界効果応答を観測した。

膜厚が 10 nm よりも薄い薄膜をチャンネルとする TFT 試料の電界効果応答の実験結果より、Yb、Bi、Pt 薄膜をチャンネルとする TFT 試料においてトランジスタ素子としての電界効果応答シグナルを観測するには、膜厚が 1 nm から 6 nm 程度の薄膜をチャンネルに用いることが有効であることがわかった。この膜厚範囲は、Yb、Bi、Pt 薄膜材料において量子サイズ効果が期待される膜厚である。従来から実用されている MOSFET では、チャンネルに半金属材料は用いられておらず、この実験結果は、電子と正孔のキャリア濃度が漸近する材料をチャンネルとする新たな FET 素子やスピン FET などの研究に向けて有用な知見となる。また、本研究の TFT 素子ではチャンネル膜厚が 1 nm から 6 nm 程度の膜厚を用いることから論理演算回路の小型化・集積化においても有利である。

本研究では、Yb、Bi、Pt 薄膜の磁気輸送測定と 2 バンドモデル解析によるキャリア濃度と移動度の評価を行いキャリア濃度の漸近を観測するとともに、膜厚が 1 nm から 6 nm までの薄膜をチャンネルとする TFT 素子のトランジスタ素子としての電界効果応答を観測した。研究開始当初にて予定していたスピンを活用するスピン FET の研究までは 3 年間の研究期間において到達できなかったものの、本研究における Yb、Bi、Pt 薄膜チャンネル TFT の研究成果は、将来の新たな FET 素子やスピントランジスタの研究開発へ活かされるものと期待される。

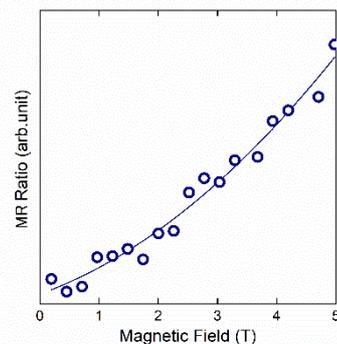


図 1. 膜厚が 10 nm の Bi 薄膜における磁気抵抗効果の測定。測定点と回帰曲線による解析

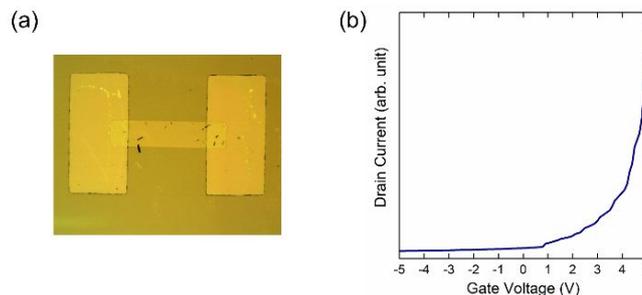


図 2. (a) Pt 薄膜チャンネル TFT 試料の光学顕微鏡写真  
(b) Pt 薄膜チャンネル TFT 試料の  $I_{ds}-V_{gs}$  測定

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 木村 仁哉、宮崎 理央、富田 亮、吉住 年弘
2. 発表標題 ビスマス薄膜における電界効果応答評価
3. 学会等名 2023年 第70回応用物理学会春季学術講演会
4. 発表年 2023年

1. 発表者名 宮崎 理央、富田 亮、木村 仁哉、吉住 年弘
2. 発表標題 数ナノメートル膜厚のビスマス薄膜における磁気輸送測定
3. 学会等名 2023年 第70回応用物理学会春季学術講演会
4. 発表年 2023年

1. 発表者名 富田 亮、木村 仁哉、吉住 年弘
2. 発表標題 Pt薄膜トランジスタの量子輸送特性評価
3. 学会等名 2023年 第70回応用物理学会春季学術講演会
4. 発表年 2023年

1. 発表者名 橘内 悟、木村 仁哉、酒井 政道、吉住 年弘
2. 発表標題 ビスマス薄膜の磁気輸送特性評価と2バンドモデル解析
3. 学会等名 2022年 第69回応用物理学会春季学術講演会
4. 発表年 2022年

1. 発表者名 富田 亮, 木村 仁哉, 橘内 悟, 酒井 政道, 吉住 年弘
2. 発表標題 Pt薄膜の電界効果応答特性評価
3. 学会等名 2022年 第69回応用物理学会春季学術講演会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------