

令和 4 年 5 月 27 日現在

機関番号：12601

研究種目：若手研究

研究期間：2020～2021

課題番号：20K14786

研究課題名（和文）アナログAIセンサーノード開発を高速化する自動生成可能な集積回路の研究

研究課題名（英文）Synthesizable Mixed-Signal Integrated Circuits for Agile Development of Analog AI Sensor Nodes

研究代表者

徐 祖樂 (Xu, Zule)

東京大学・大学院工学系研究科（工学部）・特任講師

研究者番号：50778925

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：1) 8-bit 自動配置配線可能なAD変換器（ADC）を実現し、投稿論文がIEEE論文誌TVLSIに採択された。2) 1)に関連するMOS容量と比較器回路についての解析論文がSpringerおよびJJAPの論文誌に採択された。3) 自動配置配線可能な位相同期回路（PLL）を実現してチップ評価した。IEEEにおける国際会議A-SSCCで発表し、それから投稿論文がIEEE論文誌JSSCに招待された。4) 本研究を通して提案した手法および回路を他種類のPLLらに適用し、2点の投稿論文がIEEEトップレベル国際会議VLSICに採択された。

研究成果の学術的意義や社会的意義

進展しているスマート社会において、集積回路の多品種化とその研究開発の大規模化が見通され、本研究の成果により、センサーノードにおける重要かつ複雑なADC・PLL回路の開発時間の大幅な短縮を期待でき、集積回路開発の高速化・低コスト化、および少人数チームでもイノベーションの加速を貢献する。学術的意義については、自動配置配線可能なアナログ回路における主な課題は、配置配線による予測不可能な寄生素子が生じ、アナログ回路の線形性に大きく劣化させるということである。この課題に対し、本研究ではADCおよびPLLに様々な新規手法を提案・実証して結果を発表した。

研究成果の概要（英文）：1) An 8-bit synthesizable ADC was designed, implemented, and verified with post-layout simulation. Its paper with verification result was accepted by IEEE TVLSI. 2) The proposed MOS capacitor and the related comparator were analyzed, and their analysis papers were accepted by Springer and JJAP, respectively. 3) A synthesizable PLL was realized and evaluated on silicon. Its paper was accepted by IEEE A-SSCC and was invited to IEEE JSSC (being reviewed). 4) Techniques proposed and developed in this research were employed to other types of PLLs. Two papers were accepted by the top-level conference IEEE VLSIC.

研究分野：電子デバイスおよび電子機器関連

キーワード：自動配置配線可能なアナログ回路

### 1. 研究開始当初の背景

スマート社会に向けたセンサーノードが急速に増加し、集積回路の多品種化とその研究開発の大規模化が見通される。将来は、集積回路の研究開発に企業や大学が更なる人力と時間を投入する必要となる。このような背景から、回路の自動生成による集積回路の高速開発技術が強く求められている。デジタル回路では論理合成と自動配置配線によって自動生成が可能だが、アナログ回路では、一般に人手設計が必須であり、開発が長期化する。論理ゲートで構成された自動配置配線可能なアナログ回路が提案されたが、配置配線による寄生素子が生じ、回路の高性能化において課題がある。

### 2. 研究の目的

本研究では、今までセンサーノードアナログ回路の完全自動生成手法とそれに適した回路を提案し、自動配置配線可能な高性能 ADC、PLL およびアナログ演算回路の実現・検討を目的とする。従来では 3~6 カ月程度必要であった開発時間を数日間程度までに短縮することを目指す。

### 3. 研究の方法

論理ゲートのみで回路を構成して手作業も加えて検討・設計・検証した。さらに、大量な検証・設計の繰り返すことが必要となった場合、Python スクリプトによる自動検証・設計制御手法も提案し、手作業の量を大きく減らした。その後、RTL (Register Transfer Level) で回路を記述し、デジタル設計と同様のフローで回路のレイアウトデータ (GDS) を自動生成させた。これによって、設計・開発時間を大幅に短縮する。自動配置配線による線形性劣化という課題に対し、様々な高性能化手法を提案して実現した。具体的に下記の研究項目を実施した。

#### 1) 設計フローの確立

図 1 に示すように、まずは RTL 検証と自動配置配線に適する論理ゲートのみでのアナログ回路を提案して高性能化をする。回路を RTL で記述して回路動作と性能を検証する。提案手法では、論理ゲートの中身の記述を二つに分ける。動作確認の段階では、実数値を伝搬できるデータタイプを活用してアナログ動作を記述し、完全 RTL をベースとした高速シミュレーションを行う。回路動作を確認したら、性能重視の部分でトランジスタモデル (SPICE) に切り替え、混載検証可能なシミュレータを用いてより高精度で性能を確認する。ただし、本研究を進めていた時、ADC 回路の線形性向上のため、シミュレーションを大量に繰り返す必要となることが分かった。シミュレーション制御の手間を減らすため、Python スクリプトによる検証・設計の自動制御手法を提案した。これによって、検証自体も一部自動化することを可能にした。最終的にすべての回路を RTL で記述するため、IP コアとして規模の大きい RTL システムへの組み込み、または仕様変更に対する再開発にも、迅速に対応できる。そして、RTL で記述された回路を自動配置配線することで、回路レイアウトの生成まで手作業よりも 10 倍以上の高速化が可能と予想される。

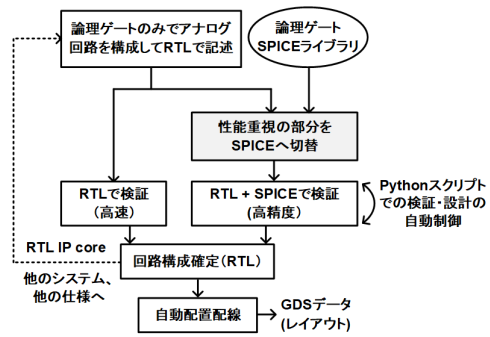


図 1 確立した設計フロー

#### 2) 自動生成可能な SAR ADC の高性能化

自動生成可能な SAR ADC の主な課題は、論理ゲートで構成した D/A 変換器 (DAC) の非線形性である。それを抑えるため、LUT (Look-Up Table) をベースにした校正回路や floating-diffusion MOS 容量、改良した 4-input 比較器などを提案した。LUT の作成には大量なシミュレーションが必要となるため、前述の通りに Python スクリプトでの検証・設計制御手法を提案した。また、回路の低消費電力化も行った。改良した回路性能は post-layout シミュレーションで検証した。

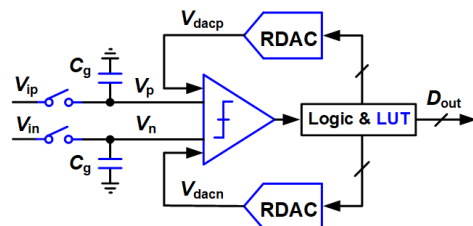


図 2 提案した SAR ADC

#### 3) 自動生成可能な PLL の高性能化

前述の課題と同様に、自動生成可能な Fractional-N PLL では、配置配線により、デジタル時間変換器の線形性が劣化する。この課題に対し、図 3 に示すリング発振器を 3 段にし、3 段注入同期技術を提案した。提案技術により、必要の DTC レンジは従来回路の 1/3 まで短縮し、線形性向上および小面積・低消費電力となった。ただし、配置配線によって発振器の段の間に mismatches があり、線形性が劣化する課題が生じる。この課題に対し、校正手法および dithering 技術を提案した。

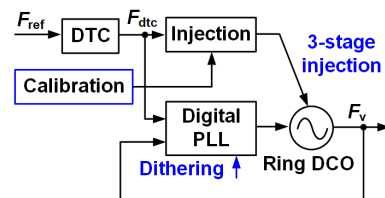


図 3 提案した PLL

#### 4) アナログ積和演算回路の自動生成の検討

SAR ADC の高性能化の研究項目を行い、デジタルアナログ変換器 (DAC) の非線形性課題が分かった。ADC のために校正回路 (LUT) で対策できるが、アナログ積和演算回路にするのが非効率のということが分かった。そのため、DTC や発振器を用いた合成可能なアナログ積和演算器を検討した。上記 1)2)3) で確立した技術を用いて実現することが可能だが、1) ~ 3) に多くのエフォートを掛けたため、4) については成果を出すまでさらに考案する必要がある。

#### 4. 研究成果

##### 1) 8-bit, 2.5-mW 自動生成可能な SAR ADC [1]

提案した自動生成可能な SAR ADC について、提案手法により、予備研究の 6-bit を 8-bit まで改良した。65nm CMOS で設計・自動配置配線させ、post-layout シミュレーションで性能を検証した。回路が RTL で記述されることだけではなく、Python スクリプトでの自動検証・設計で、6-bit から 8-bit まで拡張する作業時間は、従来の手設計より 10 倍以上まで短縮した。他の自動配置配線 ADC との性能比較を図 4 に示す。SAR 型と比べ、より広い帯域、高い SNDR を達成したということが分かる。

##### 2) 2.55-ps ジッタ、3.4-mW 自動生成可能な PLL [2]

提案した Fractional-N PLL について、提案手法により、帯域内 fractional spur を 15-dB 程度で改善した。65 nm CMOS で設計・自動配置配線させ、実チップで性能を評価した。チップ写真と性能比較を図 5 に示す。比較した結果、合成可能な PLL の中では、初めて DTC レンジ短縮技術が提案されたことが分かる。また、より低いレファレンス周波数でも、同じレベルのジッタを達成し、それによって、細かい周波数精度および良い効率 (FoM) を達成した。

##### 3) 本研究に関連する技術解析と適用 [3] ~ [7]

提案した SAR ADC に用いられた floating diffusion MOS 容量は当 ADC の線形性改善に効く。そのメリットについて解析して解明した[3]。

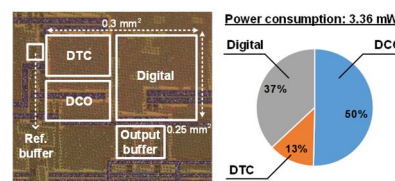
関連する比較器の動作と性能についても解析し、投稿論文は Springer における論文誌採択された[4]。

提案した Fractional-N PLL のデジタル制御回路など、他の種類の PLL 回路に適用した。成果として 3 点の論文が採択された[5] ~ [7]。

まとめとして、研究成果により、ベンチャー企業や大学研究室のような少人数グループでも、大規模システムおよび多様な回路仕様へ迅速に対応することが可能となり、生産性の向上とイノベーションの促進を期待する。

	This work	Access'19	Access'20	TCAS-I'14
Type	SAR	SAR	SAR	Stochastic
CMOS (nm)	65	28	40	90
Area (mm <sup>2</sup> )	0.1	0.002	0.005	0.18
Input range (mV <sub>DD</sub> )	2200 (diff.)	800 (single)	1000 (single)	280 (diff.)
F <sub>s</sub> (MHz)	10	0.5	0.0028	21
SNDR (dB)	47.2	34.2	40.4	34.6
ENOB (bit)	7.5	5.4	6.4	5.5
Power (mW)	2.5	0.092	0.0073	1.1
FoM (pJ/step)	1.38	4.36	30.87	1.16

図 4 提案した ADC の性能比較



	This Work	ISSCC'18 Lee [3]	ISSCC'20 Kundu [5]
CMOS (nm)	65	28	22
Synthesizable	Yes	Partially	Yes (w. custom cells)
Architecture	DTC + MDLL w. multi-stage inj.	Speculative- TDC + PLL	DCO-replica- DTC + MDLL
Required DTC range (T <sub>osc</sub> )	1/3	NA	1
f <sub>ref</sub> (GHz)	1.0095	2.056	3.6175
RMS jitter (ps)	2.55	2.13	2.74
Int. range (Hz)	10k - 10M	10k - 100M	10k - 100M
Reference spur (dBc)	-42	-52	-60
Worst frac. spur (dBc)	-48	-24***	-47
Power (mW)	3.36	6.95	3.19
Area (mm <sup>2</sup> )	0.075	0.0043	0.0052
f <sub>ref</sub> (MHz)	24	80	80
Freq. resolution (kHz)	31.25	2500	125
FoM (dB)**	-226.6	-225.0	-226.3
FoM <sub>ref</sub> (dB)**	-232.8	-226.0	-227.3

図 5 提案した PLL のチップ写真、消費電力と性能比較

#### 主要研究成果 (論文誌・国際会議論文)

- [1] Z. Xu, N. Ojima, S. Li, T. Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC", IEEE TVLSI, vol. 29, no. 12, pp. 2153-2162, Dec. 2021.
- [2] Z. Xu, "A 0.79-1.16-GHz Synthesizable Fractional-N PLL Using DTC-Based Multi-Stage Injection with Dithering-Assisted Local Skew Calibration Achieving -232.8-dB FoMref", IEEE A-SSCC, pp. 1-3, Busan, Nov. 2021.
- [3] S. Li, Z. Xu, T. Iizuka, "Analysis of strong-arm comparator with auxiliary pair for offset calibration", Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 110, no. 3, pp. 535 - 546, Mar. 2022.
- [4] S. Li, N. Ojima, Z. Xu, and T. Iizuka, "Analysis and Simulation of MOSFET-Based Gate-Voltage-Independent Capacitor", Japanese Journal of Applied Physics (JJAP), 2022. (accepted)
- [5] R. Iwashita, Z. Xu, M. Osada, T. Iizuka, "A Fractional-N MASH2-k FDC PLL Architecture Enabling Higher-Order Quantisation Noise Shaping", IET Electronics Letters, vol. 58, No. 7, pp. 274 - 276, Mar. 2022.
- [6] Z. Xu, M. Osada, and T. Iizuka, "A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80-dBc Reference Spur", pp. 1-2, IEEE VLSIC, Virtual, Jun. 2021.
- [7] Z. Yang, Z. Xu, M. Osada, and T. Iizuka, "A 10-GHz Inductorless Cascaded PLL with Zero-ISF Subsampling Phase Detector Achieving -63-dBc Reference Spur, 175-fs RMS Jitter and -240-dB FOMjitter", IEEE VLSIC, Jun. 2022. (accepted)

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 4件）

1. 著者名 Z. Xu, N. Ojima, S. Li, and T. Iizuka	4. 巻 29
2. 論文標題 An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 2153-2162
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TVLSI.2021.3122027	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 S. Li, Z. Xu, and T. Iizuka	4. 巻 110
2. 論文標題 Analysis of strong-arm comparator with auxiliary pair for offset calibration	5. 発行年 2022年
3. 雑誌名 Springer Journal of Analog Integrated Circuits and Signal Processing	6. 最初と最後の頁 535-546
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/s10470-022-01992-6	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 R. Iwashita, Z. Xu, M. Osada, and T. Iizuka	4. 巻 58
2. 論文標題 A fractional-N MASH2-k FDC phase-locked loop architecture enabling higher-order quantisation noise shaping	5. 発行年 2022年
3. 雑誌名 IET Electronics Letters	6. 最初と最後の頁 274-276
掲載論文のDOI（デジタルオブジェクト識別子） 10.1049/e112.12436	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 S. Li, N. Ojima, Z. Xu, and T. Iizuka	4. 巻 1
2. 論文標題 Analysis and simulation of MOSFET-based gate-voltage-independent capacitor	5. 発行年 2022年
3. 雑誌名 Japanese Journal of Applied Physics (JJAP)	6. 最初と最後の頁 1-13
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/ac6406	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計7件（うち招待講演 2件 / うち国際学会 6件）

1. 発表者名 Z. Xu
2. 発表標題 A 0.79-1.16-GHz Synthesizable Fractional-N PLL Using DTC-Based Multi-Stage Injection with Dithering-Assisted Local Skew Calibration Achieving -232.8-dB FoMref
3. 学会等名 IEEE Asian Conference on Solid-State Circuits (国際学会)
4. 発表年 2021年

1. 発表者名 Z. Xu, N. Ojima, S. Li, and T. Iizuka
2. 発表標題 An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC
3. 学会等名 IEEE International Symposium on Circuits and Systems (国際学会)
4. 発表年 2022年

1. 発表者名 R. Shibata, Z. Xu, Y. Hotta, H. Tabata, and T. Iizuka
2. 発表標題 A Charge-Redistribution Multi-Bit Stochastic-Resonance ADC Enhancing SNDR for Weak Input Signal
3. 学会等名 IEEE International Symposium on Circuits and Systems (国際学会)
4. 発表年 2022年

1. 発表者名 Z. Yang, Z. Xu, M. Osada, and T. Iizuka
2. 発表標題 A 10-GHz Inductorless Cascaded PLL with Zero-ISF Subsampling Phase Detector Achieving -63-dBc Reference Spur, 175-fs RMS Jitter and -240-dB FOMjitter
3. 学会等名 IEEE VLSI Symposium on Technology and Circuits (国際学会)
4. 発表年 2022年

1. 発表者名 Z. Xu, M. Osada, T. Iizuka
2. 発表標題 A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80-dBc Reference Spur
3. 学会等名 IEEE SSCS Kansai Chapter Symposium on VLSI Technology and Circuits 2021報告会 (招待講演)
4. 発表年 2021年

1. 発表者名 Z. Xu
2. 発表標題 Low-Power and Low-Noise Clock Generation: A Fractional-N Hybrid CDAC-Embedded Sampling PLL and a Class-C Complementary Colpitts Crystal Oscillator
3. 学会等名 IEEE International Workshop on Electromagnetics: Applications and Student Innovation Competition (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Zule Xu, Masaru Osada, and Tetsuya Iizuka
2. 発表標題 A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80-dBc Reference Spur
3. 学会等名 IEEE Symposium on VLSI Circuits (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------