

令和 5 年 5 月 11 日現在

機関番号：13901

研究種目：若手研究

研究期間：2020～2022

課題番号：20K19767

研究課題名（和文）近似コンピューティング回路の遅延特性と計算重要度を融合した新CAD技術の開発

研究課題名（英文）Development of a novel CAD technique considering timing characteristics and computational importance of approximate computing circuits

研究代表者

増田 豊 (Yutaka, Masuda)

名古屋大学・情報学研究科・准教授

研究者番号：60845527

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では、計算品質の制約を満足しつつ近似コンピューティング回路の性能を最大限高めるCAD技術を目指して、(a)性能評価技術、(b)タイミング最適化技術、(c)検証・テスト技術の開発に取り組んだ。(a)では、Fault Injection (FI)を利用した性能評価技術を構築した。(b)では、過電圧スケールリング (VOS)に着目し、VOSに向けたタイミング最適化技術を開発した。(c)では、ハードウェア記述内に計算品質の制約をチェックする機構を埋め込み、ファジングを用いて品質制約を違反しうるテストパターンを検証する技術を提案した。

研究成果の学術的意義や社会的意義

近似コンピューティング(AC)では「どの計算にどのように近似を導入すべきか？」という問題を慎重に決定する必要がある。しかし従来のCAD技術ではすべての計算を正確に実行することを前提としており、AC回路の設計検証への利用に課題が存在した。本研究で開発したCAD技術は、計算の重要度を新たな指標として取り入れることで、「重要な計算を正確に実行しているか」という点を定量的に評価しつつ、AC回路の消費電力、回路面積、性能の向上に貢献する。AC回路の設計検証基盤を確立することにより、ACと親和性の高いアプリ（機械学習やIoTなど）の実用化を促進できるため、本成果の社会への還元効果も十分に期待できる。

研究成果の概要（英文）：In this work, we developed computer-aided design (CAD) techniques for approximate computing (AC) circuits. The objective is to enhance the performance of AC circuits while satisfying the constraints of computational quality. In this research, we have worked on the development of (a) performance evaluation techniques, (b) timing optimization techniques, and (c) verification and testing techniques. In (a), we developed an importance evaluation technology using Fault Injection (FI). In (b), we focused on voltage over-scaling (VOS) and proposed timing optimization techniques for the VOS circuit. In (c), we proposed a technique that verifies test patterns violating quality constraints. The proposed approach embeds a Design Under Test (DUT) mechanism in the hardware description language and investigates the test patterns violating the constraint with fuzzing.

研究分野：集積回路の低消費電力設計、高信頼設計、検証

キーワード：近似コンピューティング CAD 計算重要度

1. 研究開始当初の背景

集積回路の省電力化と高性能化を両立する設計パラダイムとして、計算方法に近似を導入するパラダイムである近似コンピューティング(Approximate Computing: AC)に期待が集まっている。AC 回路の実用化には、回路設計から検証・テストまでの、幅広い設計開発支援技術(Computer-Aided Design: CAD 技術)が必要不可欠である。一方、従来の CAD 技術は、AC 回路設計時に考慮が不可欠な「計算の重要度」を定量的に取り扱うことができない、という根本的な課題を持つ。

2. 研究の目的

本研究では、回路の「遅延特性」と「計算重要度」を考慮した CAD 技術を開発し、その実用性・実現性を明らかにすることを目的とする。計算の重要度を CAD 技術上に新たに取り入れることにより、「重要な計算を正確に実行しているか」という点を定量的に評価しつつ、AC 回路の低消費電力化の推進に貢献する。

3. 研究の方法

本研究では、CAD 技術を (a)性能評価技術、(b)タイミング最適化技術、(c)検証・テスト技術、の要素技術に分割し、各技術の融合により、設計最適化から検証・テストまでを貫通する CAD 技術の開発を目指す。

4. 研究成果

(1)性能評価技術として、故障挿入(Fault Injection: FI)に基づき、近似を適用可能な(冗長な)Flip-Flop(FF)群を特定する手法を提案した。FI はディペンダブルコンピューティング分野の代表的な技術であり、回路内の一部に恣意的に誤り情報を混入する操作を指す。挿入した誤り情報が異常動作を誘発するかどうかをシミュレーションや実機動作時に観測することにより、故障に脆弱なアルゴリズム、計算機構、回路の構成要素を評価できる。

提案手法の概要を図 1 に示す。提案手法の肝は、二段階の FI アルゴリズムにより、回路中の冗長な FF 群を特定する点にある。第一段階では、FF 単体への FI シミュレーションに基づき、各 FF の重要度を導出し、冗長な FF 群の候補を抽出する。第一段階により、アプリケーションの内容を詳細に理解することなく、冗長な FF 群の探索における FI シミュレーション回数を FF 数の指数オーダから線形オーダまで低減できる。なお、複数の冗長な FF 群が同時に近似される場合、第一段階のみでは、冗長でない FF を冗長な FF と誤って判定するリスクがある。この懸念点を緩和するために、提案手法は二段階目の FI シミュレーションを実施する。すなわち、同時に近似を適用した際に品質を低下させる FF 群を、二分探索法を用いて取得し、第一段階で得た FF 群を更新する。

本研究で開発した冗長な FF の特定手法を活用し、画像処理用アクセラレータに対する機能的近似の適用を行った。具体的には、計算品質として画質の一種である PSNR(Peak Signal-to-Noise Ratio)を採用し、PSNR の制約値として 20dB と 30dB の 2 種類を設定した。各設定において、提案 FI 手法に従い冗長な FF 群を特定し、特定した FF 群に対して機能的近似の一種であるビット幅削減 (BWS: Bit Width Scaling) を適用した。BWS を適用した AC 設計が PSNR の制約を満足しているか評価すると共に、回路面積、消費電力をあわせて評価した。PSNR の評価結果を表 1 に示す。第一段階のみでは、冗長な FF 群を適切に抽出できておらず、重要な FF に BWS を適用して画質の制約違反が発生している。一方、提案手法では PSNR の制約を満足している。図 2 に面積と消費電力の評価結果を示す。BWS の適用により、PSNR20dB の制約下で回路面積を最大 29.6%、消費電力を最大 35.8%削減している。以上より、提案技術と機能的近似を組み合わせることにより、計算品質の制約を満足しつつ省面積化と低消費電力化を推進できることを実験的に確認した。提案手法による「重要な FF と冗長な FF の識別」は機能的な近似の妥当性評価にも活用できるため、計算重要度を考慮した「設計最適化と性能評価のフィードバックループ」に対しても応用できると考える。

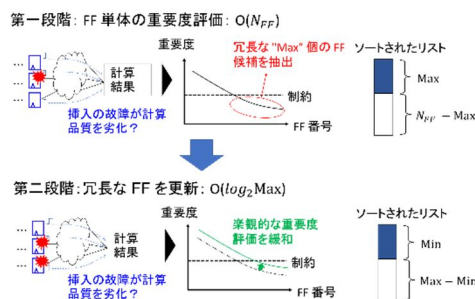


図 1: 提案 FI 手法の概要。

表 1: PSNR の評価結果。

入力画像	PSNR 30 dB 制約		PSNR 20 dB 制約	
	PSNR [dB] (提案手法)	PSNR [dB] (Step1 のみ)	PSNR [dB] (提案手法)	PSNR [dB] (Step1 のみ)
Pepper	31.1	24.0	21.6	10.5
Tree	31.6	24.4	22.1	11.1
Mandrill	31.9	24.9	22.5	12.0
Aerial	32.2	25.2	22.7	12.1
BOAT	31.4	24.1	21.8	10.6
Clock	31.1	23.4	21.4	11.2
House1	31.2	24.1	22.2	9.0
JellyBeans	30.0	22.8	20.8	10.5
Text	30.7	23.9	22.1	11.3

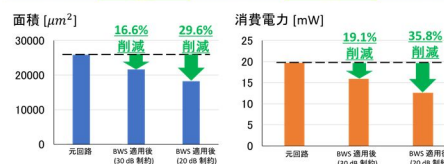


図 2: 面積と消費電力の評価結果。

(2) タイミング最適化技術として、活性化するクリティカルパス(Critical Path: CP)のセットアップスラックを増加する設計技術であるクリティカルパス・アイソレーション(Critical Path Isolation: CPI)に着目した。CPIの適用にあたって、「CPIが本質的なCPの遅延を削減できない」という根本的な課題を発見した。本質的なCPは、しきい値電圧の低い論理セルやゲート幅の広い論理セルにより構成され、論理セルの置換や論理段数の変更による遅延削減が困難なパスである。従って、本質的なCPが活性化し、ACの計算品質に影響しうる場合は、CPIの電源電圧削減効果が大幅に低下する可能性がある。

上記のCPIの課題を解決するために、本質的なCPを削減可能な対策技術として、CPIとBWSの混合設計コンセプトを考案した。図4に二段設計手法の概要を示す。提案設計では、第一に、計算品質の制約を満足する最大のビット削減幅を探索し、第二に面積と低 V_{th} セル数の制約を考慮しつつ各FFのスラック変更量を決定する。BWSとCPIの設計パラメータを独立に探索することで、設計探索空間を大幅に削減する狙いがある。

オープンソースのGPGPUプロセッサであるNyuziプロセッサを対象に、提案設計を適用し低消費電力効果を定量的に評価した。ワークロードとして、Mandelbrot集合の描画プログラムとニューラルネットワークの推論プログラム(Fourclass)の2種類を選択した。計算品質の制約として、Mandelbrotでは30dBのPSNR、Fourclassでは98%の推論精度をそれぞれ設定した。提案混合設計手法の第一段階では、Nyuziプロセッサ内の浮動小数点演算ユニットの仮数部を削減した。第二段階では、CPI対象FFの最大遅延制約を更新しながらECO(Engineering Change Order)再合成を繰り返し実行した。初期回路、BWSのみ適用した回路、CPIのみ適用した回路、提案設計後の回路のそれぞれに対して、過電圧スケール(Voltage Over Scaling: VOS)を適用し、消費電力を評価した。図4と図5に消費電力の比較結果を示す。初期回路に対するVOSの適用結果を黒色のプロット、CPIのみ適用した回路あるいはBWSのみ適用した回路へのVOSの適用結果をそれぞれ赤色と緑色でプロットしている。提案手法の結果は青色のプロットである。図4と図5より、計算品質の制約下において、提案設計が消費電力を大幅に削減していることが読み取れる。これらの評価結果から、BWSとCPIの親和性は非常に高く、両者の協調設計最適化により、計算品質の制約を満足しつつVOS時の低消費電力効果を相乗的に高めることを実験的に確認した。なお、本研究では(1)のFI手法を適用していないが、(1)と(2)の技術は独立しており容易に組み合わせることができる。一例として、(1)のFI手法に基づき冗長なFFと重要なFFを識別し、重要なFFに対してCPIでセットアップスラック量を増加する、といった組み合わせ手法が考えられる。

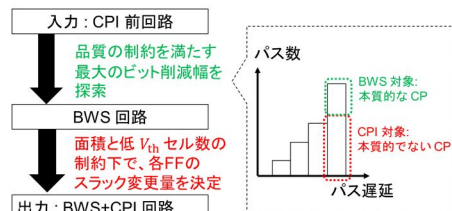


図3: CPIとBWSの混合設計手法。

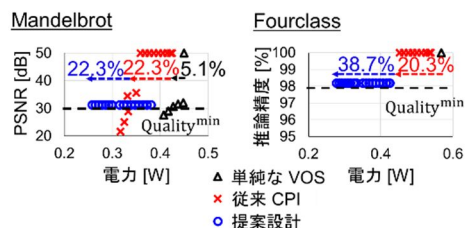


図4: 提案設計の低消費電力効果。(従来CPIとの比較)

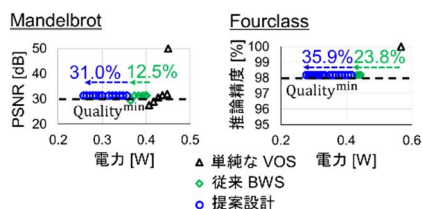


図5: 提案設計の低消費電力効果。(従来BWSとの比較)

(3) 本研究では、検証・テストの中でも、本研究では「AC設計が計算品質の制約を満足するか検証する」品質検証に焦点を絞る。品質検証では、計算品質の制約を違反させる入力パターンが存在するか調査する。代表的な品質検証手法として、動的な品質検証手法が挙げられる。これは、多様な入力パターンを回路に与えて実行し、実行結果を観測することにより、品質制約を満足するかどうかを定量的に評価する方法である。一方、動的な品質検証手法は、入力したテストパターンに応じて検証時の探索範囲が変動し、検証結果の信頼性が大きく変動するという課題を持つ。

本研究では、AC設計の品質検証に向けた入力パターン生成法として、ファジングを用いた手法を開発した。本研究で開発した、ファジングを用いたAC設計の品質検証手法の概要を図6に示す。提案手法の核を成すファジングは、ソフトウェアのテストにおいて多くの実績を持つ手法であり、テストパターンの変異と実行、実行結果へのフィードバックを繰り返すものである。このフィードバックループにより、検証の網羅性を素早く高めるとともに、予期しない計算結果や異常動作を誘発する入力パターンに対して、高い発見能力を持つことが知られている。提案手法では、ファジングに基づき、品質検証対象の分岐網羅性を高めるテストパターン生成を実施させる。さらに、計算品質の低い結果を生み出すテストパターンを発見した際に、それらを積極的に変異に活用するために、計算品質の評価と入力パターンの分岐判定を司るDUV機構を追加する。DUV機構の追加は、「分岐網羅性を高める入力パターンを発見した際に、そのパターンをキューにフィードバックして変異に利用する」ファジングの特性を逆

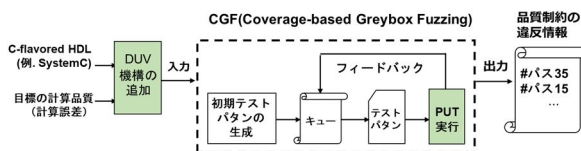


図6: ファジングを用いた品質検証手法。

手に取った方法であり、AC 設計の品質検証において探索が望まれる「計算品質の低い結果を生み出す入力パターン」を見逃さずに変異に用いるための方策である。

計算品質を違反させる入力パターンに対する、提案手法の発見能力を定量的に評価するために、小型の近似演算器を対象としたランダムテストとの比較実験を実施した。本比較実験では、積和器への入力にビット幅削減を適用し、近似積和結果の計算誤差に制約を設けた。すなわち、本実験では、「一定以上の計算誤差をもたらす入力パターンを効率的に発見できるか」実験的に評価した。図7に比較評価結果を示す。縦軸は、計算品質を違反させる入力パターンのうち、発見したものの割合を示しており、割合が大きいほど発見能力が高いことを意味している。図7より、提案手法が7.46倍から10.36倍多く違反パターンを発見していることが読み取れる。以上より、提案手法の品質検証に対する効果を実験的に確認した。

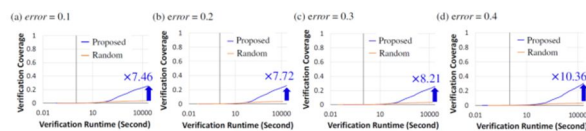


図7: ランダムテストとの比較結果。

比較評価結果を示す。縦軸は、計算品質を違反させる入力パターンのうち、発見したものの割合を示しており、割合が大きいほど発見能力が高いことを意味している。図7より、提案手法が7.46倍から10.36倍多く違反パターンを発見していることが読み取れる。以上より、提案手法の品質検証に対する効果を実験的に確認した。

本研究では、AC 回路のCAD 技術開発に、世界に先駆けて取り組んだ。計算品質を基軸として、計算の重要度をCAD 技術上に新たに取り入れて、AC 回路の性能評価技術、タイミング最適化技術、検証技術を一貫して開発した。一貫したCAD 技術の確立は、低消費電力かつ高信頼なAC 回路を提供可能な基盤開発技術を提供できることを意味し、既存のAC コンセプトの実用化および実社会への浸透を促進すると共に、新たなAC 技術のシーズ創出に貢献する。

今後の展望は、大規模回路や長寿命動作を想定した動作確認を通して技術検証を行うことである。これらの技術検証を通して、各技術の洗練化にフィードバックするとともに、実践的研究例を蓄積してCAD 技術の実用化に対する妥当性と説得性を補強することを目指す。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 MASUDA Yutaka, NAGAYAMA Jun, CHENG TaiYu, ISHIHARA Tohru, MOMIYAMA Yoichi, HASHIMOTO Masanori	4. 巻 E105.A
2. 論文標題 Low-Power Design Methodology of Voltage Over-Scalable Circuit with Critical Path Isolation and Bit-Width Scaling	5. 発行年 2022年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 509 ~ 517
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.2021VLP0002	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 MASUDA Yutaka, HONDA Yusei, ISHIHARA Tohru	4. 巻 E106.A
2. 論文標題 Dynamic Verification Framework of Approximate Computing Circuits using Quality-Aware Coverage-Based Grey-Box Fuzzing	5. 発行年 2023年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 514 ~ 522
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.2022VLP0002	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計12件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 K. Yoshisue, Y. Masuda, and T. Ishihara
2. 発表標題 Dynamic verification of approximate computing circuits using coverage-based grey-box fuzzing
3. 学会等名 2021 IEEE 27th International Symposium on On-Line Testing and Robust System Design (IOLTS) (国際学会)
4. 発表年 2021年

1. 発表者名 陸佳萱, 増田豊, 石原亨
2. 発表標題 近似コンピューティング回路の設計最適化に向けた計算重要度評価技術
3. 学会等名 第195回システムとLSIの設計技術研究
4. 発表年 2021年

1. 発表者名 熊谷僚太, 増田豊, 石原亨
2. 発表標題 ファジニングと高位合成を用いた近似コンピューティング回路のタイミング検証手法
3. 学会等名 第195回システムとLSIの設計技術研究
4. 発表年 2021年

1. 発表者名 本多佑成, 増田豊, 石原亨
2. 発表標題 近似コンピューティング回路の品質検証を高速化するファジニングテスト法
3. 学会等名 第195回システムとLSIの設計技術研究
4. 発表年 2021年

1. 発表者名 Yutaka Masuda, Jun Nagayama, TaiYu Cheng, Tohru Ishihara, Yoichi Momiyama, and Masanori Hashimoto
2. 発表標題 Critical Path Isolation and Bit-Width Scaling Are Highly Compatible for Voltage Over-Scalable Design
3. 学会等名 IEEE Design, Automation and Test in Europe Conference (DATE)
4. 発表年 2021年

1. 発表者名 Yutaka Masuda, Jun Nagayama, TaiYu Cheng, Tohru Ishihara, Yoichi Momiyama, and Masanori Hashimoto
2. 発表標題 Variation-Tolerant Voltage Over-Scalable Design with Critical Path Isolation and Bit-Width Scaling
3. 学会等名 International Workshop on Logic & Synthesis (IWLS)
4. 発表年 2020年

1. 発表者名 吉末和樹, 増田豊, 石原亨
2. 発表標題 ファジリングを用いた近似コンピューティング回路の品質検証手法の一検討
3. 学会等名 デザインガイア2020
4. 発表年 2020年

1. 発表者名 増田豊, 長山準, 鄭泰禹, 石原亨, 初山陽一, 橋本昌宜
2. 発表標題 クリティカルパス・アイソレーションとビット幅削減を用いた過電圧スケーリング向け省電力設計手法
3. 学会等名 情報処理学会DA シンポジウム
4. 発表年 2020年

1. 発表者名 Jiaxuan Lu, Yutaka Masuda, Tohru Ishihara
2. 発表標題 Importance evaluation methodology of FFs for design optimization of approximate computing circuit
3. 学会等名 24th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2022) (国際学会)
4. 発表年 2022年

1. 発表者名 陸佳萱, 増田豊, 石原亨
2. 発表標題 近似計算回路の低消費電力化に向けた故障挿入を用いた冗長なフリップフロップの特定
3. 学会等名 電子情報通信学会 VLSI 設計技術研究会
4. 発表年 2023年

1. 発表者名 本多佑成、増田豊、石原亨
2. 発表標題 近似計算の品質検証に向けたファジングのフィードバック調整手法の一検討
3. 学会等名 第 244 回 ARC・第 202 回 SLDM・第 62 回 EMB 合同研究発表会 (ETNET2023)
4. 発表年 2023年

1. 発表者名 Jiaxuan Lu, Yutaka Masuda, Tohru Ishihara
2. 発表標題 An efficient fault injection algorithm for identifying unimportant FFs in approximate computing circuits
3. 学会等名 Design, Automation and Test in Europe Conference (DATE2023) (国際学会)
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関