

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月31日現在

機関番号：12608

研究種目：基盤研究（A）

研究期間：2009～2012

課題番号：21246056

研究課題名（和文） TrueScalableSiCMOSLSI の研究

研究課題名（英文） Investigation of True Scalable CMOS Integrated Circuit

研究代表者

益 一哉（MASU KAZUYA）

東京工業大学・ソリューション研究機構・教授

研究者番号：20157192

研究成果の概要(和文)：

シリコン CMOS 集積回路は、あらゆる情報処理機器のハードウェアの構成要素である。これを支えてきたのは、スケーリング則を指導原理として微細化し、高性能化、低消費電力化し、さらにチップ面積も低減させ低コスト化してきたことにある。再認識すべきは、チップ面積が低減による低コスト化と高性能化を実現してきたことである。することである。デジタル集積回路においては特に長距離配線においてはリピータ挿入による面積増大、RF/アナログ集積回路ではインダクタなどの受動素子を利用することから面積低減阻害が大きな課題になっている。本研究ではプロセス世代が進展した際にも、これまでとおりの面積削減と性能向上が両立し得る回路技術の提案、ならびに開発を行った。これらを180nm、90nm、65nm、45nm CMOS 集積回路試作を通じて実証した。

研究成果の概要(英文)：

Scaling of Si CMOS has been brought the performance improvement and low cost at the same time for long time. It is recognized that low cost is originated from the reduction of chip area, i.e., circuit area. When the high performance circuit is designed using the advanced CMOS process, if the chip area is not reduced, the design is not meaningful in the economical viewpoint. In this project, we have engaged in the design of digital and RF CMOS circuit, which has the scalability, i.e., the circuit which is designed using the advance CMOS process has the higher performance and the circuit area reduction at the same time. These results has been supported by the CMOS circuit design, fabrication and evaluation using 180nm, 90nm, 65nm and 40nm CMOS.

交付決定額

(金額単位:円)

	直接経費	間接経費	合計
2009年度	11,300,000	3,390,000	14,690,000
2010年度	7,900,000	2,370,000	10,270,000
2011年度	7,300,000	2,190,000	9,490,000
2012年度	8,600,000	2,580,000	11,180,000
年度			0
総計	35,100,000	10,530,000	45,630,000

研究分野:工学

1. 研究開始当初の背景

Si CMOS集積回路I高性能化の指針は、スケーリング則を唯一絶対の指導原理として微細化し、高性能化、低消費電力化し、さらにチップ面積も低減させ低コスト化することである。再認識すべきは、『スケーリングの本質』は技術的側面としての「性能向上」と経済的側面である「チップ面積低減による低コスト化」を両立であり、だからこそ産業として成長かつ進化し、現代社会の頭脳と神経としてのハードウェアとしてなくてはならぬものとなってきた点である。しかし、最小加工寸法が 100nmを切るようになってきた 2008 年当時、材料、プロセス、インテグレーション、回路、設計、システム、製造コストのすべてにおいて困難な課題が山積みであり、単に微細化しただけでは性能向上が期待できず、かつ産業的なメリットもないという状況にある。科学技術立国を目指すわが国が、基礎から応用までのすべての分野の英知を集め、性能と経済性の両方が向上する『真のスケーリング: True Scaling』を将来にわたって追求できる技術の世界に先駆けて開発しなければならない状況にあった。

2. 研究の目的

本研究は、CMOS集積回路設計技術におけるTrue Scalingの概念構築とScalabilityを有する回路設計技術を実際のCMOS集積回路試作と評価を通じて実証することを目的とした。

3. 研究の方法

2009年～2012年度間に、180nm,90nm,65nm,40nm CMOSプロセスによる設計試作を行った。デジタル集積回路においては、長距離配線およびその駆動回路回路設計、試作、評価を行った。インダクタや容量などの受動素子を多用しそれらの占める面積が大きいために、プロセス世代が進展しても回路全体の面積が減少しないという問題に直面しているRF CMOS回路に関しては、インダクタを利用しない回路方式を提案し、RF回路要素(低雑音増幅器、発振回路、PLL、ミキサなど)を設計試作、評価を行った。これら試作した回路がスケーラビリティを持つことを示すことで、設計手法の有効性を実証した。

図1は試作したRF CMOS回路の一部であ

る。

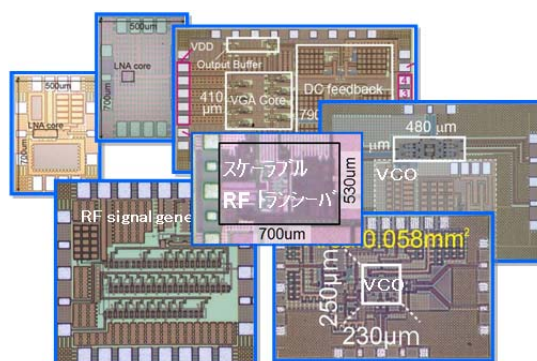


図1 本研究で試作した回路の一部

4. 研究成果

(1) デジタル集積回路

デジタルCMOS集積回路に関しては、スケーラビリティで特に問題となっていた長距離配線について検討した。申請者らが2000年当時から検討してきた伝送線路配線と新規に容量結合型RC線路としてCRDW (Capacitively - resistively Driven Wire)を提案した。90nmや65nm CMOS回路設計試作と評価を行った。電力効率、配線ピッチあたりの伝送効率においてCRDWが優れていることを実証し、Scalabilityを持つことも示した。

チップ内での高速シリアル伝送のためのMUX/DEMUX回路として、Rail-to-Rail特性を持つ回路形式を提案し、微細化CMOSにおける低振幅化による伝送品質低下を回避する手段を提案した。

これらの研究に際して、周期構造線路のモデリングを行うとともに、100GHzまでのDe-embedding技術を確立するなど、高速回路設計の基盤的要素技術も確立した。

(2) RF CMOS集積回路

RF CMOS集積回路のScalabilityを阻害している要因がインダクタにあることを強く認識し、インダクタを利用しない回路形式として、CMOSインバータを基本とする回路形式を提案し、RF CMOS要素回路技術を構築した。

実際には 180 nm, 90 nm, 65 nm 40 nm

CMOS プロセスを利用した要素回路技術開発した。具体的要素回路技術として、低雑音増幅回路 (LNA)、変復調用ミキサ (Mix)、電圧制御発振回路 (VCO)、パワーアンプ (PA) などの構成法、設計法を明確化した。

- ① 増幅回路においては、CMOS インバータ回路に **Cherry Hopper** 手法とアクティブ帰還により広帯域特性を実現した。
- ② インダクタレス VCO として、リング発振回路を検討し、リング型回路で懸案の位相雑音特性をインジェクションロック技術により克服した。
- ③ 微細 CMOS プロセス技術によるカスコード CMOS インバータ型パワーアンプ構成を考案した。
- ④ デジタル回路技術を利用した性能補償および性能向上に関しては、CMOS インバータの遅延を利用した RF 信号生成回路等を提案した。

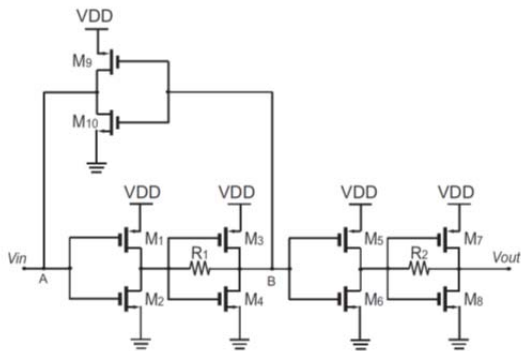


図2 Cherry-Hopper構成とアクティブゲインピーキング技術を適用したCMOS インバータ型低雑音増幅回路

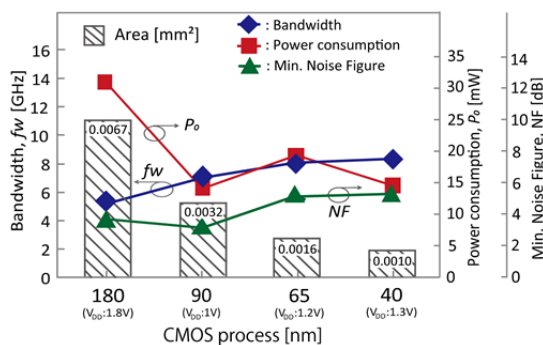


図3 広帯域増幅回路特性のプロセス世代依存性 (Cherry-Hopper 構成+アクティブゲインピーキング型)

図2は、CMOS インバータを利用した増武器の例である。この回路形式で異なるプロセ

ス世代の回路を試作評価し、その性能を評価した(図3)。世代とともに広帯域性が確保され、面積はプロセス世代に従って減少していることがあきらかとなった。

なお、RF CMOS 集積回路の Scalability 確保をした成果により、申請代表者(益)と分担者(石原 昇)は、平成 24 年度電子情報通信学会「業績賞」を受賞することができた。

5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 31 件) (全て査読有り)

1. Sangyeop Lee, Hiroyuki Ito, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "An Inductorless Cascaded Phase-Locked Loop with Pulse Injection Locking Technique in 90 nm CMOS," International Journal of Microwave Science and Technology, Vol. 2013, Article ID 584341, pp. 1-11, Mar. 2013.
2. Sang yeop Lee, Tatsuya Kamimura, Shin Yonezawa, Atsushi Shirane, Sho Ikeda, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A Multi-Band Quadrature Clock Generator With High-Pass-Filtered Pulse Injection Technique," IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, Vol. 23, No. 2, pp. 96-98, Feb. 2013.
3. Sangyeop Lee, Hiroyuki Ito, Satoru Tanoi, Noboru Ishihara, Kazuya Masu, "Injection-Locked Fractional Frequency Multiplier with Automatic Reference Pulse-Selection Technique," IEICE Electronics Express, Vol. 9, No. 21, pp. 1624-1629, Nov. 2012.
4. Dayang Nur Salmi Dharmiza, Mototada Oturu, Satoru Tanoi, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "An Inverter-Based Wideband Low-Noise Amplifier in 40 nm Complementary Metal Oxide Semiconductor," Japanese Journal of Applied Physics, Vol. 51, 04DE07, pp. 1-5, Apr. 2012.
5. 益 一哉、天川修平、伊藤浩之、石原 昇, 「RF CMOS 集積回路技術における挑戦」, 電子情報通信学会学会誌 2011年5月号, pp.427-432, Vol. 94, No. 5, 2011.
6. Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Inductorless 8.9mW 25Gb/s 1:4

DEMUX and 4mW 13Gb/s 4:1 MUX in 90 nm CMOS," Journal of Semiconductor Technology and Science, Vol. 10, No. 3, pp. 176-184, September 2010.

7. Kazuya Masu, Noboru Ishihara, Noriaki Nakayama, Takashi Sato, and Shuhei Amakawa, "Physical Design Challenges to nano-CMOS Circuits," IEICE Electronics Express (ELEX), Vol. 6, No. 11, pp. 703-720, 2009. (Invited Paper)

[学会発表] (計 133 件: 国際会議 48 件、国内会議 85 件) (全て査読有り)

1. Sho Ikeda, Tatsuya Kamimura, Sangyeop Lee, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A Sub-1mW 5.5-GHz PLL with Digitally-Calibrated ILFD and Linearized Varactor for Low Supply Voltage Operation," IEEE Radio Frequency Integrated Circuit 2013 (RFIC 2013), Washington State Convention Center, Seattle, Washington, USA, pp. 439-442, Jun 2-4, 2013
2. Kazuya Masu, Noboru Ishihara, Toshifumi Konishi, Katsuyuki Machida, and Hiroshi Toshiyoshi, "Challenges in Integration of Diverse Functionalities on CMOS," 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013), Pacifico Yokohama, Yokohama City Japan, pp. 390-393, Jan. 22-25, 2013 (invited).
3. Sho Ikeda, Tatsuya Kamimura, Sang yeop Lee, Norifumi Kanemaru, Hiroyuki Ito, Noboru Ishihara, Kazuya Masu, "A 0.5-V 5.5-GHz Class-C-VCO-Based PLL with Ultra-Low-Power ILFD in 65 nm CMOS," IEEE Asian Solid-State Circuits Conference 2012 (ASSCC 2012), Kobe Int. Conf. Center, Hyogo, Japan, Nov. 12-14, 2012.
4. Dayang Nur Salmi Dharmiza, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "Inductorless Wideband Low Noise Amplifier with Variable Gain in 65nm CMOS," 2012 Int. Conf. on Solid State Devices and Materials (SSDM 2012), Kyoto Int. Conf. Center, Kyoto, Japan, Sep. 25-27, 2012.
5. Dayang Nur Salmi Dharmiza, Mototada Otsuru, Satoru Tanoi, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu,

"An Inverter-based Wideband Low Noise Amplifier in 40nm CMOS Process", Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials, pp. 1083-1084, G-7-3, Nagoya, Japan, Sep 30, 2011.

6. Sang yeop Lee, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Low-Phase-Noise Wide-Frequency-Range Differential Ring-VCO with Non-Integral Subharmonic Locking in 0.18 μ m CMOS," 40th European Microwave Conference, pp. 1611-1614, Paris, France, September 28, 2010.
7. Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "On the Validity of Bisection-Based Thru-Only De-Embedding," 2010 IEEE International Conference on Microelectronic Test Structures (ICMTS2010), Hiroshima, Japan, March 23, 2010.
8. Tomoaki Maekawa, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Design of CMOS Inverter-Based Output Buffers Adapting the Cherry-Hooper Broadbanding Technique," The 19th European Conference on Circuit Theory and Design (ECCTD2009), pp. 511-514, Antalya, Turkey, August 25, 2009.
9. Shuhei Amakawa, Koh Yamanaga, Hiroyuki Ito, Takashi Sato, Noboru Ishihara, and Kazuya Masu, "S-Parameter-Based Modal Decomposition of Multiconductor Transmission Lines and Its Application to De-Embedding," International Conference on Microelectronic Test Structures (ICMTS), pp.177-180, Oxnard, California, April 1, 2009.

[その他]

ホームページ等

<http://masu-www.pi.titech.ac.jp/>

6. 研究組織

(1)研究代表者

益 一哉 (MASU KAZUYA)

東京工業大学・ソリューション研究機構・教授
研究者番号:20157192

(2)研究分担者 なし

(3)連携研究者 (3名)

石原 昇 (ISHIHARA NOBORU)
東京工業大学・ソリューション研究機構
特任教授

天川 修平 (AMAKAWA SHUHEI)
東京工業大学・ソリューション研究機構
特任助教 (2010年3月まで)

伊藤 浩之 (ITO HOROYUKI)
東京工業大学・精密工学研究所・助教
(2010年10月から)