

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月31日現在

機関番号：12608

研究種目：基盤研究（B）

研究期間：2009～2012

課題番号：21300012

研究課題名（和文） 耐遅延変動特性を強化した一般同期回路設計法の確立

研究課題名（英文） On Establishment of General Synchronous Circuit Design Methodology to Enhance Delay Variation Robustness

研究代表者

高橋 篤司（TAKAHASHI ATSUSHI）

東京工業大学・大学院理工学研究科・准教授

研究者番号：30236260

研究成果の概要（和文）：性能とともに信頼性を従来よりも格段に向上させた集積回路を設計、製造するための設計方法論を確立することを目的とし、回路の遅延分布をできる限り精度を保ちつつ、より高速に得るための遅延分布見積もり手法を開発するとともに、遅延エラー検出回復方式に基づき様々な回路の可変レイテンシ化した場合の性能および性能向上率などを評価することで、高性能高信頼性集積回路を効率良く実現するための指針を得た。

研究成果の概要（英文）：In order to establish new design methodology that enable us to design and manufacture high-performance and high-reliable integrated circuits, a fast delay distribution estimation method that has enough accuracy was developed. Also, performance and performance improvement ratio of variable latency circuits in which delay error detection/correction mechanism is used were evaluated for various circuit, and a guideline to synthesize high-performance and high-reliable integrated circuits efficiently was obtained.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	2,700,000	810,000	3,510,000
2010年度	1,700,000	510,000	2,210,000
2011年度	1,900,000	570,000	2,470,000
2012年度	1,700,000	510,000	2,210,000
年度			0
総計	8,000,000	2,400,000	10,400,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI設計技術、同期回路、耐遅延変動特性、遅延エラー検出回復方式、可変レイテンシ回路

1. 研究開始当初の背景

集積回路が誕生した1950年代後半から半導体の集積密度は1.8から2.4ヶ月で倍増するというムーアの法則が成立していると言われてるように、製造技術の進歩により、高性能の回路素子が小面積でしかも低価格で製造できるようになっていた。しかし、

回路の大規模化、回路性能への要求の高度化にともない、回路設計の複雑さが飛躍的に増しているため、それらに耐え得るよう回路の設計方法論は変革を続けなければならない。

デジタル回路における最も重要な設計方法論の一つである大域クロックを用いた同期方式の中でも、同期を同時にとる完全同期

方式に基づく設計フローは、現在でも主流として用いられている。しかし、クロック分配の困難さの増大から90年前後からその限界が叫ばれるようになり、大域クロックを用いるが同期を必ずしも同時にとらない新たな一般同期方式に基づく設計方法論などが、最先端分野の回路向けに提案されてきた。

しかし、近年、回路の微細化の影響による不確実性の増大等による回路設計、製造の困難さはさらに増しており、回路のさらなる高性能化の妨げとなりつつあった。そのため、遅延ばらつきの影響をより正確に見積もり、それらを効率良く利用することで、従来の方式に比べ大きな性能向上、信頼性向上を達成するための新たな設計方法論の構築が期待されていた。

2. 研究の目的

(1) 従来の回路設計、製造では、回路内の各素子に素子遅延値の許容範囲を設定し、設計側は素子遅延値が許容範囲に収まることを前提に設計し、製造側は素子遅延値が許容範囲に収まることを目標に製造する方式がとられてきた。しかし、回路の微細化にともない、典型的な遅延値を用いた設計では、歩留まりが極端に悪化する可能性が高くなる一方、許容範囲を考慮した設計では、設計の自由度が失われ、指定性能を達成する回路を得ることは不可能であるとみなされる可能性が高くなる。

このため、各素子の遅延値を統計量とみなし、回路の遅延値を各素子の遅延値の統計量から見積もる統計的静的遅延解析手法が用いられるようになってきた。しかしながら、多くの手法では遅延解析に必要な時間と遅延解析性能のトレードオフや、遅延量のモデリングや統計的演算の困難さもあり、遅延分布は正規分布に近似される。しかし、典型的な遅延値が異なる複数の信号伝搬経路が存在し、活性化される信号伝搬経路が入力信号ベクトルによって異なる場合には、伝搬遅延の分布は大きく正規分布から外れるなど、統計的静的遅延解析手法を用いたとしてもタイミングエラーの発生確率を正確に見積もっているとは必ずしも言えない。

本研究では、タイミングエラーの発生確率をより正確に見積もるために、回路動作に影響を与える最小値近辺と最大値近辺の分布に特に着目するとともに、活性化される信号伝搬経路が入力信号ベクトルに大きく依存することを考慮し、伝搬遅延の分布が正規分布から大きく外れる場合にも適用可能な遅延見積り手法を開発することを目的とした。

(2) 従来、回路合成手法に対して、様々な環境下でタイミングエラーが発生しないよう回路を合成することが求められることが多かった。そのため、ほとんどの場合には正常

動作するが、特殊な条件下でのみタイミングエラーが発生する信号回路部分に対しても、信号回路を修正することが必要となり、回路面積や消費電力の大きな増加につながるとともに、その信号回路部分が性能向上のボトルネックとなる可能性があった。このような場合、遅延エラー検出回復機構を導入することにより、信号回路部分に対する修正をすることなく、タイミングエラーに対処することが可能となり、全体性能をほとんど悪化させることなく低コストで回路を正常動作させることが可能となる。

本研究では、今後のさらなる回路の微細化による不確実性の増大に対処するだけでなく、性能向上をも達成した回路を得るため、遅延エラー検出回復方式を用いて、回路を可変レイテンシ化する一般同期回路設計法の確立を目的とした。

(3) エラー検出回復方式の基づき回路を可変レイテンシ化する場合、可変レイテンシ化を前提とせず、従来の枠組みで最適化された回路は、必ずしも可変レイテンシ化により性能が向上するとは限らない。可変レイテンシ化により回路性能や信頼性をより向上させるためには、従来とは異なる指針で回路を合成しなければならない。

本研究では、低コストで回路の性能向上および信頼性を向上させる回路合成手法を開発するために、信号伝搬遅延の見積りから可変レイテンシ化後の回路性能のボトルネックとなっている回路部分を特定し、そのボトルネックを解消するための回路修正手法を提案するなど、エラー検出回復方式を前提とした回路合成手法を開発することを目的とした。

3. 研究の方法

(1) 遅延解析、遅延見積り手法は、回路設計において、タイミングエラーが発生するかどうか、すなわち、最小伝搬遅延に起因するホールド違反、および最大伝搬遅延に起因するセットアップ違反が発生するか否かを判定するための基本的なツールとして繰返し用いられるため、正確性ととも高速性が要求される。

タイミングエラーの発生確率をより正確に見積もるために、回路動作に影響を与える信号伝搬遅延の最小値近辺と最大値近辺の分布に特に着目するとともに、活性化される信号伝搬経路が入力信号ベクトルに大きく依存することを考慮し、入力信号ベクトルの生起確率から定義される信号伝搬経路の活性化確率を反映した遅延分布およびクリティカルな信号伝搬経路を特定する技術の開発、伝搬遅延の分布が正規分布から大きく外れる場合にも適用可能な手法を開発するため、思考実験、プロトタイプ作成、計算機実

験、評価を、小規模な回路を用いて繰り返す。その後、大規模な回路に適用しその性能を評価する。

(2) 回路の可変レイテンシ化を、遅延エラー検出回復方式を用いて効果的に実現するために、フリップフロップを2重化し、通常タイミングで動作させるフリップフロップ、遅いタイミングで動作させるフリップフロップを用いる。遅延故障は、2つのフリップフロップの値が一致するか否かにより次クロック周期内で判定し、2つのフリップフロップの出力が一致していればタイミングエラーは発生していないと判断し通常動作を続ける。

通常の回路動作では、タイミングエラーは許容されないため、通常の回路シミュレーションではタイミングエラー発生時の回路の挙動を正確には再現できない。そのため、タイミングエラー検出回復方式における回路の動作制約を明確にしなければならない。また、遅延エラー検出回復機構は付加回路を必要とするため、同一動作方式と比べ回路面積は増大する。実効速度向上の利点をより活かすために、回路面積の増大はできる限り抑えなければならない。遅延エラーは必ずしもすべての回路出力で発生するとは限らず、遅延エラー検出回復機構の導入を必要とする信号と必要としない信号を考慮したうえで動作制約を明確にする。

そのうえで、回路シミュレーションにおいて動作制約を正確に反映させることで、遅延エラー検出回復方式における回路動作および性能を確認するための手法を開発する。また、設定クロック周期と実効クロック周期の関係を調べ、適切な設定クロック周期の設定法を開発する。さらに、遅延エラー検出回復機構の導入方法について検討するとともに、その方式に基づき回路合成を行う。

(3) 可変レイテンシ化により回路性能や信頼性をより向上させるためには、従来とは異なる指針で回路を合成しなければならない。設計指針を得るために、様々な小規模な回路に対して遅延分布を求め、遅延エラー検出回復方式を用いて可変レイテンシ化した場合の設定クロック周期と実効クロック周期との関係を調べる。また、動作制約から遅延の挿入が可能な箇所を特定し、遅延を挿入した場合の遅延分布の変化を調べることで、回路の修正方法を開発する。

4. 研究成果

(1) 回路を可変レイテンシ化した場合の回路性能を実効クロック周期などで評価するためには、回路の最大遅延、最小遅延などとともに回路の遅延分布を動的遅延の変化などを考慮してより正確に求めなければならない。回路の動的遅延分布は必要な入力パ

ーンの系列をすべてシミュレーションすることにより正確に求めることはできる。しかし、計算量は回路の入力数の指数オーダーとなるため、小規模な回路を除き現実的な方法ではない。

本研究では、タイミングエラーの発生確率の見積り手法の開発のため、小規模な回路において、すべての入力信号ベクトル対を用いた回路シミュレーションによる動的遅延解析により、回路遅延の分布を求め、同一処理を行う最大遅延が等しい回路においても、回路構造により回路遅延の分布が大きく異なることを確認した。

また、回路入力を制限し実質的な回路の遅延を変化させ、遅延エラーの発生を制御することで、回路の動作確認および性能評価を、より効率良く行うための手法を開発し、FPGAを用いてその評価方法の評価を行った。

さらに、回路の最小遅延、最大遅延をできる限り精度を保ちつつより高速に得るため、信号の時間的変化を最初の変化時刻と最後の変化時刻を使って遷移事象として簡易表現すること、生起確率の低い遷移事象を他の遷移事象と併合することで、より少ない計算量で回路の動的遅延分布と速度性能を見積もる手法を開発した。計算機実験による結果から、提案手法によってより高速に得られた見積もりが、入力パターンのシミュレーションに近いことを確認し、その性能を確認した。(2) 回路の可変レイテンシ化を、遅延エラー検出回復方式を用いて効果的に実現するために、レイテンシが1周期または2周期と変化する可変レイテンシ回路をVerilog言語により記述し、それらを $0.18\mu\text{m}$ のセルライブラリを用いて論理合成しシミュレーションにより評価した。

遅延エラー検出回復方式の実現のために、フリップフロップを2重化し、それぞれを必ずしも正しい値を取り込まない早いタイミング、正しい値が取り込まれることが保証される遅いタイミングで動作させる。2つのフリップフロップの保持値が一致している場合には、タイミングエラーは発生していないと判断し、早いタイミングのフリップフロップの保持値を用いて通常動作を続け、異なる場合にはタイミングエラーが発生したと判断し、通常動作を中断し故障回復動作に移る。

回路の遅延分布見積もりを用いて適切に設定クロック周期を選択する手法を開発し、その手法に基づき設定クロック周期を選択すると、回路性能の指標となる実効クロック周期は、従来方式よりも向上することを回路シミュレーションにより確認した。また、遅延エラー検出回復機構の導入箇所を決定する手法を開発し、開発手法により可変レイテンシ化した場合の回路面積の増大が抑えられることを確認した。

(3) エラー検出回復方式の基づき回路を可変レイテンシ化する場合、可変レイテンシ化を前提とせず従来の枠組みで最適化された回路は、必ずしも可変レイテンシ化により性能が向上する回路とは限らない。

本研究では、実効クロック周期などの回路の性能指標が、従来の最大信号伝搬遅延を最小化した回路構成とは異なる回路構成で向上されることを確認した。また、同一の関数を実現する様々な回路の可変レイテンシ化した場合の性能および性能向上率などを評価することで、与えられた回路を可変レイテンシ化した場合に性能が向上する回路に修正する方法を提案するなど、可変レイテンシ化した場合に高性能となる回路を合成するための指針を得た。

また、加算器や乗算器に遅延エラー検出回復機構を付加し可変レイテンシ回路としてFPGA上に実現し、その性能を回路シミュレーション、FPGAを用いたシミュレーション等により評価した。今後、性能とともに信頼性を従来よりも格段に向上させた遅延エラー検出回復方式に基づく可変レイテンシ回路を効率良く実現するための研究開発を続けるとともに、得られた研究成果を用いて高性能高信頼性集積回路を合成するために活用する。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 15 件)

- ① 高橋篤司、遅延ばらつき適応回路：遅延ばらつき状況下での高性能回路、第25回回路とシステムワークショップ論文集、査読無、25巻、2012、184-189
- ② Kenta Ando、Atsushi Takahashi、Performance Evaluation of Various Configuration of Adder in Variable Latency Circuits with Error Detection/Correction Mechanism、Proc. the 17th Workshop on Synthesis And System Integration of Mixed Information technologies、査読有、17巻、2012、549-554
- ③ 井上雅文、右近祐太、高橋篤司、谷口研二、エラー検出回復方式回路の回路構成と性能に関するシミュレーション評価、DAシンポジウム 2010 論文集、査読有、2010巻、2010、123-128
- ④ Atsushi Takahashi、New design methodologies for synchronous circuits、Special Papers of IEEJ the 2009 International Analog VLSI Workshop、査読無、I2巻、2009、1-4

- ⑤ 高橋伸嘉、富岡洋一、小平行秀、高橋篤司、入力ベクトルの適切な選択によるピーク電力高速見積り手法、DAシンポジウム2009論文集、査読有、2009、13-18

[学会発表] (計 16 件)

- ① 安藤健太、高橋篤司、エラー検出回復方式を用いた可変レイテンシ回路のための高速な性能見積り手法、システムLSI設計技術研究会、2013年3月13日～2013年3月14日、対馬市交流センター(長崎県)
- ② 高橋篤司、(招待講演)遅延ばらつき適応回路：遅延ばらつき状況下での高性能回路、第25回回路とシステムワークショップ、2012年7月30日～2012年7月31日、淡路夢舞台国際会議場(兵庫県)
- ③ Kenta Ando、Atsushi Takahashi、Performance Evaluation of Various Configuration of Adder in Variable Latency Circuits with Error Detection/Correction Mechanism、the 17th Workshop on Synthesis And System Integration of Mixed Information technologies、2012年3月8日～2012年3月9日、ビーコンプラザ(大分県)
- ④ Atsushi Takahashi、(招待講演) Adaptive Computing Oriented Circuit Synthesis、Ambient GCOE International Workshop on System LSI、2011年11月25日、北九州学術研究都市会議場(福岡県)
- ⑤ Atsushi Takahashi、(招待講演) New design methodologies for synchronous circuits、IEEJ the 2009 International Analog VLSI Workshop、2009年11月18日～2009年11月20日、インペリアルマエピンホテル(タイ)
- ⑥ Atsushi Takahashi、(招待講演) Recent Advances in Routing Control Technology、Japan-Taiwan Semiconductor Electronic Design Automation (EDA) Science and Technology Symposium、2009年9月3日～2009年9月5日、クラウンパレス北九州(福岡県)

6. 研究組織

(1) 研究代表者
高橋 篤司 (TAKAHASHI ATSUSHI)
東京工業大学・大学院理工学研究科・准教授
研究者番号：30236260

(2) 研究分担者
なし
(3) 連携研究者
なし