

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 4月13日現在

機関番号：14303

研究種目：基盤研究(B)

研究期間：2009～2011

課題番号：21300014

研究課題名（和文） 一時故障を低コストで補償する回路方式の検討

研究課題名（英文） Evaluation of Low-Cost Circuit-level Techniques to Compensate Temporal Errors.

研究代表者

小林 和淑 (KOBAYASHI KAZUTOSHI)

京都工芸繊維大学・工芸科学研究科・教授

研究者番号：70252476

研究成果の概要（和文）：

本研究では、中性子や $\alpha$ 線などの粒子線に起因するソフトエラーを低コストで補償するための回路方式の検討を行い、主に冗長化フリップフロップ(FF)とエラーを検出するためのセンサーの研究を行った。BCDMR FFを65nmプロセスにて試作し、中性子線にてそのエラー耐性を評価し、通常のD-FFの100倍以上のエラー耐性を持つこと、基板電位変動センサーにより、冗長化FFの反転を引き起こすMCU(複数ビット反転)がほぼ正確に検知できることを明らかにした。

研究成果の概要（英文）：

We investigate the low-cost circuit technique to mitigate temporal soft errors caused by neutrons and alpha particles. We mainly focus on redundant flip-flops (FFs) and sensors to detect temporal errors. We developed a redundant FF called BCDMR which is 100x stronger than normal non-redundant FFs and also sensor circuit to detect multiple cell upsets (MCUs) to upset redundant FFs.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	3,100,000	930,000	4,030,000
2010年度	2,500,000	750,000	3,250,000
2011年度	1,700,000	510,000	2,210,000
年度			
年度			
総計	7,300,000	2,190,000	9,490,000

研究分野：集積回路設計工学

科研費の分科・細目：情報学、計算機システム・ネットワーク

キーワード：一時故障、VLSI、信頼性

## 1. 研究開始当初の背景

集積回路は年々微細化が進み、ついにナノメータの世界に突入した。現在利用が進んでいる45nmのプロセスルールでは、10億個を超えるトランジスタの集積が可能である。そこで顕在化しているのが信頼性の低下である。

## 2. 研究の目的

信頼性には様々なものがあるが、本研究では、

LSIの設計段階で適用可能な信頼性技術に焦点をあてる。具体的には、ソフトエラーにより引き起こされる一時故障、NBTIなどの経年劣化に伴い引き起こされる一時故障の二つに焦点をあて、一時故障を低コストで補償する回路方式の検討を行なう。一時故障は初期故障率が落ち着く偶発的期間に顕在化する。NBTIによる経年劣化は使用期間の終盤になって顕在化する。

### 3. 研究の方法

本研究では、ASICにも適用可能な一時故障を補償するための低コストな回路方式を検討することを目的とする。ソフトウェアによる一時故障による誤動作を防止するには、背景部分でも説明を行なったとおりプロセッサにおける命令の再実行が有効である。しかし、ASICにおいては再実行による後戻りはコストが高く、再実行を伴わずにその場でエラーを訂正する手法が有効であると考えられる。エラーを訂正するもっとも効果的な方法は三重化である。しかし組み合わせ回路を含めたすべての回路を三重化するのは、非常にコストが高く、コスト低減への要求が極めて高いASICへの適用は難しい。本研究では、回路構造を工夫することにより低コストかつ効果の高いソフトウェア対策法を提案することを一つの到達目標とする。

### 4. 研究成果

本研究では、まず、図1に示す耐ソフトウェアフリップフロップの提案を行い、その特許出願を行った。65 nm プロセスにて耐ソフトウェアフリップフロップの試作を2009年から2011年度まで、年1回のペースで計3回行い、次のような結果を得た。

[2009年] 本研究グループでは初となるBCDMR FFの試作を行った。設計工数の関係から、既存のラッチと新たに設計したC-elementなどの素子を組み合わせたレイアウトとした。

[2010年] レイアウトを1から行い、BCDMR FFのカスタムレイアウトを作成した。また、複数ビット反転に弱いという前年の問題点を改善した

[2011年] 1GHzのクロック周波数で測定可能な、BCDMR FFの試作を行った。

図2に、レイアウト構造の違いによるエラー数を示す。左が2010年に試作した最適化したレイアウト構造、右が2009年に試作した通常のレイアウト構造である。冗長化FFは、複数の記憶素子が反転すると、その出力が反転する。図中の距離は反転すると出力に影響の出る記憶素子同士の距離を表している。最適化後は、距離が3um以上離れており、エラー耐性も大きく向上している。

図3はソフトウェア検知器の原理を表している。粒子線により電子正孔対が発生すると、基板電位が上昇する。この検知器はその基板電位上昇を検知する。中性子による測定の結果、図4の通り、複数ビット反転(MCU)と基板電位変動の関係は93%の相関があることが判明した。

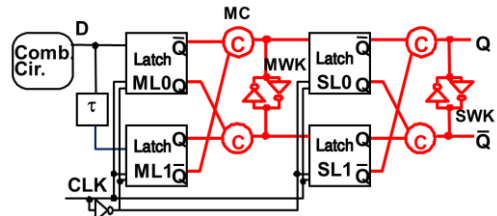


図1: BCDMR FF

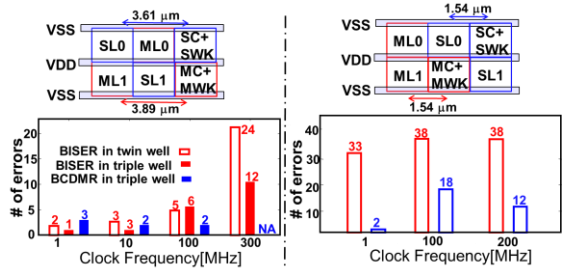


図2: 中性子線による測定結果

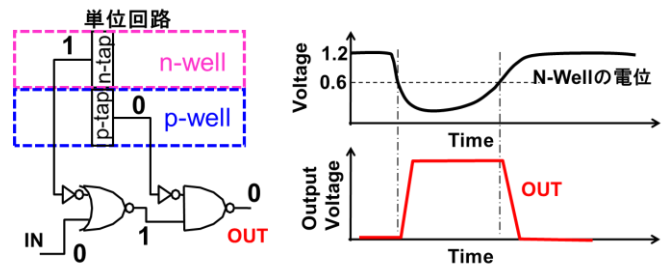


図3: 基板電位検出回路

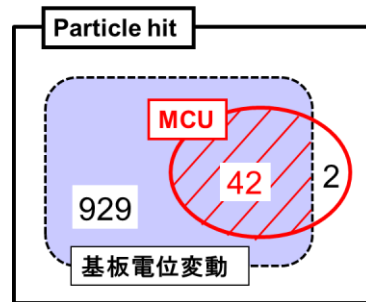


図4: 基板電位変動とMCUの相関関係

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

- ① An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets, 山本, 濱中, 古田, 小林, 小野寺, IEEE Trans. on Nuclear Science, 査読有, vol. 58, pp. 3053 - 3059, 2011, DOI: 10.1109/TNS.2011.2169457

- ② Variation-Tolerance of a 65-nm Error-Hardened Dual-Modular-Redundancy Flip-Flop Measured by Shift-Register-Based Monitor Structures, 濱中, 山本, 古田, 久保田, 小林, 小野寺, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, vol.E94-A, pp. 2669-2675, 2011, DOI: 10.1587/transfun.E94.A.2669
- ③ A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit, 松本, 牧野, 小林, 小野寺, Japanese Journal of Applied Physics, 査読有, vol. 50, pp. 04DE06, 2011, DOI: 10.1143/JJAP.50.04DE06

[学会発表] (計 57 件)

- ① Correlations between Well Potential and SEUs Measured by Well-Potential Perturbation Detectors in 65nm, 古田, 山本, 小林, 小野寺, IEEE Asian Solid-State Circuits Conference, 査読有, pp. 209-212, 2011/11/16, Jeju, Korea, DOI: 10.1109/ASSCC.2011.6123639
- ② FPGA 配線構造における RTN モデルを用いた NBTI 遅延解析手法の検討, 藪内, 小林, DA シンポジウム, 査読有, pp. 189-194, 2011/09/01, 下呂
- ③ The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits, 伊東, 松本, 西澤, 砂川, 小林, 小野寺, IEEE International Reliability Physics Symposium, 査読有, pp. CR. 5. 1-CR. 5. 4, 2011/04/13, Monterey, CA, USA, DOI: 10.1109/IRPS.2011.5784563
- ④ Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking, 古田, 濱中, 小林, 小野寺, IEEE International Reliability Physics Symposium, 査読有, pp. 5B. 2. 1-5B. 2. 5, 2011/04/13, Monterey, CA, USA, DOI: 10.1109/IRPS.2011.5784520
- ⑤ Modeling of Random Telegraph Noise under Circuit Operation - Simulation and Measurement of RTN-induced delay fluctuation, 伊東, 松本, 西澤, 砂川, 小林, 小野寺, International Symposium on Quality Electronic Design, 査読有, pp. 22-27, 2011/03/15, Santa Clara, CA, USA, DOI: 10.1109/ISQED.2011.5770698
- ⑥ A 65nm Flip-Flop Array to Measure Soft Error Resiliency against High-Energy Neutron and Alpha Particles, 古田, 濱中, 小林, 小野寺, Asia and South Pacific Design Automation Conference, 査読有, pp. 83-84, 2011/01/26, Yokohama, Japan, DOI: 10.1109/ASPAC.2011.5722306
- ⑦ Evaluation of FPGA design guardband caused by inhomogeneous NBTI degradation considering process variations, 藪内, 小林, International Conference on Field Programmable Technologies, 査読有, pp. 417-420, 2010/12/09, Beijing, China, DOI: 10.1109/FPT.2010.5681449
- ⑧ A 65nm CMOS 400ns Measurement Delay NBTI-Recovery Sensor by Minimum Assist

Circuit, 松本, 牧野, 小林, 小野寺,  
International Conference on Solid  
State Devices and Materials, 査読有,  
2010/09/23, 東京

- ⑨ A 65nm Bistable Cross-coupled Dual  
Modular Redundancy Flip-Flop Capable  
of Protecting Soft Errors on the  
C-element, 古田, 濱中, 小林, 小野寺,  
VLSI Circuits Symposium, 査読有, pp.  
123-124, 2010/06/17, Honolulu, Hawaii,  
USA, DOI: 10.1109/VLSIC.2010.5560329

[産業財産権]

○出願状況 (計1件)

名称: フリップフロップ回路

発明者: 古田潤、小林和淑、小野寺秀俊

権利者: 京都工芸繊維大学

種類: 特許

番号: 2010-134066

出願年月日: 平成22年6月11日

国内外の別: 国内

[その他]

ホームページ等

<http://www-vlsi.es.kit.ac.jp/globalwiki/wiki.cgi>

## 6. 研究組織

### (1) 研究代表者

小林 和淑 (KOBAYASHI KAZUTOSHI)

京都工芸繊維大学・工芸科学研究科・教授

研究者番号: 70252476

### (2) 研究分担者

( )

研究者番号:

### (3) 連携研究者

( )

研究者番号: