

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 5 日現在

機関番号：17104

研究種目：基盤研究（B）

研究期間：2009～2012

課題番号：21300015

研究課題名（和文） VLSI の高品質フィールドテストに関する研究

研究課題名（英文） A study on high quality field test for VLSIs

### 研究代表者

梶原 誠司 (KAJIHARA SEIJI)

九州工業大学・情報工学研究院・教授

研究者番号：80252592

研究成果の概要（和文）：本研究の目的は、論理回路に対して、システムの空き時間を利用した高品質なフィールドテスト手法を確立することにある。特に、劣化が原因となる故障にも高い故障検出能力を有するテスト手法を開発する。フィールドテストは、一回のテスト時間が短く、テストパターンを保存する記憶容量も少ないが、テスト機会はフィールドで複数回可能である。本研究では、テストパターン集合を分割して、複数回のテスト機会を通じて一つのテストを実施する「分割・巡回テスト手法」を開発する。

研究成果の概要（英文）：The purpose of this work is to establish a high quality field test method using system-idle time for logic circuits. Especially the method has an ability of detection for aging-induced faults. In general, field test requires short test application time and small memory space while test opportunity is more than once. In this work, a test partitioning and rotating test method is developed in which a given test pattern set is partitioned and a whole test is achieved through multiple test opportunity.

### 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	3,600,000	1,080,000	4,680,000
2010年度	1,300,000	390,000	1,690,000
2011年度	1,300,000	390,000	1,690,000
2012年度	1,000,000	300,000	1,300,000
年度	0	0	0
総計	7,200,000	2,160,000	9,360,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ディペンダブル・コンピューティング、VLSI の設計とテスト、システムオンチップ、論理回路、高信頼設計、計算機システム

### 1. 研究開始当初の背景

製造した VLSI のテストを確実に行うことは、VLSI が組み込まれたシステムの信頼性確保に重要な役割を果たしている。一方で、微細化の進展とともに、VLSI が経年変化による劣化故障を起こしやすくなっており、製造テストでは欠陥が発見できなくても、システム運用中に VLSI に障害の発生するケース

が今後増加すると予想されている。劣化には、エレクトロマイグレーション、ストレスマイグレーション、NBTI(負バイアス温度不安定性)、HCI(ホットキャリア注入効果)、TDDB(酸化膜経時破壊)などが知られており、それらは回路の遅延やリーク電流の増加として顕在化する。劣化に対しては、ライフタイムの予測や出荷前の信頼性試験および寿命

試験が一般に行われている。しかしながら、微細化するトランジスタにおける正確な劣化進行の予測は困難である上、個々の VLSI により使用状況や使用環境は異なるため、劣化の進み具合も異なってくる。つまり、劣化がいつ故障として顕在化するかを事前に把握することはできない。このような問題に対応するには、VLSI のフィールド運用時にテストを行うことが有効になる。

フィールドでのテストには、システム動作中に行うオンラインテストとシステム起動時に行うパワーオンテストがある。オンラインテストを可能にするには、たとえば二線式回路のように大きな付加回路を伴うか、または、回路性能の低下を伴うため、一般的に導入へのハードルは高い。パワーオンテストは、システム起動時間を使い、システム動作自体には関与しないため、回路性能に与える影響はほとんどない。したがって、高い信頼性が要求される機器（たとえば、ネットワークストレージや車載半導体など）の一部には採用され始めている。しかしながら、現状ではテスト内容は極めて簡単な自己テストにとどまっており、劣化故障に対応できるような高い故障検出能力があるとは言い難い。また、研究レベルでもパワーオンテストの制約を考慮したテストの高品質化の研究は皆無である。

## 2. 研究の目的

本研究の目的は、大規模論理回路に対して、フィールドテストにおける様々な制約を考慮した上で、システムのパワーオン・パワーオフ等の時間を利用した高品質なテスト手法を確立することにある。特に、劣化が原因となる遅延故障について、高い故障検出能力を有するテスト手法を開発する。フィールドテストは製造テストと異なり、LSI テスタを使用できないため、組込み自己テスト(BIST)技術の導入が前提となる。一方で、テスト機会は一度だけではなく、図 1 に示すように何度もテストすることができる。本研究は、このようなフィールドテストの制約や特性を考慮しながら、製造テストに匹敵するテスト品質を有するテスト手法を開発することを目的とする。

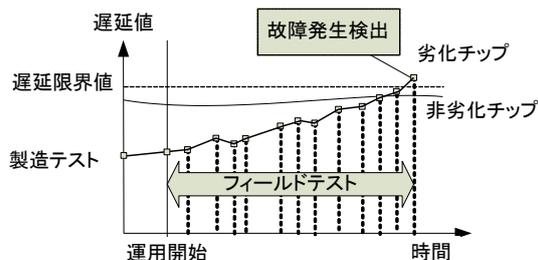


図 1 フィールドテストによる故障検出

## 3. 研究の方法

パワーオン・パワーオフテストには量産時の製造テストとは異なる以下のような制約がある。

### 制約 1) テスト時間

パワーオンテストでは、ユーザがストレスを感じない程度の待ち時間でテストを終える必要がある。パワーオンテストに許される時間は 10 ミリ秒オーダーであり、これは通常の製造テストの数分の 1 である。

### 制約 2) テスト回数の制約

製造テストでは一つのチップに対して 1 回しかテストしないが、フィールドでのテストでは、パワーオン・パワーオフごとにテスト機会が複数回ある。

### 制約 3) テストデータ量とテスト機能

製造テストでは LSI テスタにテストデータ（テストパターンとテスト応答の期待値）を格納するが、フィールドテストではチップにテストデータを格納する。そのため、組込み自己テスト(BIST)で用いられるような圧縮可能なテストデータが必要である。

これらの制約を考慮して、本研究では、従来の製造テストにはない新しい考え方に基いたテスト手法を開発する。

#### (1) テストキューブのテスト品質評価

テストデータ量削減の必要性から、本研究ではテストパターンとしてデータ圧縮が容易なテストキューブ（値としてドントケアを含むテストパターン）を扱う。しかしながら、テスト品質評価を行うに当たり、近年注目されている遅延テスト品質評価手法の SDQM (Statistical Delay Quality Model) はテストキューブに対応していない。そこで、まず、テストキューブに対して SDQM による評価を可能にする手法を開発する。

#### (2) テスト分割・巡回テストの評価尺度

フィールドでのテストは、許容されるテスト時間が短い一方でテスト機会は複数回ある。そこで、図 2 に示すように 1 回のテストですべてのテストパターンを印加するのではなく、テストパターン集合を分割して複数回のテスト機会を通じて一つのテストを実施する「分割・巡回テスト手法」を提案する。

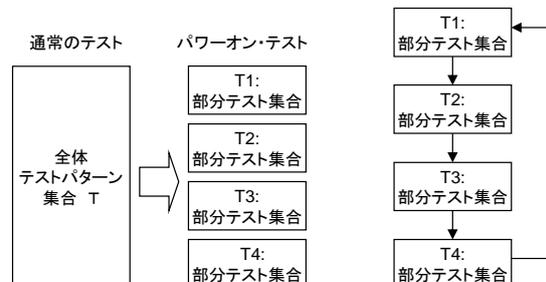


図 2 分割・巡回テスト手法

回路内の多くの故障は、与えられたテストパターン集合に含まれる複数のテストベクトルにより検出できる。テストパターン集合を分割する場合、ある故障を検出できるテストベクトルが同じ部分テスト集合に含まれると、分割・巡回テストにおける各回の故障検出率が低下し、フィールドテストにおける障害発生率を抑えることが出来ない。また、故障の検出間隔が長い場合も障害発生率は増加する。本研究は、障害発生率に基づいた分割テスト集合の評価方法を定義する。

### (3) テスト分割アルゴリズム

分割・巡回テストにおける1回のテスト当たりのテストパターン数は、フィールドテストで許容されるテスト時間や記憶容量によって決まる。決められたテストパターン数において、あらかじめ与えられたテスト集合から上記の評価尺度を最大化するテスト分割法を研究する。与えられる分割前のテスト集合はドントケアを含むものも考慮する他、評価尺度を最大化するためには、与えられたテスト集合の全てのテストパターンを含まないこと、および、同じテストパターンが異なる分割に重複して含まれることも許容する。

## 4. 研究成果

### (1) テストキューブのテスト品質評価

テストキューブに対して遷移故障シミュレーションで遅延値の範囲を計算する手法を提案し、テストキューブのSDQLの範囲を計算可能にした。提案手法により、テストキューブのテストパターンの最悪と最良のテスト品質を求めることができる。これにより、テストキューブのXへの論理値の割当てによるテスト品質向上の目標値が明確化でき、テスト圧縮やテスト時の消費電力削減などを目的とするXへの論理値割当てを同時に考慮しやすくなる。

SDQLの算出には、フリップフロップから故障箇所への信号値遷移の到達時間と観測点への故障値の到達時間の2つの遅延値を求める必要がある。提案手法では、Xへの論理値割当てにより得られる2つの遅延値の最小値と最大値を計算し、SDQLの上限値と下限値を算出する。なお本研究では、同期式スキャン回路を対象とし、遅延計算ではユニット遅延モデルを用いる。さらに、テストキューブのXへの論理値割当てを行うX-fillingでは、遺伝的アルゴリズム (GA: Genetic Algorithm) を用いて、テストキューブからより良いテスト品質のテストパターンを求める手法も提案した。

提案手法を Celeron 2.67GHz、512MB メモリの計算機上にC言語で実装し、ISCAS' 89、

ITC' 99 ベンチマーク回路において実験を行った。表1にテストキューブの数、テストキューブに含まれるXの率、提案手法において遅延値が最大、最小の時の実行時間、テストキューブのXにすべて0を割当て(0-filling)を行った際の実行時間を示す。表2に遅延値が最大、最小の時のSDQL値、0-fill、random-fillによるテストパターンのSDQL値、X判定を行う前のテストパターンのSDQL値を示す。これらの値は、遅延値が最大の時のSDQL値により正規化している。最小の遅延値により得られたSDQL値は上限となり、これによりテストキューブの保証する遅延テスト品質がわかる。

表1: テストキューブと実行時間

circuit	test cubes	Xs[%]	CPU time [sec]		
			Max	Min	0-fill
b15s	1141	45.1	39	42	37
b17s	1250	43.0	120	137	117
b20s	989	29.5	28	32	27
b21s	923	28.5	27	30	26
b22s	1123	37.2	49	57	48
s35932	337	92.0	77	80	74
s38417	270	46.9	4.5	5.5	4.4
s38584	412	73.7	32	36	32

表2: 正規化したSDQL値

circuit	Max	original	0-fill	random	Min
b15s	1	0.9662	0.9658	0.9636	0.9299
b17s	1	0.9590	0.9569	0.9533	0.9243
b20s	1	0.9769	0.9765	0.9752	0.9355
b21s	1	0.9692	0.9686	0.9685	0.9337
b22s	1	0.9726	0.9720	0.9716	0.9255
s35932	1	0.9808	0.9768	0.9902	0.9385
s38417	1	0.8679	0.8610	0.8577	0.7202
s38584	1	0.9831	0.9829	0.9824	0.8415

### (2) テスト分割・巡回テストの評価尺度

本研究では、まず、テスト分割・巡回テストの評価の定量化方法として、分割されたテスト集合の平均故障検出率を尺度として、提案した。平均故障検出率は、計算が容易で、テスト分割のアルゴリズムを開発する際にも、扱いやすいことが利点である。

次に、一回のテスト巡回中での各故障の検出間隔を掛け算することで評価値を求めた。一回の巡回中で故障が定期的に検出できることは言い換えると故障の検出間隔にばらつきが少ないといえる。つまり各故障の個別評価を与える場合、その故障間隔を求め、ばらつきを調べれば良い。

更に、障害発生率に基づいた分割テスト集合の評価方法を開発した。それまでの研究では、分割したテストの平均故障検出率に基づく尺度を開発していたが、故障検出間のレイテンシを基準とし、さらに、どの部分テスト集合でも未検出な故障の扱いも評価尺度に反映するように検討した。図3では、テスト集合を4つに分割して巡回テストを実施する例である。Case 1では部分テスト集合  $T_1$  と  $T_3$  で故障が検出される場合を、Case 2では部分テスト集合  $T_1$  と  $T_2$  で故障が検出される場合を示す。この2つの場合を比べたとき、故障検出の平均間隔が短いCase 1がCase 2よりも障害発生率を抑えることができる。

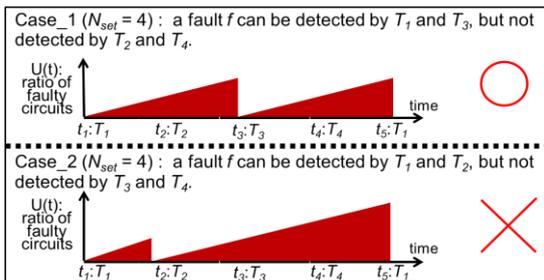


図3 平均故障検出間隔と障害発生率

### (3) テスト分割アルゴリズム

分割・巡回テストにおける1回のテスト当たりのテストパターン数は、フィールドテストで許容されるテスト時間や記憶容量によって決まる。決められたテストパターン数において、あらかじめ与えられたテスト集合から上記の評価尺度を最大化するテスト分割法を研究した。

部分テスト集合の印加順序決定方法においてももっとも確実といえる方法は全巡回パターンを計算し最良の結果を出すことである。しかし、全数テストによる計算では計算時間が非常に長くなると予想される。そのためアルゴリズムにより最良の巡回パターンを見つける必要が出てくる。しかし、VLSIの故障検出では対象となる故障が膨大な数であり、全故障に対して最良の巡回パターンとすることは不可能である。そのため最良巡回パターンの算出は困難であるといえる。

そこで本論文では特定の条件に絞った上で最良のパターンを見つけていくこととする。なるべくばらつきが少ない巡回パターンを多くするためには、連続して故障が見つかる部分テスト集合の印加が連続しないようにすることが効果的ではないかと考えた。そうすることによって残りのパターンでのばらつき具合を少なくすることが可能であると考えた。この算出を行うためのアルゴリズムの流れを以下に示す。分割は既に生成されており、その際生成した順番をデフォルトの巡回順序パターンであるとする。

[step1] 基準となる部分テストパターン集

合を決める。

初めの場合には最初のテストパターンが基準となる。

[step2] 次に続くテストパターンをまだ巡回順序が決まっていないパターンから一つ選び仮定する。

[step3] step1のパターンとstep2のパターンで連続して検出される故障の数を調べる。

[step4] step2~3を巡回順序が決まっていないすべてのテストパターンに対して行う。

[step5] 連続して故障が見つかる数が最も少ないテストパターンを基準の次に続くテストパターンとする

[step6] step5で決まったテストパターンを基準のテストパターンとしstep2~step5を繰り返す。全パターンの順序が決まれば終了。

8つの部分テストパターン集合に分割されたテストパターン集合に対して、提案手法により部分テストパターンの印加順序を決定する実験を行った。実験ではAMD athlon(tm) 64 Processor 3700+ 1.0GHz、1GBメモリの計算機上にC言語で実装し、ISCAS' 89ベンチマーク回路より15種類の回路を対象に実験を行った。また比較対象として全巡回パターンで実験を行い故障検出間隔の掛け算による評価値の最小値、最大値、平均値を求めた。更に全巡回パターンの評価値を求めるまでの実行時間を算出した。本研究での評価値は値の大きさに意味はなく、比較対象としての値であるため、提案手法による評価値を1として最小値、最大値、平均値の相対値を算出している。また15種類全ての相対値の平均も算出した。表3に実験結果を示す。表中では15種類全ての結果を示さずいくつか抜粋したものを出している。

表3 ISCAS' 89における部分テストパターン集合の印加順序の評価

分割数	全巡回パターン	推定実行時間[s]
8	5040	8.17
10	362880	738.55
16	1307674368000	2119781664

提案手法によりほぼ全ての回路で平均値より良い評価をえられたことがわかる。そのことは全回路の平均値を見てもわかる。しかし、s13207を見てみると提案手法の評価値は平均値よりも悪くなっている。このことより、特定の故障が連続で検出されるパターンを少なくするだけでは残りの印加順序の評価が得られないため提案手法の改善が必要であると感じられた。

更に全巡回パターンの計算の実行時間は本実験では最大の回路でおおよそ8.2秒という結果が得られた。そのためこの規模の回路であれば分割8での部分テスト集合の印加順序

決定方法は全巡回パターンを計算して求めることが可能であると考えられる。しかし、回路規模が大きくなった場合、もしくは分割数が増えてくると実行時間も増加するため全巡回パターンの計算は困難になってくるのではないかと考えられる。特に分割数の増加では、分割数  $n$  での全パターンが  $(n-1)!$  で求まるため実行時間は急激に増加する。表 4 に分割数 8、10、16 による全パターン数と分割数 8 を元にした s38584 を用いた場合の推定の実行時間を示す。

表 4 分割数ごとの全巡回パターン数と s36564 における推定実行時間

回路	提案手法	最小値	最大値	平均値	全巡回 実行時間
s1494	1.000	0.933	1.083	1.010	0.57
s5378	1.000	0.973	1.085	1.034	1.15
s9234	1.000	0.991	1.069	1.030	1.71
s13207	1.000	0.936	1.058	0.991	2.09
s15850	1.000	0.965	1.042	1.003	2.61
s38417	1.000	0.991	1.039	1.011	7.33
s38584	1.000	0.971	1.060	1.007	8.17
平均	1.000	0.954	1.116	1.031	

表 4 を見ても分割数 16 による実行時間は現実的ではないと考えることができる。そのため提案手法による部分テスト集合の印加順序決定方法を考案することは重要であると考えられる。

分割・巡回テストの評価尺度に対して、現実的な計算量で最適解を求めることは困難なため、遺伝的アルゴリズムを利用した分割法も提案し、学会発表している。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 14 件)

① Hyunbean Yi, (他 5 名, 5 番目)

“A Failure Prediction Strategy for Transistor Aging,” *IEEE Trans. on VLSI Systems*, 査読有, Vol. 20, No. 11, pp. 1951-1959, Nov. 2012.

DOI:10.1109/TVLSI.2011.2165304

② Yasuo Sato, Seiji Kajihara, (他 8 名),

“DART: Dependable VLSI Test Architecture and Its Implementation,” *Proc. IEEE Int. Test Conference*, 査読有, Paper 15.2, Nov. 2012.

DOI: 10.1109/TEST.2012.6401581

③ Senling Wang, (他 3 名, 4 番目), “A Scan-Out Power Reduction Method for Multi-Cycle BIST,” *Proc. IEEE Asian Test Symp.*, 査読有, 272 - 277, Nov. 2012.

DOI: 10.1109/ATS.2012.50

④ Yasuo Sato, (他 4 名, 5 番目), “Low Power BIST for Scan-Shift and Capture Power,” *Proc. IEEE Asian Test Symp.*, 査読有, 173 - 178, Nov. 2012.

DOI: 10.1109/ATS.2012.27

⑤ Seiji Kajihara, (他 2 名, 1 番目),

“Delay Testing: Improving Test Quality and Avoiding Over-testing,” *IPSJ Trans. on System LSI Design Methodology*, 査読無(招待論文), Vol. 4, pp.117-130, 2011.

doi:10.2197/ipsjtsldm.4.117

⑥ Seiji Kajihara, Makoto Matsuzono, Hisato Yamaguchi, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, “On Test Pattern Compaction with Multi-Cycle and Multi-Observation Scan Test,” *Int. Symp. on Communications and Information Technologies*, 査読有, pp. 723-726, Oct. 26-29, Oct. 2010.

DOI: 10.1109/ISCIT.2010.5665084

⑦ S. Oku, S. Kajihara, Y. Sato, K. Miyase, X. Wen, “On Delay Test Quality for Test Cubes,” *IPSJ Trans. on System LSI Design Methodology*, 査読有, Vol. 3, pp. 283-291, Aug. 2010.

doi:10.2197/ipsjtsldm.3.283

⑧ Hyunbean Yi, (他 6 名, 6 番目), “Aging test strategy and adaptive test scheduling for soc failure prediction,” *IEEE Int. On-Line Testing Symp.*, 査読有, pp.21-26, July 2010.

DOI: 10.1109/IOLTS.2010.5560239

⑨ M. Noda, S. Kajihara, Y. Sato, K. Miyase, X. Wen, Y. Miura, “On Estimation of NBTI-Induced Delay Degradation,” *15th IEEE European Test Symp.*, 査読有, pp. 107-111, May 2010.

⑩ Kohei Miyase, Xiaoqing Wen, Hiroshi Furukawa, Yuta Yamato, Seiji Kajihara, (他 3 名), “High Launch Switching Activity Reduction in At-Speed Scan Testing using CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme” *IEICE Trans. on Information and Systems*, 査読有, Vol. E93-D, No. 1, pp. 2-9, Jan. 2010.

DOI: 10.1587/transinf.E93.D.2

⑪ Kazunari Enokimoto, Xiaoqing Wen, Yuta Yamato, Kohei Miyase, Hiroaki Sone, Seiji Kajihara(他 2 名), “CAT: A Critical-

Area-Targeted Test Set Modification Scheme for Reducing Launch Switching Activity in At-Speed Scan Testing,” Proc. Asian Test Symp., 査読有, pp. 99-104, Nov. 2009.

DOI 10.1109/ATS.2009.22

⑫ Kohei Miyase, (他 7 名, 8 番目), “A Novel Post-ATPG IR-Drop Reduction Scheme for At-Speed Scan Testing in Broadcast-Scan-Based Test Compression Environment,” Int. Conf. on Computer-Aided Design, 査読有, pp. 97-104, Nov. 2009.

DOI 10.1145/1687399.1687420

⑬ Yuta Yamato, Xiaoqing Wen, Kohei Miyase, Hiroshi Furukawa, Seiji Kajihara, “A GA-Based Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing,” IEEE 15th Pacific Rim Int. Symp. on Dependable Computing, 査読有, pp. 81-86, Nov. 2009. DOI 10.1109/PRDC.2009.21

⑭ Seiji KAJIHARA, (他 4 名), “On Calculation of Delay Range in Fault Simulation for Test Cubes”, the 2009 Int. Symp. on VLSI Design, Automation, and Test, 査読有, pp. 64-67, April. 2009.

DOI 10.1109/VDAT.2009.5158096

[学会発表] (計 28 件)

- ① 三宅庸資, (他 4 名, 4 番目) “モニタ回路による製造バラツキを考慮した温度・電圧推定手法”, 電子情報通信学会技術研究報告 DC2012-89, pp. 55-60, 東京, 2013 年 2 月 13 日
- ② 三宅庸資, (他 4 名, 4 番目), “フィールドテストのための温度・電圧モニタ回路における推定精度向上手法”, 第 68 回 FTC 研究会, 秋田市, 2013 年 1 月 10 ~ 12 日
- ③ 富田明宏, 温暁青, 宮瀬紘平, 梶原誠司, “ロジック BIST のキャプチャ電力安全性に関する研究”, 第 68 回 FTC 研究会, 秋田市, 2013 年 1 月 10 ~ 12 日
- ④ Seiji Kajihara, Shojiro Asai, “VLSI design and testing for enhanced systems dependability,” IEEE Int. Workshop on Reliability Aware System Design and Test (Invited talk), Pune, India Jan. 9, 2013.
- ⑤ 王 森レイ, 佐藤康夫, 梶原誠司, 宮瀬紘平, “マルチサイクル BIST におけるスキャン出力の電力低減手法”, 電子情報通信学会技術研究報告, VLD2012-102, pp.

249-254, 福岡市, 2012 年 11 月 28 日

- ⑥ 津森 渉 (他 4 名, 4 番目), “フィールドテストのための温度・電圧モニタ回路構成の検討”, 電子情報通信学会技術研究報告, VLD2012-101, pp. 243-248, 福岡市, 2012 年 11 月 28 日
- ⑦ 宮瀬紘平, 梶原誠司, 温暁青, “ネットリストを用いたドントケアビット数の見積り手法に関する研究”, 電子情報通信学会技術研究報告. VLD2012-104, pp. 261-266, 福岡市, 2012 年 11 月 28 日
- ⑧ 梶原誠司, “組込み自己テストによるフィールド高信頼化について”, 電子情報通信学会 デザインガイア 2012(招待講演), VLD2012-65 pp. 37-42, 福岡市, 2012 年 11 月 26 日
- ⑨ 笹川拓磨, (他 5 名, 5 番目) “温度・電圧モニタ用回路の製造バラツキの影響評価”, 第 67 回 FTC 研究会、滋賀県大津市、2012 年 7 月
- ⑩ 三宅庸資 (他 4 名, 4 番目), “リングオシレータ利用モニタ回路によるチップ内温度・電圧の試作評価とフィールドテストへの活用検討”, 電子情報通信学会技術研究報告, DC2012-16, pp. 45-50, 東京, 2012 年 6 月 22 日
- ⑪ 佐藤康夫 (他 4 名, 5 番目) “論理 BIST の電力低減手法と評価”, 電子情報通信学会技術研究報告, DC2012-14, pp. 33-38, 東京, 2012 年 6 月 22 日.
- ⑫ Seiji Kajihara, “Failure Prediction of Logic Circuits for High Field Reliability,” Int. Workshop on Reliability Aware System Design and Test, (Invited talk), Hyderabad, India, Jan. 7-8, 2012.
- ⑬ Senling Wang, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, “New Test Partition Approach for Segmented Testing with Lower System Failure Rate” 第 66 回 FTC 研究会、大分、2012 年 1 月
- ⑭ Xiaoxin Fan, (他 4 名, 4 番目), “Genetic Algorithm Based Approach for Segmented Testing”, Workshop on Dependable and Secure Nano-computing, Hong Kong, China, June 27, 2011.
- ⑮ 河野潤, 宮瀬紘平, 榎元和成, 大和勇太, 温暁青, 梶原誠司, “実速度テストに対する品質考慮ドントケア判定” 第 64 回 F T C 研究会, 恵那市, Jan. 20-22, 2011.
- ⑯ Senling Wang, Seiji Kajihara, (他 3 名), “A Pattern Partitioning Algorithm for Field Test,” IEEE Int. Workshop on Reliability Aware System Design and Test, Chennai (India), pp. 31-36, Jan. 7, 2011.

- ⑰ 山口久登 (他 3 名, 4 番目), “スキャン BIST におけるマルチサイクルテストと部分観測方式の提案と評価” 電子情報通信学会技術研究報告, DC2010-28, pp. 31 - 36, 福岡市, Nov. 29- Dec. 1, 2010.
- ⑱ Y. Sato, S. Kajihara (他 5 名) “Circuit failure prediction by field test (DART) with delay-shift measurement mechanism” Integrated Circuits and Devices in Vietnam (invited talk), IEICE 集積回路研究会, pp. 5-10, Ho Chi Minh, Vietnam, August 16-18, 2010.
- ⑲ 佐藤康夫, 梶原誠司, (他 5 名), ” フィールド高信頼化のための VLSI 劣化検知技術 (DART)” 第 63 回 F T C 研究会資料, 埼玉県皆野町, July 15-17, 2010.
- ⑳ 宮瀬紘平, 中村優介, 大和勇太, 温暁青, 梶原誠司, “部分 X 分解による X 故障モデルを用いた故障診断手法の高速化” 電子情報通信学会技術研究報告, DC2009-76, pp. 69-74, 東京, Feb. 15, 2010.
- 21 奥 慎治, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温 暁青, “3 値テストパターンに対する遅延テスト品質計算と X 割当について” 電子情報通信学会技術研究報告, DC2009-73, pp. 51 - 56, 東京, Feb. 15, 2010.
- 22 広実一輝, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温暁青, “フィールドテストにおける巡回テストとテスト集合印加順序について”, 第 62 回 F T C 研究会, 総社市, Jan. 21, 2010.
- 23 Mitsumasa Noda, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, Yukiya Miura, “A Path Selection Method for Delay Test Targeting Transistor Aging,” Digest of IEEE International Workshop on Reliability Aware System Design and Test, p. 57-61, Bangalore, India, January 7-8, 2010.
- 24 野田光政, 梶原誠司, 佐藤康夫, 宮瀬紘平, 温暁青, 三浦幸也, “劣化検知テストにおけるパス選択について” 電子情報通信学会技術研究報告, VLD2009-65, pp. 167-172, 高知市, Dec. 5, 2009.
- 25 別府巖, 宮瀬紘平, 大和勇太, 温暁青, 梶原誠司, “信号値遷移削減のためのドントケア判定率の最適化に関する研究” 電子情報通信学会技術研究報告, VLD2009-55, pp. 95-100, 高知市, Dec. 4, 2009.
- 26 Isao Beppu, Kohei Miyase, Yuta Yamato, Xiaoqing Wen, Seiji Kajihara, “X-Identification According to Required Distribution for Industrial Circuits,” IEEE Workshop on RTL and High Level Testing, pp. 76-81, Hong, Kong, Nov. 27, 2009.
- 27 Isao Beppu, Kohei Miyase, Yuta Yamato, Xiaoqing Wen, Seiji Kajihara, “Optimizing the Percentage of X-Bits to Reduce Switching Activity,” IEEE International Workshop on Defect and Data Driven Testing, Session 3.2, Austin, TX, USA, Nov. 6, 2009.
- 28 宮瀬紘平, (他 7 名, 8 番目), ” ブロードキャストスキャン圧縮環境下における実速度テストに対する IR-Drop 削減 Post-ATPG 手法,” 第 61 回 F T C 研究会, 三重県大台町, July 18, 2009.
- [図書] (計 1 件)  
浅田邦博 (監修), 温暁青, 梶原誠司, (他 5 名), はかる×わかる半導体-入門編, 日経 BP コンサルティング, pp. 2-5, May 7, 2013.
- [その他]  
<http://aries30.cse.kyutech.ac.jp>

## 6. 研究組織

### (1) 研究代表者

梶原 誠司 (KAJIHARA SEIJI)  
九州工業大学・情報工学研究院・教授  
研究者番号 : 80252592

### (2) 研究分担者

温 暁青 (WEN XIAOQING)  
九州工業大学・情報工学研究院・教授  
研究者番号 : 20250897

### (3) 連携研究者

宮瀬紘平 (MIYASE KOHEI)  
九州工業大学・情報工学研究院・助教  
研究者番号 : 30452824