

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 6 日現在

機関番号：14401

研究種目：基盤研究（B）

研究期間：2009～2011

課題番号：21360149

研究課題名（和文）

局所選択液相エピタキシャル成長による GOI 構造の作製と電気特性評価

研究課題名（英文）

Fabrication and electrical characterization of GOI structures by rapid melt growth

研究代表者

志村 考功（SHIMURA TAKAYOSHI）

大阪大学・大学院工学研究科・准教授

研究者番号：90252600

研究成果の概要（和文）：単結晶ゲルマニウムを絶縁膜上に形成した GOI 構造は、次世代の電子デバイス用基板材料として注目されている。そのため、良好な結晶性を持つゲルマニウム層を形成できる GOI 構造の作製技術が望まれている。本研究では、非晶質ゲルマニウムを短時間の熱処理で単結晶化する方法を提案し、この手法の優位性を検証した。この GOI 構造を用いてトランジスタを作製しその電気特性を評価したところ良好な結果を得た。これらの結果は、この手法の有用性を示しており、次世代電子デバイスへの適用が期待できる。

研究成果の概要（英文）：Germanium on insulator structures have been expected as starting materials for future electric devices. Therefore, new fabrication process of GOI structure is required to obtain high-quality single-crystalline Ge layers. In this study we have proposed novel method and examined the advantages of the process. The transistors based on the GOI structures fabricated by this process showed excellent electrical properties, indicting the benefit of this method and the availability for future electric devices.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	5,900,000	1,770,000	7,670,000
2010 年度	4,600,000	1,380,000	5,980,000
2011 年度	3,300,000	990,000	4,290,000
年度			
年度			
総計	13,800,000	4,140,000	17,940,000

研究分野：工学

科研費の分科・細目：電気電子工学 電気・電子材料工学

キーワード：作成・評価技術、Ge on insulator、液相エピタキシャル成長、急速昇温加熱

1. 研究開始当初の背景

Si-LSI の微細化が限界に近づいている現在、ポストスケーリングテクノロジーによる LSI の高性能化を目指す研究が盛んに行われている。Ge は Si より高移動度を有するチャネル材料であり、Si に比べ電子で 2.5 倍、ホールで 3.5 倍の値を示す。さらに Ge 層を絶縁膜上に形成した GOI (Ge on Insulator) 構

造は高速かつ低消費電力 MISFET の作製を可能にする構造として注目されている。しかし、結晶性が良く、かつコストパフォーマンスに優れた GOI 基板の作製は困難である。現在のところ GOI 基板作製技術としては、酸化濃縮法と貼り合わせ法が有力である。しかし、酸化濃縮法で作製した GOI 層の結晶性は十分ではなく、結晶欠陥起因と思われる

キャリアの生成を抑制することができない。比較的結晶性の良い GOI 層が得られるとされる貼り合わせ法は、GOI 層となる Ge バルク基板が高価であるという問題があり、今後、ウェーハが 450mm へと大口径化するにつれその問題はますます大きくなる。

2. 研究の目的

本研究課題では、局所選択液相エピタキシャル成長(LLPE)を用いた GOI 構造の作製とその電子デバイス応用を実現するため、研究期間内に次の項目を検討する。

- (1) 局所横方向選択液相エピタキシャル成長の基礎的知見の取得：局所横方向選択液相エピタキシャル成長の基礎的知見として、Ge ワイヤの結晶粒分布、結晶欠陥、歪み、組成分布評価を行い、絶縁層の種類、マイクロルーシブの形状・サイズ、降温条件等の成長条件との関係を明らかにする。
- (2) トランジスタの試作とデバイス特性評価：絶縁膜には窒素プラズマを用いた Ge パッシベーション膜、 Al_2O_3 ベースの高誘電率ゲート絶縁膜の積層膜を用い、NiGe のメタルソースドレインを用いてトランジスタの試作を行う。また、酸化濃縮法や貼り合わせ法の GOI 基板で同条件のトランジスタを試作し電気特性を比較し、本手法の有効性の検討と課題の抽出を行う。
- (3) 縦型 MOSFET 用 Ge ピラー作製法の検討：縦型 MOSFET 用の Ge ピラーの局所縦方向選択液相エピタキシャル成長について検討を行う。結晶欠陥評価を行い、縦型マイクロルーシブの形状についての検討を行う。

3. 研究の方法

図 1(a)に、試料構造および LLPE 法の模式図を示す。(100)-SOI 基板(SOI 層: 57 nm, BOX 層: 143 nm)を 1%HF で洗浄後、結晶成長のシード領域、およびソース・ドレイン領域となる SOI 層をウェットエッチングにより分離した。MBE 装置(base pressure: 1×10^{-7} Pa)中で基板温度を室温としてアモルファス Ge (膜厚: 300 nm)を蒸着し、スパッタ法により SiO_2 (膜厚: 10 nm)を形成後、リソグラフィおよび反応性イオンエッチングにより、Ge を細線状に加工した。その後、Ge 細線全体を覆うために、スパッタ法にて厚い SiO_2 キャップ層 (膜厚: 1 μm)を成膜し、 N_2 雰囲気中での急速加熱処理 (1035°C, 1 min)により横方向液相成長を促した。

さらに、BOX 層をゲート絶縁膜、Si 基板をゲート電極としたバックゲートトランジスタを以下の手順で作製した。反応性イオンエッチングおよび HF 溶液によって SiO_2 キャッ

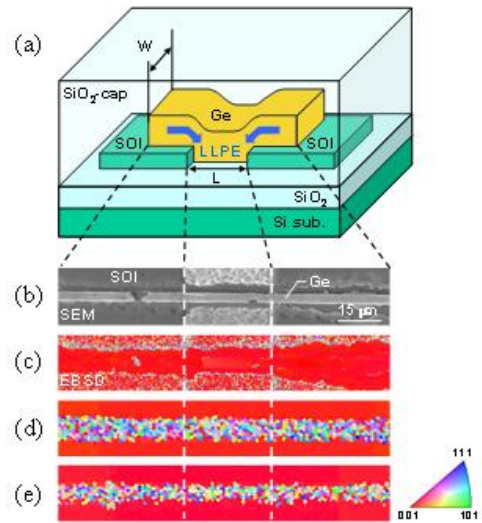


図 1 (a) GOI 構造形成のための横方向液相エピタキシャル成長の概略図。(b),(c) 単結晶 Ge ワイヤの SEM と EBSD 像。(d) 固相結晶化による多結晶 Ge ワイヤの EBSD 像。(e) 蒸着後のアモルファス Ge ワイヤの EBSD 像。

プ層にコンタクトホールを開口後、Al を真空蒸着し、 N_2 雰囲気中で 350°C、30 分間の熱処理を行なうことにより、ソースおよびドレインである SOI 層とのメタルコンタクトを形成した。完成したバックゲート GOI トランジスタについて、 I_D-V_D および I_D-V_G 特性を室温下で取得した。電気特性評価後、 SiO_2 キャップ層を HF 水溶液で除去し、結晶化した Ge 細線の形態を走査型電子顕微鏡(SEM)で、Ge 細線の結晶性を電子後方散乱回折(EBSD)分析でそれぞれ評価した。

また、比較として多結晶およびアモルファス GOI も作製し、同様にトランジスタを作製した。多結晶 GOI は、 N_2 雰囲気中における 600°C で 2 時間のアニール処理により固相結晶化を施した。一方、アモルファス GOI ではアニール処理を行っていない。Ge 細線を用いたこれらの比較用のデバイスでは、アニール処理以外の試料作製手順は、横方向液相エピタキシャル成長により作製したデバイスと同様である。

4. 研究成果

(1) 結晶方位

図 1(b)および(c)はそれぞれ急速加熱処理を施した試料の SEM および EBSD による結晶方位解析の結果を示している。SEM 像より、3.8 μm 幅の Ge 細線が、分離された SOI 領域を橋渡しするように形成されていることがわかる。図 1(c)に示す結晶方位マップは、基板表面に対して垂直方向から見た結晶方位を色分けによって表している。Ge 細線とその周囲の SOI 層は同色であり、これはそれぞれの結晶方位が(100)方位で一致していることを示

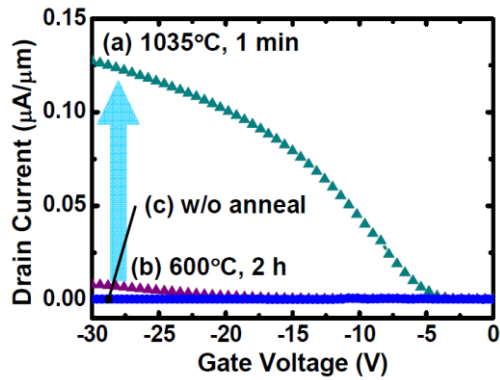


図2 GOI 構造から作製した MOSFET の I_D - V_G 特性。(a)と(b)のアニール条件はそれぞれ 1035°C 、1 分間と 600°C 、2 時間。(c)アニールをしていない試料。

している。また、ここには示していないが、面内方向の結晶方位も一致しており、Ge 細線と SOI 層の結晶方位が一致していることが確認できた。一方、図 1(d)および(e)はそれぞれ低温処理(600°C , 2 h)を施した試料と、アニール処理を施していない試料の結晶方位マップである。低温処理を行なった試料の Ge 細線は、固相結晶化により粒径が $0.5\ \mu\text{m}$ 程度の多結晶となっており、一方で熱処理を行っていない試料の Ge 細線はアモルファスであることが確認できる。

(2) 電気特性評価

図2は単結晶、多結晶およびアモルファス GOI MOSFET の I_D - V_G 特性を比較した結果である。 I_D - V_G 特性より、多結晶およびアモルファス GOI MOSFET と比べて、単結晶 GOI MOSFET のドレイン電流が非常に高いことがわかる。多結晶半導体においては、結晶粒界における捕獲準位およびポテンシャルバリアによってキャリアの輸送が妨げられることから、このような低い電流値を示したと推察できる。一方、アモルファス GOI MOSFET においてはトランジスタとしての動作を確認できなかった。これは、室温堆積で形成されたアモルファス Ge では電気特性劣化が著しいことに加え、アニール処理を施していない SOI/Ge 界面での寄生抵抗値の高さが原因ではないかと考えられる。

図3は単結晶 GOI MOSFET の I_D - V_D 特性である。ここで、ゲート長(L)およびゲート幅(W)はそれぞれ、シード領域である SOI 層間の距離および Ge 細線幅に相当する(図 1(a))。ドレイン電圧の増加と共にドレイン電流が増大し、徐々にその値が飽和している。また、図 4 は I_D - V_G 特性であり、 $4 \times 10^{-6}\ \mu\text{A}/\mu\text{m}$ 以下の低いオフリーク電流に加え ($V_D: -50\ \text{mV}$)、ドレイン電流の ON/OFF 比は約 10^5 に達し、LLPE 法で作製した単結晶 GOI トランジスタについ

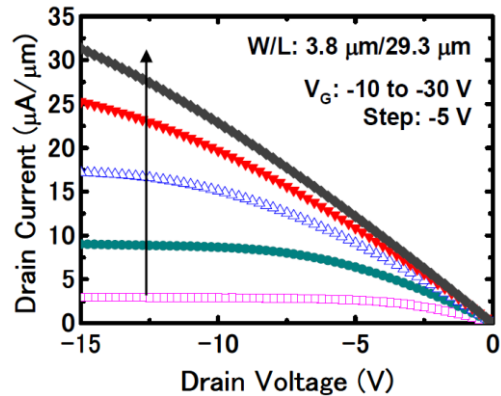


図3 P チャネル GOI MOSFET の I_D - V_D 特性。ゲートバイアスは -10 から $-30\ \text{V}$ まで走査。ゲート長と幅はそれぞれ 3.8 と $29.3\ \mu\text{m}$ 。

て優れた特性が得られた。一方、Maeda らは酸化濃縮法によって作製した GOI MOSFET について、オフリーク電流 $5.5 \times 10^{-5}\ \mu\text{A}/\mu\text{m}$ 、ON/OFF 比 10^4 を報告している。Maeda らが作製した GOI MOSFET は、GOI 層の膜厚が $30\ \text{nm}$ であり、またショットキートランジスタであるといったデバイス構造上の違いがあるが、今回我々が得た結果は、オフリーク電流および ON/OFF 比ともに、Maeda らの結果より約一桁程度優れている。これは、LLPE 法によって GOI 構造を作製したことより、酸化濃縮法と比較してチャネル領域の GOI 層の転位および欠陥密度の低減に成功したことが主な要因ではないかと考えられる。

さらに、得られた I_D - V_G 特性の結果から正孔移動度を求めた。正孔移動度はピーク値で $430\ \text{cm}^2/\text{Vs}$ であった。一方、酸化濃縮法によって作製された、Ge 膜厚が $100\ \text{nm}$ の GOI デバイスにおいて、正孔移動度 $400\ \text{cm}^2/\text{Vs}$ が報告されており、今回得られた移動度の値はこれを上回る結果である。以上の結果は、簡便な LLPE 法によって作製した単結晶 GOI 層の結晶性が良好であり、優れた電気特性を有していることを示している。

5. 主な発表論文等

[雑誌論文] (計 2 件)

1. "Fabrication of Fully Relaxed SiGe Layers with High Ge Concentration on Silicon-on-Insulator Wafers by Rapid Melt Growth", T. Shimura, S. Ogiwara, C. Yoshimoto, T. Hosoi, and H. Watanabe, Appl. Phys. Express 3, 105501-1-3 (2010) 査読有.
DOI: 10.1143/APEX.2.066502
2. "Fabrication of Local Ge-on-Insulator Structures by Lateral Liquid-Phase Epitaxy: Effect of Controlling Interface Energy between Ge and Insulators on

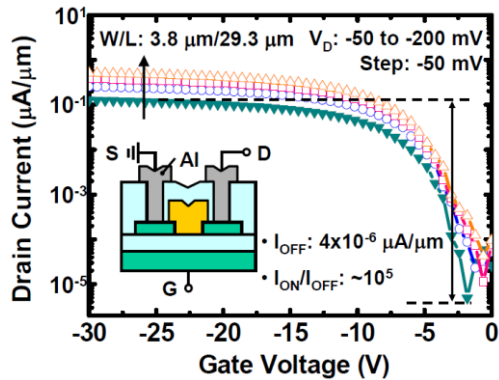


図 4 蓄積モードでの P チャネル GOI MOSFET の I_D - V_G 特性。ゲート幅と長はそれぞれ 3.8 と 29.3 μm 。

Lateral Epitaxial Growth”, T. Hashimoto, C. Yoshimoto, T. Hosoi, T. Shimura, and H. Watanabe, Appl. Phys. Express 2, 066502-1-3 (2009). DOI: 10.1143/APEX.3.105501

[学会発表] (計 13 件)

1. “急速加熱処理による $\text{Ge}_{1-x}\text{Sn}_x$ 層の低温エピタキシャル成長”, 荻原伸平, 片岡伸文, 鈴木雄一郎, 細井卓治, 志村考功, 渡部平司, 第 59 回応用物理学関係連合講演会, 2012 年 3 月 16 日, 東京。
2. “横方向液相エピタキシャル成長により作成した単結晶 GOI 構造の電気特性評価”, 鈴木雄一郎, 荻原伸平, 細井卓治, 志村考功, 渡部平司, 第 17 回ゲートスタック研究会, 2012 年 1 月 20 日, 三島市、静岡。
3. “High-mobility Ge-on-insulator p-channel MOSFETs fabricated by lateral liquid-phase epitaxy”, Y. Suzuki, S. Ogiwara, T. Hosoi, T. Shimura, and H. Watanabe, 42nd IEEE Semiconductor Interface Specialists Conf., 1 Dec. 2011, Arlington, VA, USA.
4. “横方向液相エピタキシャル成長により作製した局所 GOI 構造の電気特性評価”, 鈴木雄一郎, 荻原伸平, 細井卓治, 志村考功, 渡部平司, 第 72 回応用物理学関係連合講演会, 2011 年 8 月 31 日, 山形市。
5. “Fabrication of High-Quality GOI and SGOI Structures by Rapid Melt Growth Method”, H. Watanabe, C. Yoshimoto, T. Hashimoto, S. Ogiwara, T. Hosoi, and T. Shimura, The 19th Int. Workshop on Active-Matrix Flatpanel Displays and Device, 6 July, 2011, Tokyo, Japan.
6. “High-quality Single-crystal SiGe Layers on Insulator Formed by Rapid

Melt Growth”, S. Ogiwara, Y. Suzuki, C. Yoshimoto, T. Hosoi, T. Shimura, and H. Watanabe, International Meeting for Future of Electron Devices, Kansai Osaka. Japan, 19 May, 2011, Osaka, Japan.

7. “急速加熱液相エピタキシャル成長法による高 Ge 濃度 SGOI 構造の作製”, 荻原伸平, 鈴木雄一郎, 吉本千秋, 細井卓治, 志村考功, 渡部平司, 第 16 回ゲートスタック研究会, 2011 年 1 月 22 日, 東京。
8. “急速加熱液相エピタキシャル成長法による高 Ge 濃度 SGOI 構造の作製”, 荻原伸平, 吉本千秋, 細井卓治, 志村考功, 渡部平司, 2010 年 9 月 14 日, 長崎市、長崎。
9. “急速加熱液相エピタキシャル成長法により作製した SGOI 構造の Ge 濃度のアニール温度依存性”, 荻原伸平, 吉本千秋, 細井卓治, 志村考功, 渡部平司, 2010 年 9 月 14 日, 長崎市、長崎。
10. “Fabrication of Single-Crystal Local Germanium-on-Insulator Structures by Lateral Liquid-Phase Epitaxy”, T. Hashimoto, C. Yoshimoto, T. Hosoi, T. Shimura, and H. Watanabe, MRS fall meeting, 30 Nov. 2009, Boston, USA.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 1 件)

名称: 単結晶状 GeSn 含有材料の製造方法および単結晶状 GeSn 含有材料基板

発明者: 志村考功、渡部平司、細井卓治

権利者: 大阪大学

種類: 特許

番号: 特願 2012-042746

出願年月日: 2012 年 2 月 29 日

国内外の別: 国内

○取得状況 (計 0 件)

[その他]

特になし

6. 研究組織

(1) 研究代表者

志村 考功 (SHIMURA TAKAYOSHI)

大阪大学・大学院工学研究科・准教授

研究者番号: 90252600

(2) 研究分担者

なし

(3) 連携研究者

渡部 平司 (WATANABE HEIJI)
大阪大学・大学院工学研究科・教授
研究者番号：90379115
細井 卓司 (HOSOI TAKUJI)
大阪大学・大学院工学研究科・助教
研究者番号：90452466