

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 8 月 31 日現在

機関番号：12605

研究種目：基盤研究（B）

研究期間：2009～2011

課題番号：21360164

研究課題名（和文） SiCを用いた高密度用新型二端子抵抗変化型不揮発性メモリと集積化技術

研究課題名（英文） High-Density New Two-Terminal Resistive Nonvolatile Memory Using SiC and Its Integration Technology

研究代表者

須田 良幸（SUDA YOSHIYUKI）

東京農工大学・大学院工学研究院・教授

研究者番号：10226582

研究成果の概要（和文）：今後の日本の中核となる産業・民生機器の小型化・多様化を展開するため、世界で初めて考案した全く新しい構造（金属/トンネル酸化層/電子捕獲層/SiC/n-Si 構成）の2端子抵抗変化型不揮発性メモリについて、構造と動作原理との相関を明らかにし、on/off 電流比 10 以上、繰り返し書き換え回数 10^4 回以上の高いメモリ特性を得た。これらの結果に加えて、さらに、基板および各層の材料を変更した構造を考案して、集積化実用化のための重要な基盤技術と指針を得た。

研究成果の概要（英文）：To evolve the miniaturization and versatility for industrial and consumer electronics which will become core products for future in Japan, we have clarified the relationship between the structure and the operating principle for our proposed new-structured metal/tunneling oxide-layer/electron trapping-layer/SiC/n-Si two-terminal resistive nonvolatile memory and have obtained an on/off current ratio of >10 and an endurance cycle of $>10^4$. In addition to the results, we have furthermore devised advanced-type memory by changing materials for the layers and substrate and have obtained important fundamental technologies and guidelines for practical integration applications.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	7,000,000	2,100,000	9,100,000
2010年度	3,400,000	1,020,000	4,420,000
2011年度	3,300,000	990,000	4,290,000
年度			
年度			
総計	13,700,000	4,110,000	17,810,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス

キーワード：集積回路、半導体メモリ、SiC、不揮発性メモリ、半導体超微細化、抵抗変化型、トンネル効果、RRAM

1. 研究開始当初の背景

今日あらゆる産業・民生電子機器にマイクロコンピュータが搭載され、これらの機器は、パーソナルコンピュータ（PC）を含む汎用コンピュータ（CPU）産業と双璧をなす巨大な半導体産業分野を成している。その制御には高

密度で、コンパクトで、低消費の書換え可能な「不揮発性メモリ」が必要とされる。また、情報量の増大に伴って、ハードディスク記憶装置に代わる、対衝撃性に優れ省電力の高密度「不揮発性メモリ」が必要とされる。

本研究で企画するメモリは世界で初めて考案した全く新しい構造(金属/トンネル酸化層/電子捕獲層/SiC/n-Si 構成)と新しい動作原理に基づく SiC を用いた高密度化が可能な 2 端子構造の抵抗変化型「不揮発性メモリ」(RRAM または ReRAM)である。

2. 研究の目的

本素子を集積化して実用化するために、以下の項目を検討し、その基盤技術と指針を得る。

- (1) 素子構造と動作特性から、動作原理に係わる素子構造との相関を明らかにし、設計の指針を得る。
- (2) 集積回路素子に整合した基本作製技術を展開し、実用化するための基盤技術を得る。

3. 研究の方法

開発した素子の構造を図 1 に示す。上下に電極が形成されており、動作させるときは、下側の電極(Al)を基準として電圧を印加する。素子 A は基本構造の素子である。電子供給源としての n 型 Si 基板上に 3C-SiC を 1000°C 以上の化学気相堆積(CVD)法で形成し、1000°C 前後の温度で熱酸化して Si 酸化層を形成する。これまで、X 線光電子分光(XPS)測定、 I - V 測定、 C - V 測定から、SiO₂層は電子トンネル層として、SiO_x層および SiO_x/3C-SiC 界面の欠陥が電子捕獲として機能し、この欠陥準位に電子が捕獲されると素子が低抵抗状態(on)に、捕獲電子が放出されると高抵抗状態(off)に遷移し、メモリ特性を示すことが判っている。素子 A の典型的な I - V 特性を図 2 に示す。正電圧側の閾値電圧以上で off → on の、負電圧側の閾値電圧以上で on → off の抵抗状態遷移を生じる。

素子 A では、現行の 1000°C 以下の集積回路作製プロセス温度に整合するために、研究代表者が提案しているスパッタエピタキシー法を用いて 800°C で成膜した 3C-SiC 膜と 400°C で成膜した SiO₂ 膜を用いる低温化作製プロセスを開発した。さらに、低温化形成素子構造を探索し、SiO_x 電子捕獲層の替りに浮遊金属層を用いた素子 B を開発した。また、

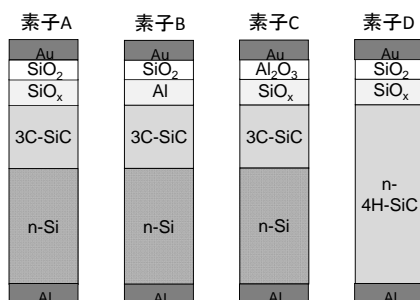


図 1. 開発した素子の構造

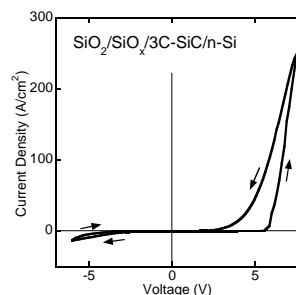


図 2. 基本メモリ素子 A の I - V 特性

素子 A の SiO₂ 膜の替りに、550°C で低温酸化した Al₂O₃ を用いる素子 C を開発した。

さらに、高耐熱集積回路への搭載を図って、4H-SiC 基板を用いたメモリ素子 D も開発した。

4. 研究成果

(1) 素子 A 構造と動作原理との相関の解析

素子の構造と動作原理との相関を明らかにするために、酸化層構造と特性との相関を調査した。ここでは、CVD 3C-SiC 膜と n-Si (001) 基板を用いた。まず、3C-SiC の熱酸化では、1000°C 酸化と 1200°C 酸化を比較すると、後者では比較的急峻な SiO₂/3C-SiC 界面が形成されるのに対して、前者では SiO_x の界面領域が厚く形成されることが分かった。そこで、メモリ構造の SiO₂/SiO_x 層構造を得るために、次の 3 つの酸化プロセスと特性を比較した。エリプソメータで測定した全酸化膜の厚みを () で記す。

- ① 3C-SiC の 1000°C 1 段酸化 (12nm)
- ② 3C-SiC の 1200°C と続く 1000°C の 2 段酸化 (12.7nm)
- ③ Si/3C-SiC の 1000°C 1 段酸化 (13.7nm)

プロセス①では、on/off スwitchングエンデュランス特性が 1000 回程度であったが、プロセス②および③では 10⁴ 回以上に向上した。これは、XPS による深さ方向の組成の解析(図 3)から、プロセス①では、1000°C で SiO₂ 層も形成すると、SiO_x の界面領域が厚くなり、

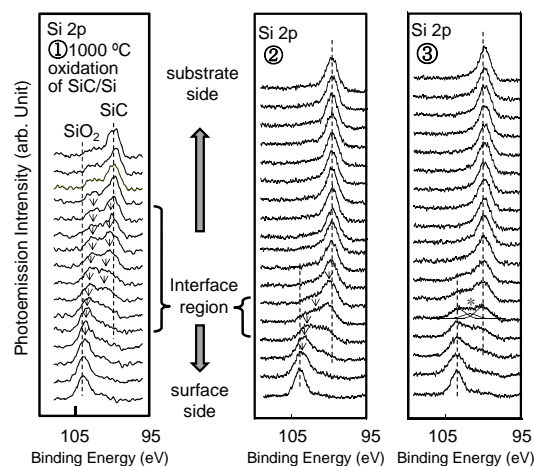


図 3. 3 つの酸化層形成法と XPS 組成分析

エンデュランス測定時に抜けない捕獲電子が次第に増え、off 電流が増加して次第に off 状態に遷移しなくなったためと解析できた。

一方で、プロセス②、③では、電子捕獲領域を狭い範囲に制限でき、電子捕獲準位での電子の充放電がより再現性良く行われるためと解析できた。on/off 電流比はプロセス②よりさらにプロセス③で向上した。これは、 SiO_x 界面領域の範囲をさらに制限できたためと考えられる (図 3)。以上、 SiO_x 電子捕獲層の厚みを空間的に狭めることでエンデュランス特性と on/off 電流比の向上することを、新たなプロセスを提案して示した。これにより、 SiO_x 電子捕獲層のメモリ機構に関する役割とメモリ特性との相関、および形成制御法を提示できた。

(2) スパッタ法を用いた素子 A の低温形成法

素子 A の作製プロセスを低温化するために、低温成膜が可能な研究代表者が提案しているスパッタエピタキシー法を用いて 3C-SiC 膜(80nm)と SiO_2 膜(5nm)をそれぞれ 800°C と 400°C で形成した。Si(111)4° off 基板を用いることで、XRD 評価により、Si(001)上の 3C-SiC CVD 膜と同等の結晶性を得た。また、 SiO_2 膜の純度を上げることで、素子 A 構造では on/off 電流比=10±5、エンデュランス>2x10⁴回の最も優れた特性を得た。このメモリ特性を他の素子構造のメモリ特性と比較して表 1 に示す。また、*I-V* 特性を図 4 に示す。

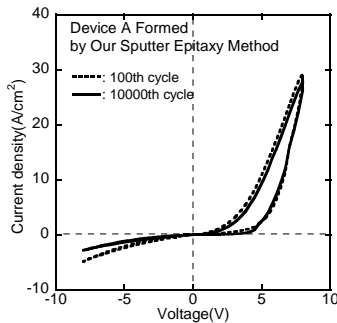


図 4. スパッタエピタキシー法で作製した素子 A の *I-V* 特性

表 1. 各素子構造のメモリ動特性の比較

構造	素子A	素子B	素子C	素子C'	素子D
offからonへ遷移する電圧極性	正側	正側	負側	正側	負側
読み込み電圧時のon/off電流比	10±5	2~3.5	> 6.5	~9±1	> 2.8
エンデュランス書き込み回数	>2x10 ⁴	~10 ⁴	>10 ⁵	>5x10 ⁴	~10 ⁴

(3) 低温形成が可能な他の素子構造の提案

①電子捕獲層に金属を用いた素子(素子B)
 SiO_2 電子トンネル層をスパッタ法で、 SiO_x

電子捕獲層を浮遊電極としての金属で形成した構造(素子 B)を提案した。浮遊電極として、用いた 3C-SiC の仕事関数(ϕ)4.6eV より大きくショットキ接触の関係となる Ni(ϕ ~5.2eV)を用いた場合は不揮発性メモリ特性を示さず、オーミック接触の関係となる Al(ϕ ~4.2eV)を用いた場合は不揮発性のメモリ特性を示し、仕事関数との相関で不揮発性メモリ特性が発現することを示した。

②トンネル層に Al_2O_3 を用いた素子(素子 C)

電子トンネル層に Al_2O_3 を用いた素子を開発した。3C-SiC 上に Al を形成し、その後 550°C の低温で 50 分間酸化し Al_2O_3 層を 6.5nm 形成した。off→on 状態遷移は、素子 A、B と異なり負電圧側に生じ(図 5)、高いエンデュランス特性を示した(表 1)。XPS による組成評価から、 Al_2O_3 層に AlO_x 不完全酸化膜の形成はほとんどなく、一方、3C-SiC 層に SiO_x が形成が確認された。XPS、*I-V*、*C-V* 測定から、 SiO_x の電子捕獲準位での電子の充放電が、素子 A では、3C-SiC 層を通して生じるが、素子 C では、 Al_2O_3 層を通して起こると考えられることが判った。判明した素子 A と素子 C の動作原理をそれぞれ図 6 (a)、(b)に示す。また、トンネル層材料に依存してさらに高い on/off 電流比の得られることが判った(表 1、素子 C')。

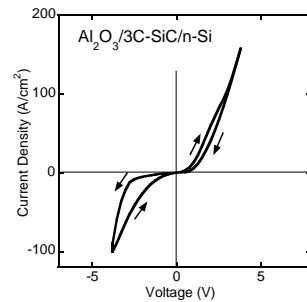


図 5. 素子 C の *I-V* 特性

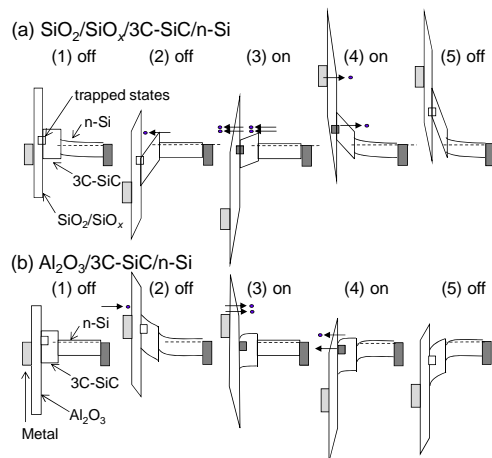


図 6. 得られた素子 A と C の動作原理の比較

(4) 高耐熱集積回路用のメモリ素子(素子 D)

4H-SiC 基板を用いた高耐熱集積回路用のメモリ素子を開発した。プロセスを系統的に調査し、1200°C酸化で8nmのSiO₂を形成し、900°C酸化で1nmのSiO_x層を酸化することで、10⁴回程度のエンデュランス特性を達成し(表1)、作製プロセスを明らかにした。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)
[雑誌論文] (計4件)

- ① Nobuo Yamaguchi and Yoshiyuki Suda, Electric-Field-Induced Al₂O₃/3C-SiC Resistance Memory, Mater. Res. Soc. Proc. 1430 (2012) p. mrss12-1430-e09-17.
- ② Nobuo Yamaguchi and Yoshiyuki Suda, Al₂O₃/3C-SiC/n-Si Nonvolatile Resistance Memory, Jpn. J. Appl. Phys. 51 (2012) (accepted).
- ③ Yuichiro Yamaguchi, Masatsugu Shouji, and Yoshiyuki Suda, Oxide Structure Dependence of SiO₂/SiO_x/3C-SiC/n-Type Si Nonvolatile Resistive Memory on Memory Operation Characteristics, Jpn. J. Appl. Phys. (2012) (accepted).
- ④ Hiroaki Hanafusa, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura, Toshiaki Matsui, Harold M. H. Chong, Hiroshi Mizuta, and Yoshiyuki Suda, Strain Distribution Analysis of Sputter-Formed Strained Si by Tip-Enhanced Raman Spectroscopy, Appl. Phys. Express 4 (2011) 025701.

[学会発表] (計16件)

- ① 小松辰実、須田良幸、スパッタ SiC 膜を用いた抵抗変化型 MIS メモリ、第73回応用物理学会学術講演会、2012年9月11日、愛媛県、愛媛大学(発表決定)。
- ② 山田有季乃、須田良幸、4H-SiC 基板を用いた不揮発性メモリ、第73回応用物理学会学術講演会、2012年9月11日、愛媛県、愛媛大学(発表決定)。
- ③ Nobuo Yamaguchi, Yoshiyuki Suda, Electric-Field-Induced Al₂O₃/3C-SiC Resistance Memory, 2012 Mater. Res. Soc. Spring Meeting, April 4, 2012, San Francisco, Marriott Marquis.
- ④ 山口伸雄、須田良幸、浮遊金属の酸化による不揮発性 SiC メモリの素子化、第72回応用物理学会学術講演会、2011年9月1日、山形県、山形大学。
- ⑤ 岩崎慶士、須田良幸、井上直久、スパッタ SiC 膜を用いた抵抗変化型 MIS メモリ、2011 電子情報通信学会総合大会、2011年(DVD の発行をもって成立)。
- ⑥ 野村彬成、須田良幸、浮遊電極を用いた2端子抵抗変化型不揮発性メモリ、2011 電子情報通信学会総合大会、2011年(DVD

の発行をもって成立)

- ⑦ 須田良幸、3C-SiC 抵抗変化型不揮発メモリ、薄膜第131委員会第253回研究会、2010年12月9日、大阪府、メルパルク大阪。
- ⑧ 井上直久、須田良幸、岩崎慶士、菅谷孝夫、後藤安則、河村裕一、SiC の赤外吸収(2)各種材料の測定、第57回応用物理学関係連合講演会、2010年3月20日、神奈川県、東海大学。
- ⑨ 岩崎慶士、長谷川宏巳、井上直久、河村裕一、須田良幸、スパッタ SiC 膜を用いた MIS メモリ、第57回応用物理学関係連合講演会、2010年3月17日、神奈川県、東海大学。
- ⑩ 野村彬成、山口祐一郎、須田良幸、浮遊電極を用いた2端子型抵抗変化型不揮発性メモリ、第70回応用物理学会学術講演会、2009年9月9日、富山県、富山大学。

[産業財産権]

○出願状況(計3件)

- ①名称:半導体メモリ装置及びその製造方法
発明者:須田良幸、山口伸雄
権利者:東京農工大
種類:特許
番号:2011-266625
出願年月日:平成23年12月6日
国内外の別:国内
- ②名称:半導体メモリ装置及びその製造方法
発明者:須田良幸、野村秋成
権利者:東京農工大
種類:特許
番号:PCT/JP2010/054108
出願年月日:平成22年3月11日
国内外の別:国外

○取得状況(計1件)

- ①名称:Semiconductor memory device
発明者:須田良幸
権利者:東京農工大学
種類:特許
番号:US8030662
取得年月日:平成23年10月4日
国内外の別:国外

[その他]

ホームページ

<http://www.tuat.ac.jp/~boss>

6. 研究組織

(1)研究代表者

須田 良幸 (SUDA YOSHIYUKI)

東京農工大学・大学院工学研究院・教授

研究者番号:10226582

(2)研究分担者 なし

(3)連携研究者 なし