

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年5月15日現在

機関番号：12102

研究種目：基盤研究（B）

研究期間：2009～2011

課題番号：21360178

研究課題名（和文） 30GHz 級デジタルLSIの伝送配線技術とそのLSI試作による実験実証

研究課題名（英文） Transmission Line Technology for Digital LSIs at 30GHz and Its Feasibility Study on Prototyping

研究代表者

安永 守利 (YASUNAGA MORITOSHI)

筑波大学・システム情報系・教授

研究者番号：80272178

研究成果の概要（和文）： デジタル信号の高速化に伴い、シグナルインテグリティ（信号品質）の低下が大きな問題となっている。この課題を解決するために我々は、インピーダンス不整合に基づく新たな技術を提案している。本研究では、30GHz級の超高速デジタル信号をターゲットに提案技術の効果を定量的評価した。その結果、信号品質の低下が特に問題となるメモリバス配線等において、提案手法が従来技術に比べて1.5～8倍も高い信号品質改善効果があることがわかった。

研究成果の概要（英文）： Degradation of SI (Signal Integrity) is getting serious as frequencies of digital signals increase. In order to overcome this problem, we have proposed a novel technique based on the impedance mismatching. In this project, we have evaluated the new technique targeting digital signals at 30GHz operation frequency. As a result, we have shown that our technique can improve the distorted signals, which frequently happen in memory bus systems, better than the conventional techniques by 1.5 to 8 times.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	3,300,000	990,000	4,290,000
2010年度	2,900,000	870,000	3,770,000
2011年度	3,000,000	900,000	3,900,000
総計	9,200,000	2,760,000	11,960,000

研究分野：工学

科研費の分科・細目：電気電子工学、通信・ネットワーク工学

キーワード：電子回路網 信号伝送

1. 研究開始当初の背景

LSI動作速度の向上に伴い、プリント基板上の配線やLSI内の配線を伝搬するデジタル信号の信号品質低下が問題になっている。これは、動作速度向上によってデジタル信号の波長が短くなり、このために信号に波の

性質が現れてくることが根本的な原因である。問題を解決するために、これまで、配線の特性インピーダンスを整合する設計手法がとられてきた。しかし、さらに動作速度が向上しGHzの周波数領域になると、従来の特性インピーダンス整合手法が適用できなく

なる（効果が無くなる）。

このため、今後のデジタル信号の高速化のためには、従来技術とは異なった全く新たな信号品質保証技術が不可欠となる。

2. 研究の目的

我々は、GHz 級の超高速信号の信号品質を保証、改善する全くあらたな手法である“セグメント分割伝送線（STL: Segmental Transmission Line）”を提案している。

本研究の目的は、STL の効果を定量的に実験、評価することである。具体的には、信号品質の低下が著しい配線系であるメモリバス配線系やインダクタンス成分を含む配線系を対象として STL を設計、試作し、従来配線との波形を定量的に比較評価することである。

さらに、信号品質の低下を起こすクロストークノイズや配線の損失による信号振幅減衰に対しても STL を適用し、その効果を試作により比較評価することが目的である。

3. 研究の方法

STL の基本的な考え方を図 1 に示す。STL では、配線を複数のセグメントに分割し、各セグメントに異なった特性インピーダンス Z_i を与える。これにより、セグメント境界では特性インピーダンスの不整合が発生し、反射波が発生する。STL ではこの反射波を調整し、ターゲットとなる点（図 1 では、配線に接続された LSI の入力点）における歪んだデジタル信号と重ね合わせることで波形を整形する（信号品質を改善する）。なお、LSI 内配線であれば、配線に接続された回路の入力点が波形整形のターゲット点となる。

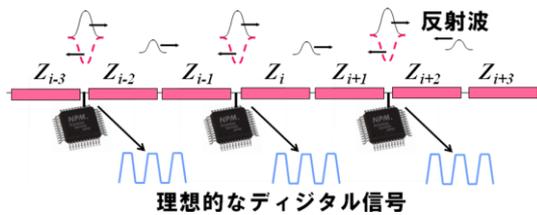


図 1 STL の概要

プリント基板や LSI 内配線には、ストリップライン構造やマイクロストリップライン構造が用いられる。この場合、特性インピーダンス Z_i は、配線幅によって決定される。このため、配線幅 W_i を調整することで特性インピーダンス Z_i を調整することができる。図 2 に、マイクロストリップラインに STL を適用した場合の概略を記す（上段が鳥瞰図であり、下段は断面図である）。

STL の設計では、膨大な数の特性インピーダンス Z_i の組み合わせの中から、最適な組み合わせを選び出す必要がある。セグメント数が 10、特性インピーダンスの種類が 30 種

だとすると、特性インピーダンスの組み合わせ数は 30^{10} 通りとなる。この組み合わせ爆発問題を解くために、我々は遺伝的アルゴリズム（GA: Genetic Algorithms）を用いる。GA は生物の進化プロセスに基づく確率的な準最適解の探索アルゴリズムである。

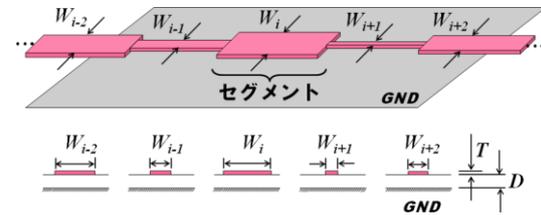


図 2 マイクロストリップラインによる STL

GA を用いた STL 設計システムの全体構成を図 3 に示す。全体は、GA に基づき各セグメントの特性インピーダンス Z_i を決定するための STL_Designer と回路シミュレータ

（SPICE）から成る。STL_Designer は、我々が開発したプログラムである。SPICE は、世界中で最も広く使用されている回路シミュレータである。

STL_Designer は、候補となる特性インピーダンス Z_i の組み合わせを GA によって選び出す。そして、この組み合わせによる伝送線の回路記述を出力する。SPICE は、この出力を入力として信号波形をシミュレートし、波形結果を STL_Designer にフィードバックする。STL_Designer はこの波形の良否を評価し、これに基づき進化プロセスを進める。

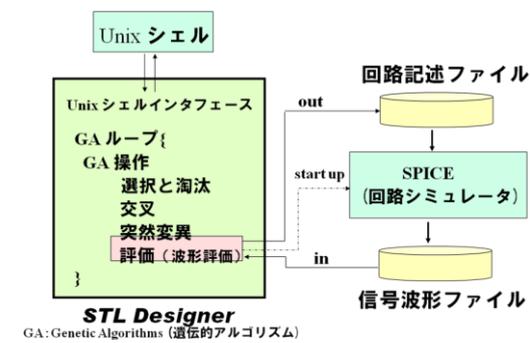


図 3 STL の設計システム

本研究では、マイクロストリップライン構造の配線を対象として、以下の配線系における STL の効果を試作によって評価した。

- ・メモリバス配線系（共有バス配線系）
- ・インダクタンスを有する配線系
- ・差動 1 対 1 配線系
- ・有損失配線系
- ・複数配線系（クロストークが発生する系）

なお、本研究では、対象となる系を試作、評価するための十分な設備と資金がなかったため、プリント基板によるスケールアップ試作を行った。スケールアップとは、対象となる配線系の長さや負荷（キャパシタやイン

ダクタ) を n 倍する (スケールアップする) ことで、動作周波数を $1/n$ 倍に落とし、目標となる系の波形を相似拡大した波形を観測するための方法である。

4. 研究成果

以下、代表的な配線系について、本研究で得られた成果を述べる。

(1) メモリバス配線系 (共有バス配線系)

メモリバスは、プロセッサとメモリの間をつなぐ信号伝送系であり、コンピュータにおいて最も重要な伝送系であると言っても過言ではない。

対象としたメモリバス系を図4に示す。クロック信号源から出力されたクロック信号は、配線 (伝送線) 上を伝搬し、メモリモジュールに入力される。配線はその端においてインピーダンス整合終端されている。メモリモジュールの入力点が容量性負荷となり、このため、入力点においてインピーダンスの不整合が発生し、波形に歪みが発生する。なお、本系ではプリント基板上のメモリバス系を対象としているが、LSI 内においても同等の系を考えることができる。

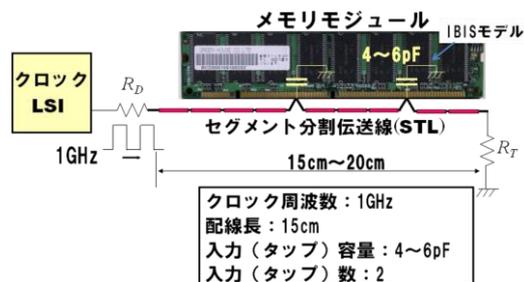


図4 設計対象としたメモリバス系

設計結果の一つを図5に示す。横軸は各セグメントの長さであり、縦軸は各セグメントの特性インピーダンスである。各セグメントの特性インピーダンスは、従来配線の特性インピーダンス (50Ω) から大きくずれ、かつ、隣接セグメント間の特性インピーダンス差が大きくなっている。これより、反射波を多く発生し、信号入力点 (図中左側の C_L) においてこれらの反射波で波形整形していることがわかる。

設計結果により試作した基板を図6に示す。試作基板 (図右下) に従来配線と STL の両者 (図上部にそれぞれの拡大図を示す) を作成し、波形を比較評価した。なお、配線にメモリモジュールの入力容量と等しいチップコンデンサを接続することで測定を行った。

測定結果を図7に示す。上段の波形は、入力クロック信号である。すなわち、この信号と同等の波形がチップコンデンサ接続点 (メモリモジュールの入力点に等価) で観測でき

ることが望ましい。中段の波形は、従来の配線 (特性インピーダンス 50Ω 様な伝送線) の結果である。入力信号は大きく歪み、振幅も減少しており、クロック信号として使用することは困難である。下段に STL による波形を示す。まだ、入力波形ほど立ち上がり/立ち下り時間が急峻ではないものの、従来配線において劣化した波形は大幅に改善され、クロック信号として使用可能な品質になっている。



図5 STLの設計結果

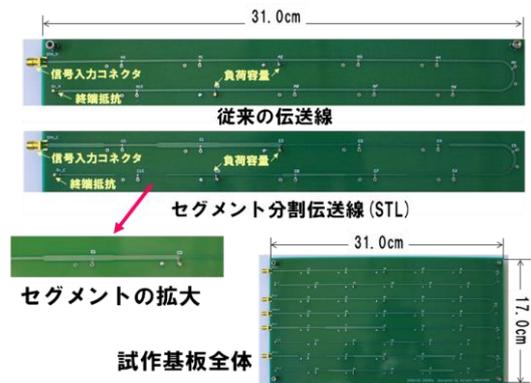


図6 STL試作基板

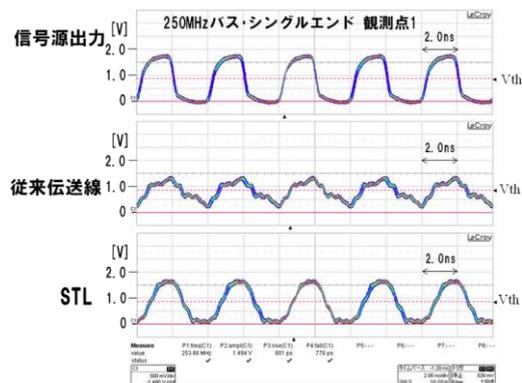


図7 バス配線系の波形比較

(2) 有損失配線系

STLは、特性インピーダンス不整合が原因の反射波による波形歪みの整形に適用してきた (本報告では、そのうちのひとつとして“メモリバス配線系”の成果を(1)で述べた)。本研究ではさらに、STLが配線損失による波形歪みにも適用できないかと考えた。LSIの動

作信号の高速化により、配線上の表皮抵抗（表皮効果による抵抗）と誘電損失が増加する。このためLSI内の長距離配線は、プリント基板上で問題になっている配線損失による波形歪みと同等の問題を生ずることとなる。

本研究では、STLが有損失配線の波形歪みに対してどの程度効果があるかをプリント基板によるスケールアップ試作によって評価した。図8に試作対象とした伝送系を示す。プリント基板上で十分な有損失配線系を実現するために、配線長70cmで伝送周波数は8GHzとした。これは現在のサーバ計算機等で実際に使用されている系である。現在は配線構造だけで損失を回復することができず、pre-emphasis用回路やequalizerといった能動素子で損失を回復している（図9の上段）。これに対し、STLを適用した有損失配線系を図9の下段に示す。70cmの伝送系に対して30cmの別配線系が付加している。これは、受信端（波形回復を行う点）において重ね合わせる波形が十分得られないため、反射波を生成するために設けた配線系である。なお、この付加配線系が無い場合は、十分な波形回復は達成できなかった。

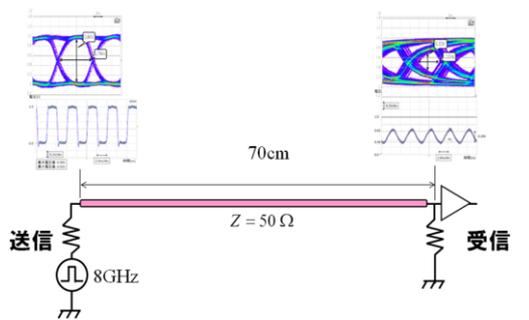


図8 対象とした有損失系

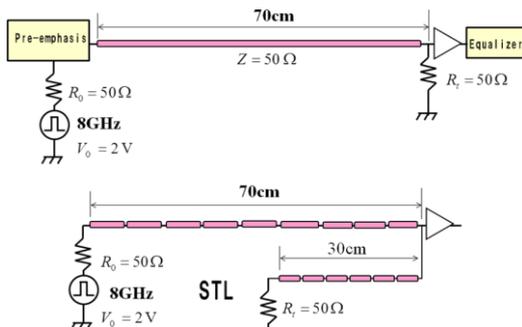


図9 従来技術とSTLの比較

結果を図10に示す（なお、本結果は、実測のために対象系を250MHzの系にスケールアップしたものを試作し、測定した）。上段に従来配線のアイパターン、下段にSTLのアイパターンを示す。従来配線のアイ開口は小さく、開口時間1.1nsとジッタ時間がほとんど同じである。また、開口電圧も0.35Vであり、本来の電圧幅1Vの1/3程度まで劣化

している。このため、実際の配線系に使用することは困難である。一方、STLのアイパターンは、開口幅と開口電圧は1.74nsと0.84Vを実現した。これは、実使用としても十分な値である。従来配線に対するSTLのアイパターンの改善比を表1にまとめる。従来技術では、有損失配線系の波形回復には、能動素子を使用する方法しかなかった。本結果は、有損失系の波形回復が受動素子のみで実現できる可能性を示すものであり、今後の超高速伝送の低価格、低消費電力、そして高密度実装の要素技術と成り得る。

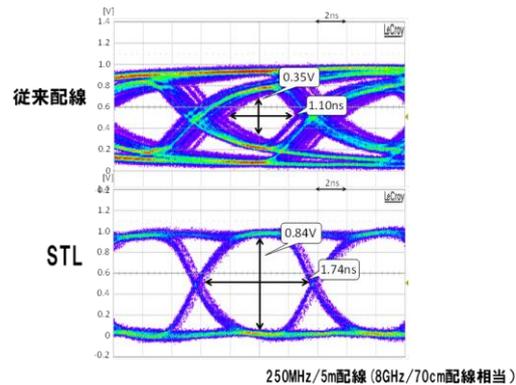


図10 有損失配線系のアイパターン比較

表1 アイパターンの改善比

	改善率
アイ開口電圧	2.4
アイ開口時間	1.6
ジッタ時間	約10

(3) 複数配線系（クロストークが発生する系）ある配線上を伝搬する信号が、隣接した配線に信号（ノイズ）を生成する現象がクロストークである（図11に2配線間のクロストークの概略を示す）。これは、配線間の静電容量と相互インダクタンスが原因で発生する。配線間の静電容量と相互インダクタンスは複数配線間に及ぶことがあり、複数配線間でクロストークノイズが発生することもある。

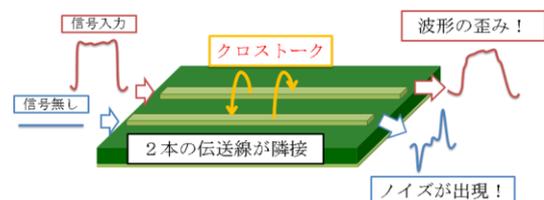


図11 クロストークの概略

STLは、単一配線内で発生した波形歪（ノイズ）を整形する技術であるが、本研究ではSTLのクロストークノイズ低減効果（クロストークノイズを減少整形する効果）も評価し

た. 対象としたのは2配線間のクロストークであり, 配線長40cm, 配線間隔0.4mmとし, 伝送信号は250MHzのクロック信号とした(試作実測を行うため, 1GHz系のスケールアップ実験とした).

図12に従来配線に発生するクロストークノイズのシミュレーション結果を示す. 長さが40cmで特性インピーダンスが 50Ω 様な配線が2本, 間隔0.4mmで配置された系で, 一方(アクティブ配線)にクロック信号(振幅1V)を伝搬させ, もう一方を静止させている. 静止線路には, 伝搬信号が無いにもかかわらず, 振幅0.42Vのノイズが発生している(0.5Vを超えた場合は誤動作の原因となり, ノイズマージンはわずか0.8Vである). なお, アクティブ線路は, 静止線路に発生したクロストークノイズの影響を受ける(アクティブ線路にもクロストークノイズが発生する). このため, 静止線路が無い単独配線の場合のクロック信号(理想波形)と異なったクロック信号が観測されている.

これに対し, 設計したSTLによる観測波形(シミュレーション)を図13に示す. ここでアクティブ線路とクロス線路の両方を同じSTLとし, 静止線路のクロストークノイズを低減すると同時にアクティブ線路のクロック信号は理想的なクロック信号(上記)になるように設計した. クロストークノイズの振幅は0.25Vとなり, 従来配線に比べて大幅に減少している. また, アクティブ線路のクロック信号もほぼ理想的なクロック信号となっている.

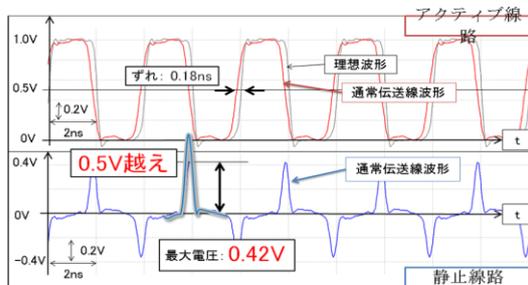


図12 従来配線のクロストーク (シミュレーション)

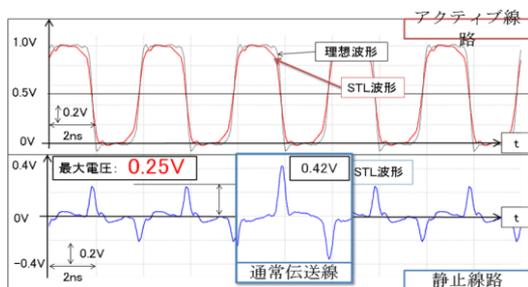


図13 STLのクロストーク (シミュレーション)

設計結果に基づき, 試作基板(図14)を作成し, 実測を行った. 基板には, STLと従来配線の両方を実装している. 従来配線の実測波形を図15に示す. 観測されたクロストークノイズの振幅は0.29Vであり, シミュレーション値(0.42V)よりは小さいものの, クロック信号振幅の約3分の1であり, 低減する必要がある.

図16にSTLの観測波形を示す. クロストークノイズの振幅は0.12Vまで低減され(従来配線のクロストークノイズの2分の1以下), クロック信号振幅の約10%まで減少した. これは実利用可能なレベルと考えられる.

以上の結果より, STLはクロストークノイズに対しても適用可能である基本的な見通しを得ることができた.

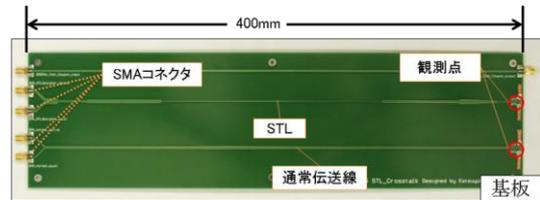


図14 クロストーク用STL試作基板

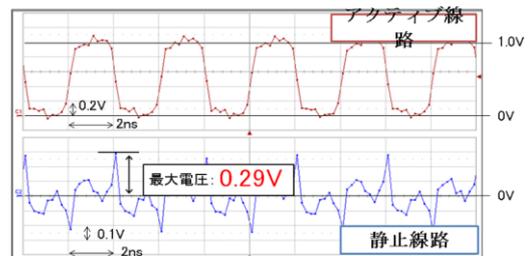


図15 従来配線のクロストーク (実測)

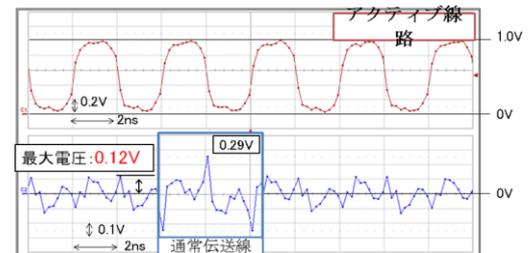


図16 STLのクロストーク (実測)

5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

[雑誌論文] (計3件)

- 1) Moritoshi Yasunaga, Hiroki Shimada, Shohei Akita, Masami Ishigro, and Ikuo Yoshihara, "A High-Signal-Integrity PCB Trace Composed of Multiple Segments for GHz VLSI Packaging: Its Prototyping and Performance

- Analysis,” Trans. of The Japan Institute of Electronics Packaging, Vol. 4, No. 1, pp. 44-51, 2011, 査読あり, DOI:10.5104/jiepeng.4.4
- 2) Hiroki Shimada, Shohei Akita, Masami Ishiguro, Noriyuki Aibe, Ikuo Yoshihara, and Moritoshi Yasunaga, “Digital signal waveform improvement on VLSI packaging including inductances,” Artificial Life and Robotics (Springer), Vol. 16, No. 2, pp. 194-197, 2011, 査読あり, DOI: 10.1007/s10015-011-0915-y
- 3) Masami Ishiguro, Hiroshi Nakayama, Yuki Shimauchi, Noriyuki Aibe, Ikuo Yoshihara, and Moritoshi Yasunaga, “Signal-integrity improvement method and its robustness evaluation for VLSI and VLSI-packaging,” Artificial Life and Robotics (Springer), Vol. 15, No. 3, pp. 325-329, 2010, 査読あり, DOI:10.1007/s10015-010-0819-2

[学会発表] (計 16 件)

- 1) 安永守利, “高速デジタル伝送信号の波形整形技術,” 第 26 回エレクトロニクス実装学会春季講演大会 (招待講演), 2012 年 3 月 7 日, 中央大学 (東京都).
- 2) 安永守利 (他 5 名), “インピーダンス・リコンフィギュレーションによる超高速信号の信号品質改善の提案,” 電子情報通信学会リコンフィギャラブルシステム研究会, 2012 年 1 月 25 日, 慶応大学 (神奈川県).
- 3) Moritoshi Yasunaga, Hiroki Shimada, Shohei Akita, and Ikuo Yoshihara, “High Signal and Power Integrity Design for VLSI Packaging Using Genetic Algorithms,” The 17th Int’ 1 Symp. on Artificial Life and Robotics 2012 (AROB 17th), pp. 146-149, 2012 年 1 月 21 日, 別府国際コンベンションセンター (大分県).
- 4) 安永守利, “遺伝的アルゴリズムを用いた GHz デジタル信号の波形整形 — ノイズをもってノイズを制す —,” 電気四学会 (電気学会, 電子情報通信学会, 照明学会, 映像情報メディア学会) 「准員および学生員のための講演会」 (招待講演), 2011 年 12 月 1 日, 関西大学 (大阪府).
- 5) Hiroki Shimada, Shohei Akita, Masami Ishiguro, Moritoshi Yasunaga, and Ikuo Yoshihara, “Signal-Integrity improvement based on the Segmental Transmission-Line,” IEEE 20th Conference on Electrical Performance of Electronic Packaging and Systems

(EPEPS 2011), October 24th 2011, San Jose, California (U.S.A.).

- 6) Moritoshi Yasunaga, Hiroki Shimada, Shohei Akita, Masami Ishiguro, and Ikuo Yoshihara, “A High Signal Integrity PCB Trace Composed of Multiple Segments for VLSI Packaging in GHz Domain, IEEE International Conference on Electrical Packaging 2011 (ICEP2011), 2011 年 4 月 15 日, 奈良県新公会堂 (奈良県).
- 7) Shohei Akita, Hiroki Shimada, Masami Ishiguro, Noriyuki Aibe, Ikuo Yoshihara, and Moritoshi Yasunaga, “Digital-signal improvement-method using Pareto optimization,” International Symposium on Artificial Life and Robotics 2011 (AROB 16th), 2011 年 1 月 29 日, 別府国際コンベンションセンター (大分県).
- 8) Masami Ishiguro, Hiroshi Nakayama, Yuki Shimauchi, Noriyuki Aibe, Yoshiki Yamaguchi, Ikuo Yoshihara, and Moritoshi Yasunaga, “Signal Integrity Improvement Method and Its Robustness Evaluation for VLSI and VLSI-packaging,” International Symposium on Artificial Life and Robotics 2010 (AROB 15th), 2010 年 2 月 6 日, 別府国際コンベンションセンター (大分県).

[図書] (計 1 件)

- 1) 電気学会進化技術応用調査専門委員会 (安永守利, 吉原郁夫分担執筆), 近代科学社, “進化技術ハンドブック第 II 巻 (17.2 節「VLSI 実装基板のための超高速信号伝送配線」執筆),” 2011 年, 510 ページ (総ページ数), 272 から 277 ページ執筆.

[その他]

ホームページ等

<http://islab.cs.tsukuba.ac.jp/~yasunaga/>

6. 研究組織

(1) 研究代表者

安永 守利 (YASUNAGA MORITOSHI)
筑波大学・システム情報系・教授
研究者番号: 80272178

(2) 連携研究者

山口 佳樹 (YAMAGUCHI YOSHIKI)
筑波大学・システム情報系・講師
研究者番号: 30373377
吉原 郁夫 (YOSHIHARA IKUO)
宮崎大学・工学部・教授
研究者番号: 20322315