

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24年 5月 2日現在

機関番号：12301

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21500051

研究課題名（和文）

時間軸情報処理アシスト高速信号伝送技術に基づく配線設計主体のLSIシステムの構築

研究課題名（英文）

Interconnect-centric LSI systems based on high-speed data transmission assisted by time-domain information processing

研究代表者

弓仲 康史 (YUMINAKA YASUSHI)

群馬大学・大学院工学研究科・准教授

研究者番号：30272272

研究成果の概要（和文）：

極限微細化・低電圧化・高速化された集積回路システムにおいては、配線の激増、ノイズの増大、波形劣化等、配線に起因する諸問題が深刻となる。本課題では、高速信号伝送時の波形整形を目的として「時間軸情報に着目した波形等化」および「伝送路に適したスペクトルを有する信号波形を用いた情報伝送」の考察を行った。主な研究成果は、(1) PWM信号を用いた高速信号伝送技術に関する検討および(2) 高効率符号化技術を用いた信号伝送とそのチップ間無線通信技術への適用である。

研究成果の概要（英文）：

The performance of recent high-speed VLSI systems is significantly limited by the interconnection bandwidth inside/between chips relative to individual transistor performance. The attenuation or deterioration of signals, arises from physical phenomena in transmission lines, limits achievable data rates and transmission distance. In this research, we have proposed following techniques to overcome the issues. (1) A new type of transmitter pre-emphasis technique based on pulse-width modulation (PWM) of a digitally coded signal. (2) An Efficient data coding scheme suited to channel characteristics and its application to wireless interconnection for 3D ICs.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,600,000	480,000	2,080,000
2010年度	1,100,000	330,000	1,430,000
2011年度	700,000	210,000	910,000
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：情報学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：集積回路、VLSIシステム、等化回路、多値情報処理、波形整形、プリエンファシス、高速インタフェース、時間軸情報処理

## 1. 研究開始当初の背景

システムオンチップ(SoC)においては、集積回路の微細化(スケーリング)に比例してデジタル回路部は高速化・低消費電力化などの性能向上が実現されるのに対し、アナログ回路部はスケーリングの結果、性能がむしろ悪化する問題が深刻化している。この原因はスケーリングによる電源電圧の低下により、アナログ情報の信号振幅が確保できず、ノイズが相対的に増大することに起因する。さらに、配線間クロストーク雑音および、配線の寄生素子(抵抗、容量成分)に起因する波形劣化による信号伝送速度の制限も深刻化している。すなわち、素子の高速化に配線の情報伝送能力が追従できない配線問題が深刻化しており、「従来の振幅を用いたアナログ情報表現とは異なる微細集積回路向きのアナログ情報の表現技術、新概念の高速インタフェースに関する研究」が急務である。

## 2. 研究の目的

従来のアナログ信号は振幅に情報を有しているため、微細化により電源電圧が低下すると、表現可能な最大振幅も低下し、アナログ信号振幅が低下する。その結果、相対的にノイズが増大し、アナログ回路の性能が劣化する。これに対して、本課題では、「パルス幅を連続的に変化させるパルス幅変調(PWM: Pulse Width Modulation)方式に着目し、アナログ情報を時間軸情報で表現する手法」を新たに採用する。

PWM方式を用いたアナログ情報表現の特長は、①信号レベルが常に最大の電源電圧で表現されるため、耐ノイズ性に優れる、②時間軸で表現されたアナログ信号情報を検出する回路はデジタル回路で構成されるため、微細化により時間分解能の精度向上が可能な点である。本課題では、アナログ情報の表現領域を振幅から時間へとパラダイムシフトさせた時間軸情報処理および高効率な信号の符号化技術に着目し、集積回路の微細化スケーリングにより性能向上可能なスケラブルアナログ情報表現、回路技術の考察とその高速インタフェースへの応用の検討を行い、配線設計主体の集積回路の高性能化の有効性を検証することを目的とする。

## 3. 研究の方法

高速信号伝送時の問題点である劣化した信号波形の整形を目的とし、時間軸情報表現および高効率符号化技術に着目した新しい波形整形技術の考察とそのシミュレーション、原理実験による評価を、次の2つのサブ

テーマに基づき実施する。

(1) [時間軸領域に情報を有する PWM 信号を用いた高速信号伝送技術に関する検討]

時間軸領域に情報を有する情報処理システムにおける有効性と問題点を明らかにするために、時間情報検出回路の動作速度の評価および微細化による電源電圧の低下の影響等を回路シミュレータで評価する。次に、PWM 信号を用いた高速信号伝送技術への応用に関する検討を行う。特に、PWM プリエンファシスの2次実現および多値への拡張を考察する。

(2) [高効率符号化技術を用いた信号伝送とそのチップ間無線通信技術への適用]

近年、3次元に積層されたチップ間を容量やインダクタを用いて無線通信を可能とする技術が提案されている。本課題では、本研究が提案しているチップ間無線通信の送受信と同時に波形整形のイコライズを行う回路の共有化を図る技術の応用として、3次元 SoC システムのチップ間高速無線通信方式の実現可能性を検討する。特に、伝送路の伝達特性に適したスペクトルを有する信号波形の符号化技術に関する考察を行う。

## 4. 研究成果

(1) [時間軸領域に情報を有する PWM 信号を用いた高速信号伝送技術に関する検討]

VLSI の極限微細化・高速化に伴う伝送信号の劣化波形を補正するための波形等化技術として、パルス幅変調(PWM)プリエンファシス技術に着目し、特に、2次 PWM プリエンファシスへの拡張および多値信号波形等化への適用を検討した。

高速信号伝送においては、図1に示すように、寄生素子に起因する符号間干渉によるデータエラーを生じる。これに対し、パルス幅を変調した PWM 波形信号を用いることにより、データエラーを補正可能である。本課題では、①伝送路に応じて最適な PWM のデューティ比の理論的考察および②高次の伝達関数の伝送路に対応する2次 PWM プリエンファシス技術を検討し、回路シミュレーションおよび FPGA による原理実験により性能評価を行った。

伝送路の伝達特性が1次の関数としてモデル化される場合、符号間干渉量を算出可能であるため、最適な PWM デューティ比が決定可能である。これに対し、伝送路が2次以上の伝達特性の場合、PWM 波形の変化点が2点ある2次 PWM 波形が有効であると共に、PWM の2点の変化点の最適な組み合わせは複数存在することを新たに見出した。さらに、FPGA

を用いた原理実験を行い、2次PWM波形等化技術の有効性を検証した。次に、伝送路の帯域制限の影響を緩和するために、信号のデータレートを等価的に軽減可能な多値信号伝送方式に基づく4値PWMプリエンファシス技術を新たに提案し、帯域制限の影響が厳しい伝送路に有効であることをシミュレーションにより明らかにした。

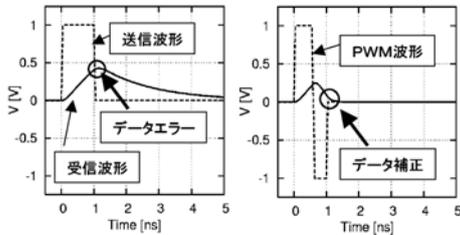


図 1：時間領域プリエンファシスを用いた波形整形（左：通常のデジタル信号波形、右：PWM 信号波形）

(2) [高効率符号化技術を用いた信号伝送とそのチップ間無線通信技術への適用]

近年、3次元に積層されたチップ間を容量やインダクタコイルを用いて無線通信を行う技術が提案されている。当該先行研究はチップ間の通信のみを行っているが、本研究者は、チップ間に配置された容量を波形整形のイコライザの一部として利用する新方式をすでに提案している(図2)。本課題ではさらに、チップ間無線通信の送受信に適した信号波形として、HDDの磁気記録などで用いられるパーシャルレスポンス(PR)信号を導入した3次元チップ間無線通信の実現可能性を検討した。PR信号の採用により、波形の周波数スペクトルを制御可能となり、バンドパス特性の容量結合通信に適した高速信号伝送が実現され、クロストークの削減、IC端子の静電破壊保護回路を不要とした消費電力の削減にも有効であると考えられる。

ここで、通常のデジタル信号(NRZ)は直流成分を含むため、バンドパス特性を有する容量結合通信においてはデジタル信号がパルス波形となり、信号のエネルギー伝送効率が劣化する。これに対して、PR信号の一種であるDicode波形は直流成分を含まず、容量結合のバンドパス特性に適した情報伝送が可能であることをシミュレーションにより明らかにした。本方式は、データ伝送効率の向上と共に、チップ間無線通信における受信回路を簡略化可能とするなどの利点も有する。シミュレーションのための伝送路モデルを検討すると共に、詳細な回路構成および集積回路の試作による性能評価を行うことを今後の課題としたい。

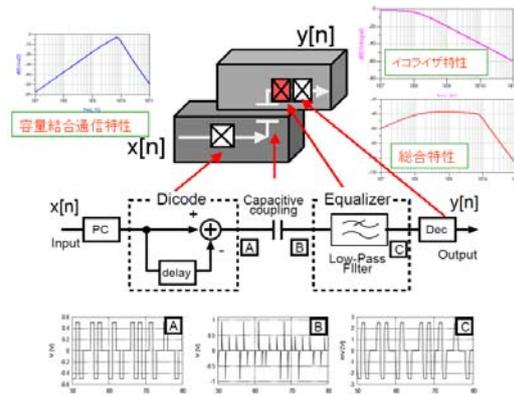


図 2：誘導結合を利用したチップ間無線通信技術

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

[1] Y. Yuminaka and K. Kawano, A Bandwidth-Efficient Ternary Signaling Scheme for 1-D Partial-Response Channels, Journal of Multiple-Valued Logic and Soft Computing, 査読有, 2012(In Press).

[2] Y. Yuminaka and K. Kawano, A Dicode Signaling Scheme for Capacitively Coupled Interface, Key Engineering Materials, 査読有, Vol. 497, pp.296-305, 2012.

[3] Y. Yuminaka and K. Henmi, High-Speed Multiple-Valued Data Transmission Based on Time-domain Pre-Emphasis Techniques, Key Engineering Materials, 査読有, Vol. 459, pp.260-270, 2011.

[4] Y. Yuminaka, High-Speed Data Transmission Techniques using Raised Cosine Signaling, Key Engineering Materials, 査読有, Vol. 459, pp.252-259, 2011.

[5] Y. Yuminaka, Y. Takahashi and K. Henmi, Multiple-Valued Data Transmission based on Time-Domain Pre-Emphasis Techniques, IEICE Trans. on Information and Systems, 査読有, Vol. E93-D, No. 8, pp.2109-2116, 2010.

[6] Y. Yuminaka and Y. Takahashi, Time-Domain Pre-Emphasis Techniques for Multiple-Valued Data Transmission, Journal of Multiple-Valued Logic and Soft

Computing, 査読有, Vol.15, pp.301-313, 2009.

[学会発表] (計 10件)

[1] Y. Yuminaka and M. Okui, Efficient Data Transmission using Multiple-Valued Pulse-Position Modulation, IEEE Proc. 42nd Int. Symp. Multiple-Valued Logic, (Accept) Victoria BC (Canada), May 14 2012.

[2] Y. Yuminaka, S. Ishida and K. Henmi, Experimental FPGA Implementation of 2nd-Order Time-Domain Pre-Emphasis Techniques, International Conference on Advanced Micro-Device Engineering, P71, Kiryu, Dec 8, 2011.

[3] 奥井 正明、弓仲 康史, 多値パルス位置変調を用いた2次元情報表現に基づく高速信号伝送方式, 第34回多値論理Forum, つくば, 2011年9月17日。(奨励賞受賞)

[4] Y. Yuminaka, S. Ishida and K. Henmi, A 2nd-Order Time-Domain Pre-Emphasis Technique and Its Experimental FPGA Implementation, 20th International Workshop on Post-Binary ULSI Systems, pp.12-16, Tuusula(Finland), May 22, 2011.

[5] Y. Yuminaka and K. Kawano, Partial-Response Signaling Scheme for High-Speed Data Transmission, International Conference on Advanced Micro-Device Engineering, 2L08, Kiryu, Dec 10, 2010.

[6] Y. Yuminaka and K. Henmi, Data-Dependent Time-Domain Pre-Emphasis Techniques for High-Speed Data Transmission, IEEE Int. Symp. on Communications and Information Technologies 2010, pp.1103-1107, Tokyo, Oct 29, 2010.

[7] Y. Yuminaka, K. Kawano, A Ternary Partial-Response Signaling Scheme for Capacitively Coupled Interface, IEEE Proc. 40th Int. Symp. Multiple-Valued Logic, pp.331-336, Barcelona(USA), May 27, 2010.

[8] 逸見憲一、弓仲康史, パルス幅変調プリエンファシスを用いた高速多値信号伝送技術, 電気学会電子回路研究会, 桐生、ECT10-042, 2010年3月25日.

[9] Y. Yuminaka, Y. Takahashi and K. Henmi, High-Speed Multiple-Valued Data Transmission Based on Time-domain Pre-Emphasis Techniques, International Conference on Advanced Micro-Device Engineering, 2L15, Kiryu, Dec 11, 2009.

[10] Y. Yuminaka, Y. Takahashi and K. Henmi, Multiple-Valued Data Transmission Based on Time-Domain Pre-Emphasis Techniques in Consideration of Higher-order Channel Effects, IEEE Proc. 39th Int. Symp. Multiple-Valued Logic, pp.250-255, Naha, May 23, 2009. (IEEE 多値論理国際会議 Outstanding Contributed Paper Award 受賞)

[図書] (計 0件)

[産業財産権]

○出願状況 (計 0件)

○取得状況 (計 0件)

[その他]

ホームページ等

<http://cs3.el.gunma-u.ac.jp>

## 5. 研究組織

### (1) 研究代表者

弓仲 康史 (YUMINAKA YASUSHI)

群馬大学・大学院工学研究科・准教授

研究者番号：30272272