

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年6月1日現在

機関番号：16201

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21500057

研究課題名（和文） 3次元実装系の効率的なモデリングと解析手法

研究課題名（英文） Efficient Modeling and Simulation of 3D Packaging Systems

研究代表者

丹治 裕一（TANJI YUICHI）

香川大学・工学部・准教授

研究者番号：10306988

研究成果の概要（和文）：3次元実装系を効率的にモデリングするために、多導体システムのインダクタンス行列を疎行列で表現する方法を提案した。合わせて、平面回路を簡素な回路で表現する方法を提案している。また、実装系を解析するために、CMOS回路を含む大規模線形回路網の過渡解析を高速に実行するアルゴリズムの提案を行い、シミュレータの試作を行った。従来手法との比較によりその優位性が確認できた。それゆえ、効率の良い3次元実装系のモデリング及び解析が、本研究によって可能となった。

研究成果の概要（英文）：A method for expressing the inductance matrix of multi-conductor system with sparse one was presented in this research. Also, the plane circuit was expressed by a simple equivalent circuit, based on the approximation of Maxwell's equations. Moreover, a fast algorithm for analyzing the large scale linear networks with CMOS circuits was proposed and the prototype simulator was developed. It is confirmed that the developed simulator is faster than the previous methods. Therefore, this research enables us to model and simulate the 3D packaging systems efficiently.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	900,000	270,000	1,170,000
2010年度	1,900,000	570,000	2,470,000
2011年度	600,000	180,000	780,000
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：電気電子工学

科研費の分科・細目：情報学、計算機システム・ネットワーク

キーワード：実装、3次元、集積回路、シミュレーション、寄生素子

1. 研究開始当初の背景

半導体プロセス技術の進歩により、膨大な数のトランジスタをワンチップ上に集積化できるようになった。そこで、電子システム全体をワンチップ化するシステム・オン・チップ（SoC）の開発が盛んとなった。しかしながら、先端のSoCプロセスでは必ずしもシステムを実現できないことが分かってきた。

そこで、すべての機構をワンチップ上に実現するのではなく、複数のチップをパッケージで封止することで実現を図る3次元実装系（システム・イン・パッケージ：SiP）が注目されている。

LSIの高速化に伴うプリント基板上での信号の高速化のため、配線の分布定数回路としての振る舞いによる信号品質の劣化（シグナ

ル・インテグリティ), 配線のインダクタンス成分に起因する電源電圧の低下 (パワー・インテグリティ) によって, デジタル信号が誤って伝送される問題が生じている。現在, プリント基板の一部を SiP に置き換えることで, シグナル/パワー・インテグリティ対策を行おうという試みが行われている。さらに, SiP 化することで LSI から発生する不要電磁輻射ノイズを抑制, 発熱にも強いという特徴をもつため, SiP は今後の電子システムの発展に必要不可欠な存在となっている。

SiP は電磁ノイズに強いとは言われているが, その構造はプリント基板を縮小したものであるため, 信号品質の劣化, 電源電圧の低下が生じないわけではない。しかしながら, SiP のモデリング, 解析手法は確立されていないため, シミュレーションによる検証は行わず, 試作, 実測によって検証を行っている。今後, SiP が複雑化することが予想されるため, 試作, 実測に頼った検証では, 開発が困難になることが予想される。

2. 研究の目的

本研究では, シグナル/パワー・インテグリティを考慮した SiP の設計を行うためのモデリング及び解析手法の提案を行う。申請者のグループは SiP におけるシグナル/パワー・インテグリティ評価のための解析手法を提案し, シミュレータの開発を行っている。模擬的な SiP のモデルに対して解析を行った所, 商用のシミュレータに比べ大幅な演算効率の向上が達成できた。その一方で, 解析対象となる SiP の有用なモデルは提案されておらず, 試作したシミュレータも実際問題の使用には至っていない。そこで, 有用な SiP のモデルを提案し, 開発したシミュレータを拡張することで, モデリングと解析を一貫して行う手法を開発することが本研究計画の目的である。しかしながら, 本解析手法は SiP の設計には有用であるが, SiP を含めたプリント基板の設計には利用できない。その設計・解析には SiP の簡易モデルが必要である。そこで, 上記の SiP のモデルに対して, モデル低次元化法を適用し, プリント基板の設計・解析のための簡易モデルを作成する。

3. 研究の方法

(1) 3次元実装系をモデリングする場合には, 多導体システムのインダクタンス行列を求める必要がある。インダクタンス行列は密行列で与えられるが, これを直接, 解析に使用したのでは, 解析の演算効率が低下する。そこで, 許容される精度の下で疎な行列を作成する方法を検討した。作成した疎行列を用いることで, 回路解析の演算効率がどの程度改善されるかを評価した。

(2) 3次元実装系の解析には, 大規模線形回

路網に CMOS 回路が接続された回路の過渡解析が必要である。そこで, 高速マトリクスソルバとして知られている GMRES を用いた方法, Woodbury の公式を用いた方法, 数値電磁界解析手法として知られている FDTD 法を回路解析に応用した方法について検討を行った。従来研究で開発したシミュレータ上にこれらの手法を実装した。例題を用いて, その演算効率について評価を行った。

(3) 当初の計画では, モデル低次元化法を適用し, プリント基板の設計・解析のための簡易モデルを作成する予定であった。しかしながら, モデル低次元化手法によっては良好なモデルを作成できないことが分かった。そこで, 方針を変更し, パッケージのモデリングで主要な部分を占める多層平面回路のデルについて, 提案を行った。

4. 研究成果

(1) インダクタンス行列を疎な行列で表現するよりも, その逆行列であるリアクタンス行列を疎な行列で表現することの方が容易であることが知られている。そこで, リアクタンス行列を疎な行列で表現する方法として, A. 直接打ち切り, B. 正定性の強制, C. 対角優位性の強制の3つ方法を提案した。また, インダクタンス行列を直接, 疎な行列で表現する方法として, D. 直接打ち切り, E. Neumann 級数を用いる方法を提案した。疎な行列で表現することの有用性は, これまでも知られているが, 行列の固有値が正定 (安定) であることは必ずしも保証されていなかった。一方, 本研究では, 得られた疎行列をコレスキー分解することで正定性の確認を行っている。従って, 提案手法で作成された疎行列を用いながら回路シミュレータによる解析を行っても, 解析が不安定になることはない。これが提案手法の従来手法と比較した場合の優位な点である。

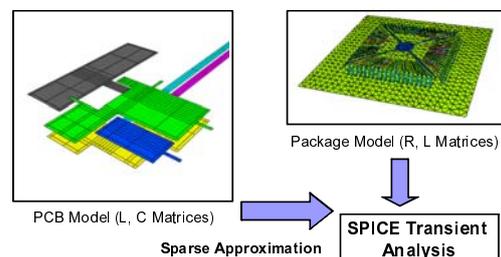


図1 プリント基板とパッケージからなる電子システムの解析

図1のようなパッケージとプリント基板からなる電子システムに対して, 疎行列 (リアクタンス/インダクタンス行列) を作成した。次に, 回路シミュレータ SPICE による過

渡解析を実行した。表 1 に解析時間の比較を示す。ここで、疎行列を作成しない場合には膨大な計算時間が必要であるのに対して、疎行列を作成すると効率良く解析が行えることが示されている。また、図 2 に示したように、疎行列を解析に使用した場合にも、疎行列を作成しない場合と比べ許容できる精度の下で解析できることが確認できる。

表 1 回路シミュレータによる解析時間の比較

方法	非零要素[%]	解析時間[秒]
O	100	21,108
A	0.69	61
B	0.69	51
C	0.68	53
D	0.48	10
E	2.01	175

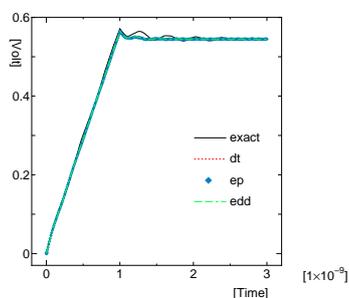


図 2 過渡応答波形(exact: 方法 O, dt: 方法 A, ep: 方法 B, edd: 方法 C)

(2) 3次元実装系の解析を行うためには、大規模線形回路網に CMOS 回路を接続した回路の過渡解析が必要である。回路内に CMOS などの非線形デバイスが含まれる場合には、非線形連立微分方程式を離散化し、得られる非線形方程式をニュートン法によって解くことで各時刻における応答を求めることができる。ニュートン法では、CMOS 回路を表す非線形関数をテーラー展開によって線形化し、得られる線形連立方程式を求解するため、解析手法を高速化するためには、この線形連立方程式を効率良く解くことが必要となる。

第一の高速化手法として、線形連立方程式の高速な反復解法として知られている Krylov 部分空間法に基づく GMRES を用いた方法を提案した。GMRES は連立方程式の 2 乗誤差を最小化する方法であり、係数行列を Arnoldi 原理を用いて直交化する。直交化の過程において 2 乗誤差を評価できる特徴を持っており、反復の終了条件を容易に決定することができる。Krylov 部分空間法において、効率的に解を求めるためには、係数行列の近似である前処理行列を効率的に利用する必要がある。本研究では、前処理行列としては

帯行列を利用しており、行列の対角成分付近に支配的な要素が配置されるように、節点解析を行った。

本研究では、大規模な線形回路網に小規模の非線形部分が接続されている回路を解析の対象としている。一方、ニュートン法の各反復で求解される線形連立方程式は、線形部分が大部分を占めるため、行列の要素はほとんど変化しない。それにも拘わらず、各反復において、この連立方程式が同じ方法によって解かれることになっており、冗長な部分がある。第 2 の方法では、この冗長な部分を削減するために、解かれる線形連立方程式の要素を線形部分と非線形部分に分割し、これに Woodbury の公式を利用することで、非線形部分のみを更新し、線形部分の情報については再利用する方法を提案した。非線形部分は小規模であると仮定されており、この更新に必要な計算コストは小さく、全体の処理は高速化されることになる。

第 3 の方法は、数値電磁界解析法として知られている FDTD 法を応用した方法である。FDTD 法では空間を Yee の格子によって分割して電界と磁界を交互に配置する。次に、時間領域において電界と磁界を時間的に半ステップずつずらしながら解析を行う。FDTD 法を模して、電界と磁界の関係を回路の電圧と電流に置き換え、時間的に半ステップずつずらしながら解析を行う方法を提案した。ニュートン法の各反復では、求解される連立方程式の係数行列における電圧と電流の接続関係を示す部分が、連立方程式の解法の演算コストを低下させている。一方、上記の FDTD 法に倣った回路解析では、接続関係を示す部分は連立方程式の求解には表れない特徴を持っている。従って、回路構造によっては極めて高速な解析が可能となる。

以上 3 つの方法を従来研究で開発した線形回路シミュレータ FALCON を改良して実装を行った。図 3 に実装を行ったシミュレータの Windows 上での外観を示す。FALCON が 5,814 行であったのに対して、改良後は 15,655 行、A4 で約 200 ページのソースコードとなった。FALCON では、フリーの汎用回路シミュレータ SPICE で用いられているマトリクスソルバ Sparse を利用しているが、改良したシミュレータではこれを、インテル・マスカネル・ライブラリに置き換えている。線形代数パッケージとしては、BLAS, LAPACK, PARDISO に対応させている。これらはマルチコア CPU 上で実行できるよう並列演算ライブラリである OpenMP に対応しており、改良したシミュレータでは並列演算が可能となった。

CMOS 回路の解析を行うために、フリー SPICE の MOS モデルの内、レベル 1、2 の適用を行った。改良したシミュレータでは、

Windows かつ Linux 上で実行が可能である。入力としては、SPICE フォーマットに対応しており、.subckt などの部分回路の記述、.model 文におけるパラメータの指定も可能である。

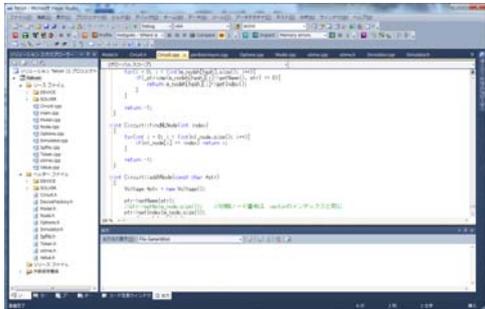


図3 試作したシミュレータの外観

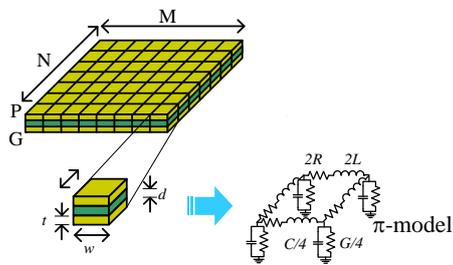


図4 平面回路の等価回路モデル

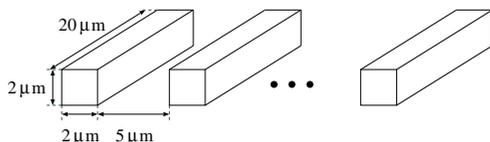


図5 多導体システムの構造

表2 試作したシミュレータ上での提案手法の計算時間の比較

	GREMS	Woodbury	FDTD	MNA
100x100	6.8	4.9	1.8	4.9
600x600	114.5	249.4	63.1	721.4
2000 導体	50.8	41.0	3.9	78.6

開発したシミュレータの性能を評価するために、パッケージのモデルの一部に用いられる図3の平面回路の等価回路モデル及び図4の多導体システムの回路モデルに CMOS 回路を接続して解析を行った。図3の等価回路が疎な回路行列を持つものに対して、図4では多導体システムのインダクタンス行列を抽出して解析を行うため、回路行列は密となる。

表2に改良したシミュレータ上での計算時間の比較を示す。ここで、MNA はフリー SPICE と同様のアルゴリズムを用いた場合である。ただし、フリー SPICE を用いても上記の回路を解析することはできなかった。表2より FDTD 法を模した方法が最も高速であった。MNA と比較して、平面回路の場合には 11.4 倍、多導体システムの場合には 20.1 倍の高速化が達成できた。ゆえに、試作したシミュレータを用いれば、3次元実装系を効率よく解析することが可能であると考えられる。

(3) 図4の平面回路の等価回路モデルでは、Maxwell の方程式の近似に基づいて、抵抗 R 、インダクタ L 、キャパシタ C 、コンダクタ G が閉じた形で表現されている。それゆえ、パッケージ、プリント基板のモデリングにおいて広く用いられている。図4のモデルでは、下層部のインダクタ及び抵抗を考慮したモデルが、グランドを持った π 型モデルに等価であることを利用している。さらに、これを拡張した多層の平面回路モデルが提案されており、各国で特許が申請されている。しかしながら、この π 型モデルは、平面回路が何も接続されない状態での網目方程式に関する等価性から導かれたものであり、平面回路に何らかの回路が接続される場合には、 π 型モデルと原型の回路モデルとの等価性が崩れる。すなわち、 π 型モデルでは平面回路を正しく表現することはできない。それゆえ、原点に帰り、図6のモデルを平面回路の正しいモデルとするべきである。この特徴は、いかなる回路も接続可能であり、多層、空洞の場合にも、容易に拡張が可能である。また、すべての素子は回路素子として表されるため、回路シミュレーションが不安定になることもない。今後、様々な用途に応用し、その有用性を示していく予定である。これを示すことで、パッケージのモデリングに標準的に用いられることになるであろう。

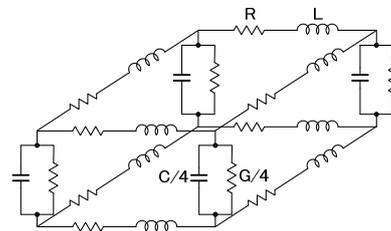


図6 平面回路の単位セルモデル

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計4件)

①Y. Tanji, "Performance comparison of fast transient simulation techniques for large rlc networks with cmos Loads," Proc. The 2011 IEEE Workshop on Nonlinear Circuit Networks, 査読有, pp. 156-159, 2011.

②Y. Tanji, "Fast simulation of interconnects with nonlinear loads using woodbury's formula," Proc. 2010 IEEE International Symposium on Circuits and Systems, 査読有, pp. 2590-2593.

③Y. Tanji and T. Watanabe, "Generating stable and sparse reluctance/inductance matrix under insufficient discretization," 査読有, IEICE Trans. on Fundamentals, vol. E93-C, pp. 379-387, 2010.

〔学会発表〕(計8件)

①丹治裕一, CMOS負荷を持つ密に結合された大規模RLC回路網の効率的な解析、電子情報通信学会シリコン材料・デバイス研究会、2011年11月、東京

②丹治裕一, FDTD法の回路解析への応用について、電子情報通信学会エレクトロニクスシ

ミュレーション研究会、2011年10月、長崎
③丹治裕一, 非線形デバイスを含む大規模線形回路網のGMRESによる解析、電子情報通信学会非線形問題研究会、2011年5月、香川

④Y. Tanji, "Fast Interconnect Simulator by Partitioning Technique," IEEE CASS Shikoku and Shanghai Chapters Joint Workshop on Nonlinear Circuits and Systems, 2009年11月、上海(中国)

⑤K. Yamada and Y. Tanji, "Solving Differential Equations Using GPU," IEEE CASS Shikoku and Shanghai Chapters Joint Workshop on Nonlinear Circuits and Systems, 2009年11月、上海(中国)

⑥丹治裕一, 線形回路シミュレータFALCONのマルチコアCPU上での実装、電子情報通信学会非線形問題研究会、2009年8月、高知

6. 研究組織

(1) 研究代表者

丹治 裕一 (TANJI YUICHI)
香川大学・工学部・准教授
研究者番号: 10306988