

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年5月16日現在

機関番号：22604

研究種目：基盤研究（C）

研究期間：2009～2012

課題番号：21500059

研究課題名（和文） 耐ノイズ性・耐ばらつき性を有する高信頼性デジタル回路の設計

研究課題名（英文） Design of high reliability digital circuits having tolerance ability for noise and process variation

研究代表者

三浦 幸也 (MIURA YUKIYA)

首都大学東京・システムデザイン研究科・准教授

研究者番号：00254152

研究成果の概要（和文）：VLSI が低電圧化・高速化・微細化するにつれ、ノイズによる VLSI の誤動作が問題となっている。本研究ではデータ信号線に発生するノイズに耐性のあるフリップフロップの開発を行った。開発した回路は付加信号を必要とせず、また既存回路と互換性・整合性のある回路構造であることから、従来設計の回路と混在が可能である。更に開発した回路機能をデータ信号の遅延時間の増加・減少の検知に拡張し、信号遅延の訂正に応用できることを明らかにした。

研究成果の概要（英文）：According to reduction of a supply voltage, speed-up of an operation speed and scale-down of device dimensions of VLSIs, malfunction of VLSIs caused by noise is becoming a serious problem. In this study, we developed flip-flops which have tolerance for noise induced on a data signal line. As the proposed flip-flops do not require any additional signal and are compatible circuit structures with existing circuits, it is possible to mix with circuits of conventional design. Furthermore, it was shown that the developed circuit function can be extended to detection of increase and decrease in the delay time of a data signal, and it can apply to correction of signal delay.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	900,000	270,000	1,170,000
2010年度	1,100,000	330,000	1,430,000
2011年度	800,000	240,000	1,040,000
2012年度	500,000	150,000	650,000
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ディペンダブルコンピューティング

1. 研究開始当初の背景

バッテリー駆動の携帯用電子機器や高性能情報システムの実現には、低電圧動作・高周波動作の可能な VLSI が多用されているが、各種のノイズや動作環境によるデジタル VLSI の誤動作が問題となっている。特に微細化された VLSI 内の寄生 R, L, C 成分に

よって発生するクロストークノイズによる誤動作（クロストーク故障の発生）や多数のゲートのスイッチングによる電源ゆらぎ（電源ノイズ）への対策、および製造ばらつきに影響を受けない回路動作は、高信頼性 VLSI を実現するための重要な課題となっている。従来から、VLSI 内部でのノイズ発生のみ

カニズムの解析とその検出方法、およびノイズ発生率を抑える設計法の提案がなされている。しかしデジタル回路のタイミング動作までを考慮したノイズの解析方法は見当たらない。またノイズを故障と考えて、クロック信号にノイズが発生したときのオンラインテストによる検出方法が提案されている。しかしノイズの発生原因が必ずしも物理的欠陥によるものとは限らないため、故障検出が VLSI の高信頼性に貢献するとは限らない。更に、データサンプリング回数もしくは回路を多重化することでデータ信号線上のノイズパルスを排除する回路構成が提案されているが、回路サイズが大きくなるため高集積化に適さない。以上のように従来研究では、ノイズを故障として検出するための方法や多重化・冗長化による正常信号の確保に主眼を置いて研究が行われてきた。

研究代表者は 2006~2007 年度 科学研究費補助金 (基盤 C) 「クロストークノイズを考慮した高信頼性回路の設計方法」において、クロック信号線に発生するノイズに対して耐性のあるクロック信号の供給方法とクロック信号幅の変動に対する自己訂正方法を提案した。またこれらを従来設計と互換性のある回路で実現できることを示し、その有効性を回路シミュレーションを用いて明らかにした。

本研究ではこれらの研究成果を発展させ、信号線上に発生するノイズ等の動作環境における影響 (誤動作) および回路ばらつきを対象にする。また対象信号をデータ信号に拡張して、正しいデータ信号の確保と動作環境の変動から受ける影響に耐性のある VLSI の設計法を開発する。

2. 研究の目的

一般にはノイズの発生原因が複雑であることからノイズを完全に排除することは困難であり、またその発生時刻と大きさ (振幅とパルス幅) も一定ではない、などを考慮すると、従来法はノイズ対策の根本的な解決方法とは言えない。本研究では、ノイズの検知という受動的な立場ではなく、ノイズが発生しても正常な動作を保証できる回路設計を行う (ノイズ等が存在する環境でノイズ耐性のある回路を実現する) という能動的な立場で研究を遂行する。この意味において、本研究は従来のノイズ対策を一層積極的に改善する研究であると言える。また提案手法は既存の設計資産や設計製造技術をそのまま活用できることを目指すため、低コストで VLSI やボード回路の信頼性を高めることができる技術である。

本研究では任意の大きさのノイズパルスの発生にかかわらず正常動作を保証できるノイズ耐性のある高信頼性フリップフロ

プを開発する。特に、データ信号線上の可変の大きさのノイズの異常を自動検知し、これを排除もしくは自己修正できる手法を開発する。そのために、回路の多重化や冗長化を使用せずに実現できる面積オーバーヘッドの少ない回路設計法を開発し、低コスト・高集積化に対応できる実装を目指す。また提案の設計方法は、現行の回路設計方法と互換性のあるものとし、既存の設計資産の有効利用、および既存の設計・製造プロセスで実現可能なものとする。更に微細化技術に適合させるために、ばらつき耐性を有することを目指す。また開発した回路機能を信号遅延の検知と訂正に拡張し、開発手法の広範囲な応用を目指す。

本研究では VLSI を対象にするが、本研究で得られる知見はボード回路にも応用できるのでその適用範囲は広いものと考えられる。また提案の方法は従来法と同様の設計・製造方法で実現できることを目指すため、低コストで一層信頼性の高い VLSI やボード回路を実現できるものと期待できる。

3. 研究の方法

(1) ノイズ耐性のある高信頼性フリップフロップの開発

通常のエッジトリガフリップフロップでは単一のクロックエッジに同期してデータの取込み・保持が行われるため、クロックエッジ近傍にノイズパルスが発生すると、フリップフロップがこのノイズパルスの値 (不正な値) を取込み・保持し、結果として同期式回路に誤動作を生じさせる。正当なデータ (すなわち十分な幅を持つ信号) の取込みに複数回の取込みタイミングを使用すれば、十分な幅を有する正当なデータ信号か否か (ノイズパルス) を区別でき、ノイズによって発生した誤りデータ (ノイズパルス) をフリップフロップが取込み・保持することを防げる。クロックパルスには本質的に 1 周期内に立上りと立下りの 2 個のエッジがある。本研究ではこれらの両方のエッジに同期してデータを取り込むデュアルエッジトリガフリップフロップ (DET-FF: Dual Edge Triggered Flip-Flop) を開発する。これにより付加信号なしで、ノイズパルスをブロックできる高信頼性フリップフロップを実現できる。

またもう一つのタイプであるレベルセンシティブフリップフロップ (マスタースレーブフリップフロップ) を対象に、ノイズ耐性のあるフリップフロップを開発する。

(2) 信号遅延検知・訂正回路への応用

VLSI の微細化に伴う信号遅延が回路の動作に影響を及ぼすことが問題となっている。そこで、本研究で開発した DET-FF の機能を拡張して、回路の信号遅延の変動の検知と信

号遅延の訂正への応用を検討する。

DET-FFは両エッジで取り込んだ値が異なるときに警告信号を出力する機能を有することから、これだけで信号遅延の検知を行うことが可能である。このときDET-FFは警告信号を出力するとともに出力Qは直前の値を保持する機能を持つ。この直前の値は信号遅延で取込めなかった値と異なることから、この値を強制的に反転させる機能を追加することにより、信号遅延が発生した場合であっても信号遅延による誤りの訂正を行って正しい値を出力できると考えられる。本研究ではバス遅延故障や遷移遅延故障により発生する信号遅延を対象とする。また、本方法では信号遅延として、遅延時間を増加させる信号遅延と遅延時間を減少させる信号遅延の両方に対応可能である。更にリアルタイムで信号遅延の検知と訂正を行うことができる。

4. 研究成果

(1) ノイズ耐性のある高信頼性フリップフロップの開発

本研究では回路レベルでノイズによる影響を防止することがノイズに対する合理的な対策であると考え、付加信号や回路の冗長化なしにクロック信号の立上りエッジと立下りエッジの両方を活用した高信頼性デュアルエッジトリガフリップフロップ (DET-FF) を開発した。

1周期内のクロック信号には立上りと立下りの2個のクロックエッジがある。これらのエッジを活用してデータ信号とノイズパルスの区別をできれば、付加信号なしにノイズ耐性のあるフリップフロップを実現できる。図1に示すようにDET-FFでは2個のエッジで取り込んだ値が等しい場合に正当なデータ信号(十分な幅を持つ信号)と判断する。一方、2個のエッジで取り込んだ値が異なるときは、DET-FFはノイズパルスが到達したと判断し、以前の値を保持し続ける。このときノイズをブロックし、以前の値を保持していることを通知するために警告信号を出力する。表1にDET-FFの機能を示し、図2(破線内)にDET-FFのブロック図を示す。付加信号がないため既存の回路と互換性・整合性を取ることができる。またブロックできるノイズ幅はクロックパルス幅tcwで調整可能である。更に開発したフリップフロップは、電源電圧(VDD)、トランジスタサイズ(W/L)、トランジスタしきい値(Vth)が±30%の範囲で変動しても正常に動作することを確認した。

このDET-FFと同様の考え方をレベルセンシティブフリップフロップ(マスタースレーブフリップフロップ)に拡張した成果も得た。

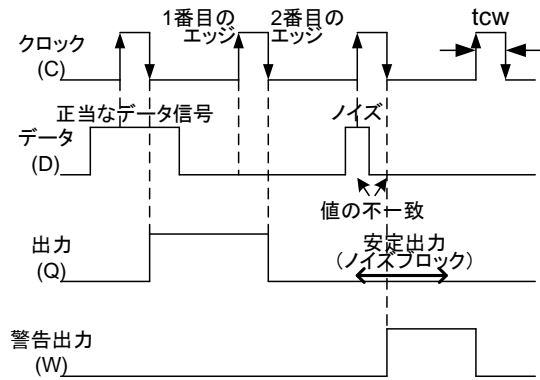


図1 DET-FFの動作概要

表1 機能表

入力信号種類	1番目のエッジ		2番目のエッジ		出力 Q	警告 W	訂正出力 Qc
	C	D	C	D			
データ	↑	1	↓	1	1	0	Q
	↑	0	↓	0	0	0	Q
ノイズ, 信号遅延	↑	1	↓	0	Q	1	QB
	↑	0	↓	1	Q	1	QB

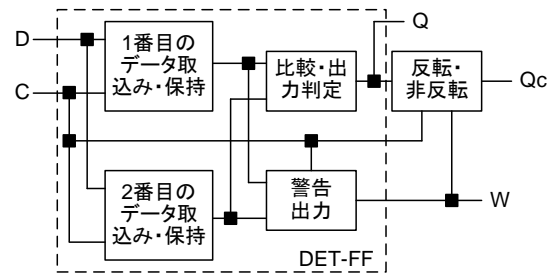


図2 回路ブロック図

(2) 信号遅延検知・訂正回路への応用

(1)で開発したフリップフロップの適用例として信号遅延検知と信号遅延訂正への応用を検討した。提案のフリップフロップは、立上りと立下りの両エッジのデータ値が異なるときに警告信号を出力する。この機能を拡張することで、データ信号の遅延の増加・減少を検知し、また信号遅延の訂正が行える。

データ信号の遅延時間が増加もしくは減少し、立上りと立下りの両エッジの間で信号変化が発生する場合もDET-FFは警告信号W=1を出力するので、信号遅延の発生を検知することができる。このときDET-FFの出力Qは直前の値を保持している。この出力値を強制的に反転させる機能を追加することで、信号遅延による誤りを訂正することができる(表1:訂正出力)。これは図2に示すようにDET-FFの警告信号を利用して出力値Q

を強制的に反転させる機能を追加することで実現できた。このように付加信号なしに、オンラインで信号遅延の検知と訂正を行える方式を実現できた。

以上のように、本研究ではノイズの検知という受動的な立場でなく、ノイズが発生しても正常な動作を保証できる回路設計を行う（ノイズ等が存在する環境でノイズ耐性のある回路を実現する）という能動的な立場のノイズ対策法を開発した。この意味において、本研究は従来のノイズ対策を一層積極的に改善した研究であると言える。

本研究では VLSI を対象にしたが、本研究で得られた知見はボード回路にも応用できるのでその適用範囲は広い。特に車載用機器・医療機器・交通システムなど常に高い信頼性を要求される分野に適用することで、誤動作のない安全で安心な運用を実現できるものと考えられる。また提案の方法は従来法と同様の設計・製造方法で実現できるため、低コストで一層信頼性の高い VLSI やボード回路を実現できる。よって情報システム分野・半導体開発製造分野・電子回路実装分野に多大な貢献をもたらすものと期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- ① Yoshihiro Ohkawa, Yukiya Miura, Dual Edge Triggered Flip-Flops for Noise Blocking and Application to Signal Delay Detection, Proc. 21st Asian Test Symposium, 査読有, 2012, pp.119-124
- ② Yukiya Miura, Yoshihiro Ohkawa, Dependable Techniques for Noise Block and Delay Detection/Correction, Information Technology Letters, 査読有, 2012, pp.39-44
- ③ Yukiya Miura, Dependable Dual Edge Triggered Flip-Flops for Blocking Noise Signal, Information Technology Letters, 査読有, pp.75-80, 2011
- ④ Yukiya Miura, Dual Edge Triggered Flip-Flop for Noise Aware Design, Proc. IEEE European Test Symposium, 査読有, 2011, p.217
- ⑤ Yukiya Miura, A Feasibility Study of Active Current Testing, Information Technology Letters, 査読有, 2009, pp.211-216

[学会発表] (計 2 件)

- ① 大川善大, 三浦幸也, デュアルエッジトリガフリップフロップの設計と信号遅延

検知への応用, 電子情報通信学会ディペンダブルコンピューティング研究会, 2012年2月13日, 東京

- ② 三浦幸也, ノイズパルスを考慮したデュアルエッジトリガフリップフロップの提案, 電子情報通信学会ディペンダブルコンピューティング研究会, 2011年2月14日, 東京

[産業財産権]

○出願状況 (計 1 件)

名称: フリップフロップ装置

発明者: 三浦幸也

権利者: 公立大学法人首都大学東京

種類: 特許

番号: 特願 2011-24415

出願年月日: 23年2月7日

国内外の別: 国内

6. 研究組織

(1) 研究代表者

三浦 幸也 (MIURA YUKIYA)

首都大学東京・システムデザイン研究科・准教

研究者番号: 00254152

(2) 研究分担者

なし

(3) 連携研究者

なし