

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 6月 4日現在

機関番号：12601

研究種目：基盤研究（C）

研究期間：2009 ～ 2011

課題番号：21540296

研究課題名（和文）高機能論理素子による次世代アトラスミュオンシステム読出系の開発

研究課題名（英文）Development of New Generation Readout System for the ATLAS Muon System Based on High Performance Advanced Logic Devices

研究代表者

坂本 宏（SAKAMOTO HIROSHI）

東京大学・素粒子物理国際研究センター・教授

研究者番号：80178574

研究成果の概要（和文）：最近の高機能論理素子、特に FPGA について技術評価を行った。代表的な素子を用いて VME 規格に基づいた汎用論理回路モジュールを開発した。それを用いて、素子間を接続するギガビット毎秒の高速シリアル通信と通常の論理ブロックを用いて実装されるソフトウェア CPU コアについて詳しく調査した。その結果に基づき、数年後に予定されている前後方ミュオントリガーシステムアップグレードに対応した読み出し系更新の設計と実証を行った。

研究成果の概要（英文）：Technical evaluation is performed on recent high performance logic devices, especially on FPGAs. A general purpose logic module in the VME standard is developed by using a typical device. By using it, high speed serial communication, connecting between such devices, is tested. Furthermore, a software CPU core, which uses normal logic blocks of FPGAs, is evaluated. Finally, the design and its verification of the new readout system for the foreseen upgrade of the end-cap muon trigger system is done.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,300,000	390,000	1,690,000
2010年度	1,200,000	360,000	1,560,000
2011年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：数物系科学

科研費の分科・細目：物理学、素粒子・原子核・宇宙線・宇宙物理

キーワード：素粒子実験・陽子陽子衝突・データ収集・FPGA・CPU コア・高速データ通信

1. 研究開始当初の背景

CERN の LHC 加速器アトラス実験は 2008 年に完成し、2009 年春から本格実験が開始される。我々はこれまでにアトラス測定器の前後方ミュオントリガーシステムの構築に従事してきた。その中でも、研究代表者を中心に同システムの読み出し系の設計開発実装導入を進めてきており、現時点で我々の分担した読み出し系は問題なく動作してい

る。本格実験開始以前ではあるが LHC 加速器のアップグレードのスケジュールはすでに決まっており、それに対応してアトラス測定器のアップグレードの議論も始まっている。LHC アップグレードは二つのフェーズからなり、第一フェーズは 2012 年にルミノシティの当初目標値の三倍を目指し、第二フェーズは 2016 年に当初目標値の 10 倍を目指す。

特に第一フェーズまでは 4 年を残すのみであり事態は急を要している。

2. 研究の目的

アトラス実験は世界最高エネルギー陽子陽子衝突器実験であり、その中でミュオンシステムはレプトン検出器として重要な役割を果たしている。TeV 領域の物理の理解をより進めるためにルミノシティ増強が行われるわけであり、増強後のミュオンシステムのデータを安全確実に収集することは我々に果たされた義務である。

ミュオンシステムに関しては、検出器本体はルミノシティ増強後もビームパイプ近傍を除く大部分は現行の物を使う予定である。読み出し系では検出器上の前置電子回路から一旦測定器周辺に配置したデータ収集ノードを経由してエレクトロニクスハットへデータ転送した後アトラス全体の読み出し系へデータを渡す。たくさんの支流からデータが流れ込みより太い川に合流していく構造になっているため、アップグレードの影響は最下流の川の出口で最も大きくなる。ここを太くしないとデータがあふれてしまう。本研究では特に第一フェーズのアップグレードに焦点を当て、特に最終段のデータ転送能力を格段に改善することを目指す。第一フェーズでは前段部分は比較的余裕がある。後段を第二フェーズにも耐えられるよう高速かつスケラブルにすることにまず着手し、その後前段についても第二フェーズに耐えるだけの帯域を与えるよう順次上流に向かって対応していくのが合理的と思われる。

3. 研究の方法

第一フェーズ・第二フェーズの読み出し系に対する要請をまず確認する必要がある。これには実際のビーム衝突からえられたデータの解析が重要な役割を果たす。そのデータを元に第一フェーズ(3 倍)、第二フェーズ(10 倍)のデータ量などを予測する。アップグレードの方法によってはルミノシティ増強分を超えたデータ量の増加もあり得る。

次にそれに基づいて実際に読み出し系後段の設計試作を行う。まず基本的にデータ転送量に関する要請を満たすシステムを作る必要がある。スケラブルなシステムとするため、

- ・転送速度の強化。通信線一本あたりの転送量を増やしていくことで対応する。
 - ・並列転送の導入。必要な転送量を確保するために通信線の本数を増やす。
 - ・データ圧縮。実際に転送されるデータサイズをエンコード・デコードにより縮小する。
- 実用的なシステムとするためには
- ・障害発生に対する応答・自己修復機能
 - ・転送量変動の監視などによる合理的負荷分

散

さらに効率的な運用のために

- ・受信データ解析による上流部での障害の検出とデータ修復

- ・処理データ量等の統計解析によるシステムの監視・報告

などの機能を持ったシステムを構築する必要がある。

実装技術について検討する。このような大規模なデジタルシステムの構築では

- ・FPGA(Field Programmable Gate Array)のような再構成可能な大規模論理素子

- ・複雑な処理を高速で行うための CPU や DSP などのプロセッサ

が必要であり、それらをどのように組み合わせるかが問題である。歴史的に見ていくと

(1) VME や CAMAC などホスト計算機のプロセッサを使い、FPGA はモジュール上に搭載する。

(2) モジュール上に FPGA と DSP の両方を搭載する。

といった方法がとられてきたが、プロセッサがデータにアクセスするためには(1)バックプレーンのバスを経由するか、(2)基板上の

メモリーや FPGA 上に作られた入出力ポートを通してデータのやりとりをする必要がある。それらが動作速度を決定してしまう。さらに進んだ方法はないか。

最新の FPGA 等のプログラム可能論理素子は非常に高速化・大規模化している。また、素子上に大規模なメモリーや CPU コアを搭載するなど機能的にも高度化している。これにより

(3) FPGA 内に CPU コアを持つことでプロセッサから(コピーや転送無しに)直接データにアクセスできる。素子の境界を越えると必要になるデータ送受信を行う必要がない。

この方法のメリットは明らかであろう。

1Gbps から 10Gbps の高速のデータフローを FPGA 内で実装しながら、汎用 CPU を使って複雑なエラー処理やデータ監視が可能になる。

FPGA 上に HDL(ハードウェア記述言語)を使って複雑なシステムを構築するには大変な開発コストがかかるが、高級言語で開発されたプログラムをホスト計算機上で動作

検証した上でシステムの CPU コアで実行できることから、開発コストを十分に下げることが出来る。高速性が問題になる部分のみを HDL で記述する。ちょうど、一昔前のオンラインプログラムで VME アクセスなど高速性が

必要な部分はアSEMBラーで書くが、それ以外は高級言語で書くことで効率よく高性能なシステムを開発したことに似ている。

このような技術を中心に読み出し系最終段の設計試作を行う。当然のことながら現在の

アトラス前後方ミュオンシステム読み出し系と互換でなければならない訳であり、試

作機は実際にアトラス実験で使用して動作検証や機能評価を行うことが出来る。それらの結果を基にアップグレードフェーズ1に使用可能な読み出し系提案書を作成・提出する。

4. 研究成果

まず利用可能な高機能論理素子の調査から開始した。具体的にはXilinx社製のFPGAであるSpartan6シリーズについて検討した。この素子は研究方法に上げた組み込み用CPUをIP(Intellectual Property)として持っていることと、高速シリアルデータ通信機能を内蔵していることから採用された。スターターキットにより、基本的な性能を確認した後、この素子をベースにした汎用論理回路モジュールPT6を開発した。本研究はこのPT6をビルディングブロックとして様々なプロトタイピングを行うことで進められた。

(1) 汎用論理回路モジュールPT6

本研究で開発された汎用論理回路モジュールPT6の主な特徴は次の通りである。

- ・ VME規格に基づいたモジュールであり、A32D32転送やブロック転送をサポートする。
- ・ Xilinx社製FPGA、Spartan6シリーズのXC6SLX150TFGG676を基幹素子として搭載する。
- ・ VMEインターフェースやクロック制御などのための補助素子として同じくXilinx社製のCPLD、XC2C256PQ208を搭載する。
- ・ クロック用信号源としてNIMレベル外部入力とオンボード発信器を搭載する。後者の発信周波数はLHCの加速器ビーム交差間隔と同じ40.08MHzである。
- ・ CMC(Common Mezzanine Card)規格の娘ボードを搭載可能。アトラス実験で使われているデータ収集システム用リンクインターフェースS-Link規格と互換のピン割り当てがなされている。
- ・ 高速シリアル通信用コネクタを4組搭載する。おのおののコネクタは撚り対線2組からなるケーブルで送受信を同時に受け付ける。複数のPT6ボードを接続することにより大規模なシステムを構成することが出来る。コネクタはInfiniband規格4Xに対応している。

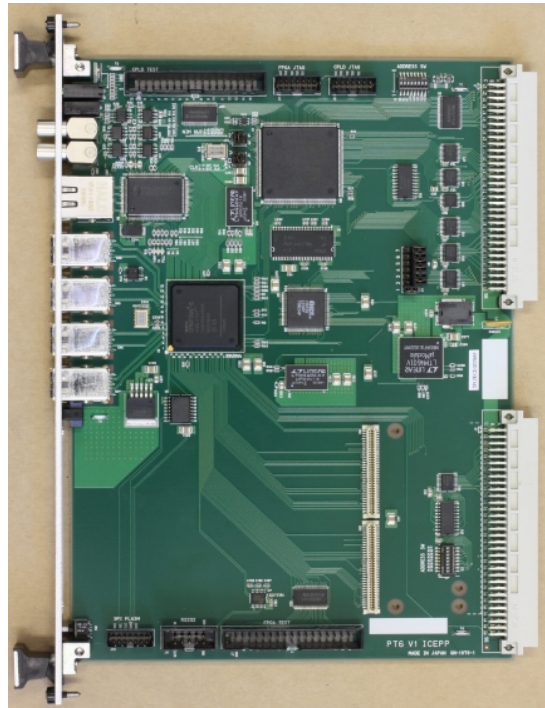
このモジュールの写真を以下に示す。

このモジュールを用いて、次節以降の実証試験を行う。

(2) 高速シリアル通信によるシステム間接続

PT6で使用可能なFPGA組み込みのシリアル通信は2.5Gbpsまでの速度を利用できる。これを用いて拡張性のあるシステムを構成する。40MHz並列転送と比較した場合60ビット以上の並列に該当する。10の12乗以上の転送でエラーフリーを確認した。

非常に大規模なシステムを構成する場合、単一の素子にすべての機能を埋め込むことは出来ない。その場合、複数の素子間を接続することになる。このとき、接続信号数が多くなってくると、素子の入出力ピンに制限があることや、多数の入出力を高速で同期させることの難しさが問題になる。素子間通信のレベルでも高速シリアル通信はこれらの問題を解決する。外部信号の容量の問題だけでなく、拡張性のある大規模システムを構築する上でこの高速シリアル通信の有効性が確認された。



(3) CPUコア MicroBlaze

次にCPUコアの技術評価を行った。MicroBlazeと呼ばれるアーキテクチャのコアが提供されている。これは完全にソフトウェアであり通常のFPGAの論理資源、フリップフロップや組み合わせ論理などを用いて実装される。この点ではFPGAのシステムクロックで動作する(我々の場合40MHz)ため、通常のPCに用いられるもの(2GHzを超える)と比べて極端に遅い。また実際に測定してみると、単純な移動命令でも3クロック以上使用している。最新のCPUアーキテクチャに見られるスーパーパイプラインやスーパーカラーと言った高速化技術は使われていない。にもかかわらず、非常に有効であることを確認した。その理由は、CPUコアがFPGA内のデータを直接アクセスできることによる。従来方法ではたとえばPCからVMEバスを経由して実験データの取得をする。この場合、PCがいかに高速でもデータ取得にかかる時間はVMEバスアクセスで律速される。通常はPC側から見ると3マイクロ秒かかる。一方、CPU

コアの場合、実際的なアプリケーション内で VME ボード上の外部メモリーからのデータ読み込みが 50 クロック程度で実現している。これは 1.2 マイクロ秒であり、当然であるが非常に高速である。このことから、データ収集のような入出力中心のアプリケーションでは遜色ない性能が期待できることがわかった。

高速化が期待できるもう一つのアプローチがある。実際に MicroBlaze コアは非常にコンパクトに実装される。FPGA 内の論理ユニット数で 2,000 程度が使用される。一つの FPGA には数十万に及ぶユニットがあり、多数の CPU コアを組み込むことが可能である。

(4) 読み出し系アップグレードの計画

アップグレードの基本方針は、放射線耐性が要求され、アクセスが困難な検出器上の電子回路を可能な限り絞り込み、光ファイバーによる高速シリアル通信で計測室まで転送する。トリガー判定や読み出しの大部分を人間がアクセス可能で空間的にも自由度の多い計測室で行う。それにより、放射線耐性を持たない民生品の大規模論理素子が使用可能になる。

実際のアトラスのアップグレード計画で最初に必要になるのはエンドキャップ部内側に配置されるミュオンチェンバー群、通称スモールホイールと呼ばれる部分である。この部分の導入に合わせて前後方ミュオントリガーシステムの部分的更新が行われる。本研究で開発した技術を用い、新トリガーシステムの読み出し系の設計を行った。また、それに基づいた実装を、PT6 モジュールを用いて検証した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 4 件)

- ① 大谷育生「ATLAS 実験アップグレードにむけた高速シリアルインターフェースを用いたデータ処理系の開発」日本物理学会第 67 回年次大会 2012 年 3 月 25 日関西学院大学
- ② ニノ宮陽一「ATLAS 前後方ミュオン検出器読み出しシステムの現状及びアップグレード」日本物理学会第 65 回年次大会 2010 年 3 月 20 日岡山大学
- ③ 神谷隆之「ATLAS アップグレードに向けたミュオン検出器読み出し回路の研究開発」日本物理学会 2010 年秋季大会 2010 年 9 月 13 日九州工業大学
- ④ ニノ宮陽一「ATLAS ミュオントリガー検出器用読み出し回路のアップグレードに向けた研究」日本物理学会 2010

年秋季大会 2010 年 9 月 13 日九州工業大学

[その他]

ホームページ等

<http://openit.kek.jp/project/z9z2o2/public/z9z2o2>

6. 研究組織

(1) 研究代表者

坂本 宏 (SAKAMOTO HIROSHI)
東京大学・素粒子物理国際研究センター・教授
研究者番号：80178574

(2) 研究分担者

川本 辰男 (KAWAMOTO TATSUO)
東京大学・素粒子物理国際研究センター・准教授
研究者番号：80153021
石野 雅也 (ISHINO MASAYA)
東京大学・素粒子物理国際研究センター・助教
研究者番号：30334238
(H21)

(3) 連携研究者

佐々木 修 (SASAKI OSAMU)
高エネルギー加速器研究機構・素粒子原子核研究所・教授
研究者番号：30178636