

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 25 日現在

機関番号：10101

研究種目：基盤研究（C）

研究期間：2009 ～ 2011

課題番号：21560284

研究課題名（和文） 次世代デバイスを用いるインバータのノイズ・ひずみ低減技術の開発

研究課題名（英文） Development of Low-Noise and Low-Distortion Techniques for High frequency PWM Inverters Using Next Generation Switching Devices

研究代表者

小笠原 悟司 (OGASAWARA SATOSHI)

北海道大学・大学院情報科学研究科・教授

研究者番号：40160733

研究成果の概要（和文）：SiC や GaN などを用いた次世代デバイスが普及した場合に問題となることが予想される、高周波 PWM インバータのデッドタイムによる出力電圧ひずみ、ならびにスイッチングにより生じるノイズの問題を解決するための技術開発を行った。開発したデッドタイム補償法は、パルスが欠損する極細パルスの場合でも等価的に保証が可能であり、出力電圧ひずみをほぼ完全に保証できることを実験により示した。さらに、研究代表者が先に提案しているアクティブ・コモンノイズ・キャンセラ(ACC)を、高周波(100 kHz)PWM インバータに適用し、コモンモードトランスのコアを従来の 688 g から 79 g に軽量化できることも示した。

研究成果の概要（英文）：This study has develop low-noise and low-distortion techniques for high frequency PWM inverters using next generation switching devices, such as SiC and GaN. The developed dead-time compensation can almost completely compensate the voltage distortion without restriction of pulse width. A common-noise canceller, which has proposed by the project leader, is applied to the high frequency (100 kHz) PWM inverter, and it is demonstrated that core weight is reduced to 1/8, compared with conventional one.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009 年度	2,300,000	690,000	2,990,000
2010 年度	800,000	240,000	1,040,000
2011 年度	500,000	150,000	650,000
年度			
年度			
総計	3,600,000	1,080,000	4,680,000

研究分野：パワーエレクトロニクス

科研費の分科・細目：電力工学・電力変換・電気機器

キーワード：次世代デバイス、インバータ、ノイズ、ひずみ、EMI/EMC

## 1. 研究開始当初の背景

近年、石油価格の高騰や地球環境へ関心の高まりから、省エネルギーを目的としてインバータが一般産業のみならず自動車、家電などの広い分野に適用されている。小・中容量のインバータではスイッチングデバイスと

して現在は主に Si を用いた IGBT が使用されているが、そのスイッチング速度は数 100 ns 程度である。そのため、スイッチング速度から算定したインバータ出力電圧に含まれるノイズの周波数帯域は数 MHz 程度であり、30 MHz 以上を対象とする放射性 EMI

よりはむしろ 30 MHz 以下の伝導性 EMI が主に問題となっている。

一方、現在盛んに研究開発がなされ将来の利用が期待されている SiC デバイスでは、スイッチング速度は IGBT の 10 倍程度高速である。さらに、スイッチング速度の高速化に伴いスイッチング周波数の高周波化を行うとノイズレベルも上昇するため、伝導性 EMI だけでなく放射性 EMI にも大きな影響を及ぼすであろうことが容易に推測できる。

インバータに使用するスイッチングデバイスの高速化は、スイッチング損失の低減による高効率化に貢献できる反面、前述のようにノイズの増大を招く恐れがある。スイッチング周波数の上昇は、PWM の出力分解能に影響を及ぼす。例えば、スイッチング周波数 100 kHz で 1/1000 の分解能の出力を得るためには、200 MHz という高周波のクロックで動作する PWM ジェネレータが必要になる。また、スイッチング周波数の上昇はデッドタイムに伴う波形ひずみを増大させるため、デッドタイム補償を行う必要がある。低ひずみの要求のためにはフィードフォワード形ではなくフィードバック形補償を行う必要があるが、従来のフィードバック形補償には出力最大電圧が制限される問題がある。

一方、インバータノイズの低減を目的とした EMI フィルタにとって、スイッチング周波数の上昇することにはフィルタを構成するインダクタやキャパシタを小型化できる利点があるが、ノイズレベルも上昇するためフィルタの減衰量も高く設計しなければならないという問題がある。また、受動回路素子だけを用いたフィルタでは、ノイズを低減はできても完全に排除することは原理的に不可能である。

## 2. 研究の目的

SiC デバイスのような次世代の超高速スイッチングデバイスを用いたインバータにおける解決すべき課題は、以下の二点にまとめることができる。

- 出力分解能が高くデッドタイムひずみと出力電圧の制限がないゲート信号生成法の開発
- 出力高調波を低減できノイズを完全に除去可能なノイズ対策技術の確立

第一の課題に対しては、PWM 制御とデッドタイムおよびフィードバック形補償を融合したゲート信号生成回路を FPGA を用いて開発する。従来のインバータにおいては PWM ジェネレータとデッドタイム挿入回路は独立しており単にそれらが従属接続されていただけであった。開発するゲート信号生成回路では、PWM ジェネレータとデッドタイム挿入回路だけでなく、フィードバック形

デッドタイム補償回路を融合し、高出力分解能、低ひずみでしかも電圧の制限のないインバータのゲート信号を生成する。この回路は FPGA で実現し、開発にはハードウェア記述言語(HDL)を用いる。このような開発手法を採用することにより、将来 ASIC の開発する際にも本研究の研究成果を有効に活用できると考える。

第二の課題に対しては、研究代表者が先に提案したアクティブ・コモンノイズ・キャンセラ(ACC)と従来の受動素子を用いたフィルタを組み合わせた新しいノイズ対策法を検討する。ACC は、インバータのノイズの主要な原因であるコモンモード電圧を能動素子を用いて完全に相殺するものである。実際には、回路素子の精度や能動素子の遅れのために、完全には相殺できない部分が残るが、インバータの発生するコモンモード電圧の大部分を相殺することができる。電圧の時間積分が磁束を表すので、小さな残留部分のコモンモード電圧を抑制するために使用する磁性部品の大きさは、ACC と組み合わせない場合に比べて非常に小型でよく、小型で減衰の大きな受動フィルタの設計が可能となる。

## 3. 研究の方法

### (1) 2009 年度

初年度は、評価に用いる実験用のインバータの製作とゲート信号生成回路の開発を並行して進めた。

定格 600 V、30 A のパワー-MOSFET を用いて、定格容量 5 kVA 程度の実験用インバータを制作した。SiC デバイスを適用した場合と同等の高速スイッチングを実現するために、ゲートドライブ回路の検討も行った。

一方、開発する新しいゲート信号生成回路を実装する FPGA の開発環境をまず構築した。また、制御回路用として 35 万ゲートの FPGA を実装した FPGA ボードを使用している。これを用いて、まず従来の PWM ジェネレータ、デッドタイム挿入、従来のフィードバック形ひずみ補償回路を FPGA に実装し、FPGA 開発のテストを行うとともに、新しいシステムとの比較の対象とする。さらに、PWM ジェネレータ、デッドタイム挿入、提案するフィードバック形ひずみ補償を融合したゲート信号生成回路の開発を行った。従来のフィードバック形ひずみ補償回路では、一つのスイッチング時に発生した誤差電圧を次のスイッチングを遅延させることで補償していたため、結果として出力電圧の制限が起こっていた。新しいゲート信号生成回路では、この電圧制限を軽減できることを実証している。

### (2) 2010 年度

平成 21 年度に開発したゲート信号生成回路を実験用インバータに実装して、その評価

を行ない、従来の回路との比較実験を行った。その結果、出力可能なパルス幅の制限が従来の半分以下にできるだけでなく、それ以下のパルス幅が入力されてパルスが欠損してしまうような状況でも数パルス間の平均として出力電圧を制御可能なことを実験により確認した。このような機能を持ったデッドタイム補償法は筆者らの知る限りなく、インバータの出力可能な電圧範囲を拡大することに貢献する。また、開発したデッドタイム補償法は従来の方法と比較して、入力信号に対するインバータ出力電圧の位相遅れが小さいことも、大きな特長である。このことは、インバータにおける無駄時間が減収することを意味し、システムの制御性向上に寄与するものと考えられる。

もう一つの研究目標である次世代デバイスを用いた場合のノイズ低減を実現するために、研究代表者が先に提案しているアクティブ・コモンノイズキャンセラ (ACC) を実験用インバータの仕様に合わせて設計した。この際スイッチング周波数を従来の IGBT インバータの 10 倍程度高い 100 kHz にしているため、使用するコモンモードトランスは 1/10 程度に小型化できる。平成 22 年度中に基本設計を終了した。

### (3) 2011 年度

前年度に引き続いて 2011 年度においては、前年度に行った基本設計に基づき、アクティブ・コモンノイズ・キャンセラ (ACC) の制作・実装を行った。この ACC は、①インバータのコモンモード電圧を検出する Y 結線のコンデンサ、②インピーダンス変換をおこなうプッシュプル型エミッタフォロワ回路、インバータ出力にコモンモード電圧を重畳するコモンモードトランス、④直流電圧中性点を作る分割コンデンサから構成されている。スイッチング周波数を従来の 10 kHz から 100 kHz に高周波化したために、③のコモンモードトランスに用いるフェライトコアの重量を 688 g から 85 g に軽量化できる点が大きな特長である。④の分割コンデンサはデッドタイム補償に用いる電圧検出回路と共用することができるため、電圧検出回路と ACC の両

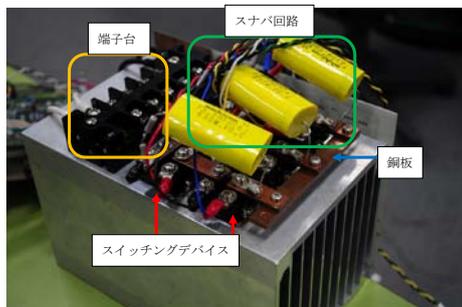


図 1 試作インバータ

方を搭載するプリント基板を新たに設計・制作した。この基板はインバータの放熱フィンに取り付け、ACC のエミッタフォロワ回路のトランジスタの放熱器も兼ねる構造としている。動作確認実験を行い、ノイズの主な原因であるインバータのコモンモード電圧をほぼ完全にキャンセルできることを実験により確認した。また、デッドタイム補償回路についてもさらに実験を行い、ひずみ率の低減効果を確認している。

## 4. 研究成果

### (1) 試作装置の概要

図 1 に試作した高周波 PWM インバータの主回路を、図 2 にゲートとドライブ回路を、図 3 に FPGA 基板を、図 4 に電圧検出回路と ACC の複合基板の外観を示す。

スイッチング素子には、SiC デバイスと同程度のスイッチング速度を有し 100 kHz のスイッチング動作の可能なパワー MOSFET を使用して、定格容量 5 kVA の三相電圧形インバータを構成している。制御回路用として 35 万ゲートの FPGA を実装した FPGA 基板を使用している。この FPGA には、開発したフィードバック型デッドタイム補償回路だけでなく、デッドタイム挿入回路ならびに電圧検出インターフェース回路も実装している。デッドタイム補償に用いる電圧検出回路とコモンモード電圧を相殺する ACC は一部回路



図 2 ゲートドライブ回路

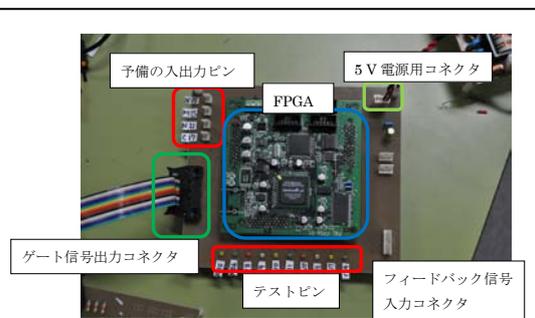


図 3 FPGA 基板

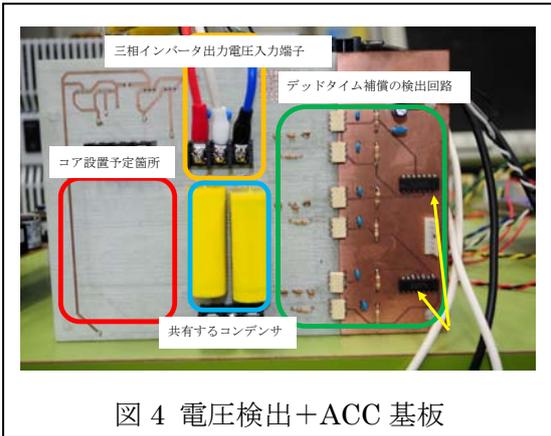


図4 電圧検出+ACC基板

を共用できることから、同一基板上に実装している(図4)。

(2) デッドタイムによるひずみの補償

図5に、フィードバック型デッドタイム補償法の基本構成を示す。デッドタイムの補償を行わない場合すなわち信号AとCが同一の場合には、インバータのスイッチング時に上下アームの短絡を防止するために両方の素子のゲート信号(D, E)にOFF信号を与える期間、すなわちデッドタイムを設ける。このため出力電流の極性に応じて出力電圧Fのパルス幅が入力信号Aのパルス幅と異なってしまい、PWM周期における平均電圧が入力と異なってしまふ。これが、デッドタイムによる電圧ひずみである。これを補償するために予め予想されるひずみ電圧を打ち消すように入力信号のパルス幅を変更するフィードフォワード型デッドタイム補償法が広く使用されている。しかし、この方法は実際のひずみ量がインバータの運転状態により変化するため調整が難しいばかりか、ひずみを完全に補償することはできないという問題点があった。

このデッドタイムによる電圧ひずみを完全に補償するために、出力電圧を検出・フィードバックするのがフィードバック型デッドタイム補償法である。インバータ出力電圧Fは電圧検出回路により検出されてパルス状のフィードバック信号Bが得られる。補償回路においては、このフィードバック信号Bは入力信号Aと比較され、補償アルゴリズムに従って補償信号Cが出力される。この補償信号Cは出力信号Fのパルス幅か入力信号Aの

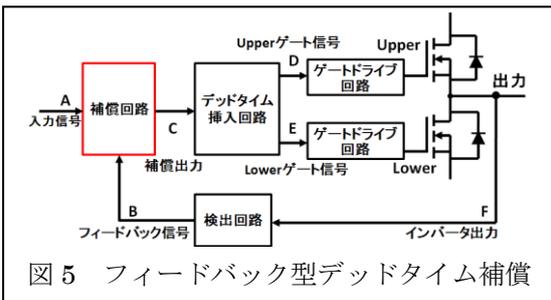


図5 フィードバック型デッドタイム補償

パルス幅と一致するように補償されているため、出力電圧のひずみを無調整で完全に補償することが可能である。

1989年に村井氏は、カウンタと簡単なデジタル回路のみの構造が簡単でしかもひずみを完全に補償可能という優れた特長を有するデッドタイム補償法を提案している(Y. Murai, T. Watanabe, H. Iwasaki: "Waveform Distortion and Correction Circuit for PWM Inverter with Switching Lag-time," IEEE Trans. on Industry Applications, vol. IA-23, no. 5, pp. 881-886 (1987)). しかし、この補償法には(1)最少出力パルス幅に制限がありインバータ電圧利用率が低下する、(2)入力信号のターンオン・ターンオフから出力信号のターンオン・ターンオフまでの遅れ時間が大きいという問題点があった。

本研究で提案した新しいフィードバック型デッドタイム補償法の特徴を以下に示す。

- 補償動作とカウンタ動作を独立にし、出力パルスが消滅するような極細パルスが入力された場合でも誤差が蓄積できる。従来の補償法では、補償動作とカウンタ動作は一体であった。
- エッジを遅らせることのみで補償することを考慮し、誤差を補償可能なエッジのみで補償する。従来の補償法では、立上りと立下りの両方のエッジで補償することを基本としていた。

これらの結果として、出力可能なパルス幅の制限が従来の半分以下にできるだけでなく、それ以下のパルス幅が入力されてパルスが欠損してしまうような状況でも数パルス間の平均として出力電圧を補償可能としている。

図6に、従来の補償法における最少パルス幅の場合の実験波形を示す。FPGAのクロック周波数は100MHzであるので、10nsの分解能でデッドタイムによる誤差電圧を補償することが可能である。また、実験ではデッドタイムを0.95μsに設定している。入力信号のパルス幅と出力信号のパルス幅は完

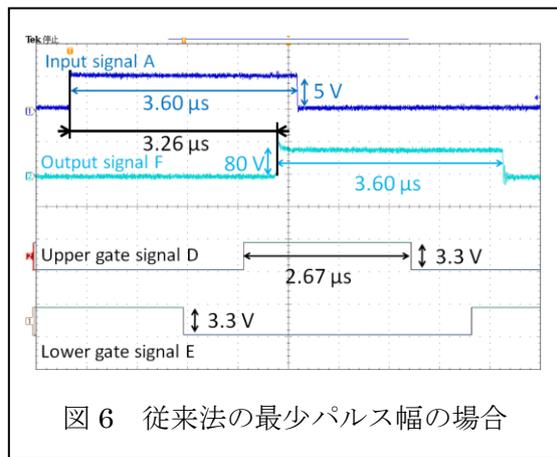


図6 従来法の最少パルス幅の場合

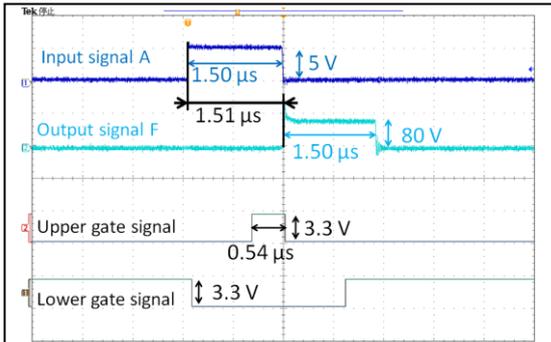


図7 提案法の最少パルスの場合

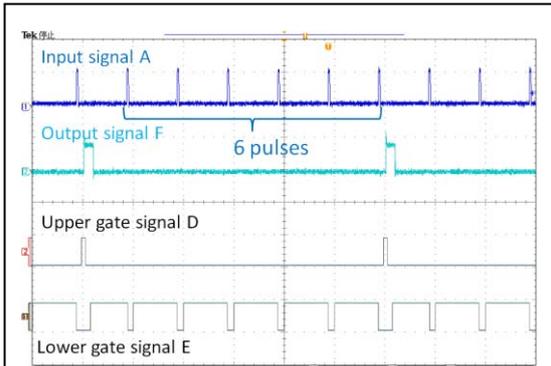


図8 極細パルスの場合

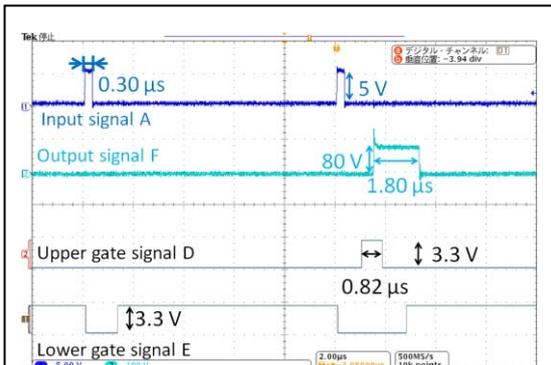


図9 極細パルスの場合し(拡大波形)

全に一致としており、出力電圧ひずみを完全に補償できている。従来法では立上り時の補償が終了する前に入力信号の立下りは受け付けられないため、この状態が最少パルス幅となっている。さらに、入力信号Aから出力信号Fまでの遅れ時間も最少パルス幅程度の長さになっている。

図7に、提案法における最少パルス幅の場合の実験波形を示す。提案法においても入力信号のパルス幅と出力信号のパルス幅は完全に一致して、完全なひずみ補償が実現されている。さらに、提案法の最少パルス幅ならびに遅れ時間は従来法の約半分に低減されており、従来法の問題点を改善している。

図8に、従来法の入力信号にデッドタイムよりも細いパルスを加えた場合の波形を示

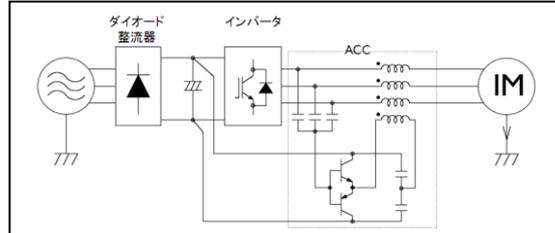


図10 アクティブコモンノイズキャンセラ

す。入力信号の6パルスに1回しか出力パルスが出ていないことがわかる。これは入力パルス幅がデッドタイムよりも小さく出力不能であるためである。しかし、カウンタ動作を補償動作と独立にしたため、この間の出力誤差がカウンタに蓄積され、その誤差が最少パルス幅に相当する量に達した時にのみ出力パルスが表れている。

図9に、図8の拡大波形を示す。入力信号のパルス幅が  $0.30 \mu\text{s}$  であるのに対して出力電圧波形のパルス幅は入力パルスの6倍の  $1.80 \mu\text{s}$  となっており、6パルスの平均値は入力信号と出力信号で完全に一致している。したがって、通常は出力することのできない極細パルスの場合であっても、補償の遅延は増大するものの出力電圧のデッドタイムによるひずみを完全に補償できることを示している。このことは、デッドタイム補償による電圧ひずみの除去において、パルス幅の制限が事実上なくなったことを意味している。

### (3) ACCによるコモンモードノイズの除去

SiC や GaN などの次世代デバイスをスイッチングデバイスをPWMインバータに適用した場合に、電磁妨害すなわちEMIの増大が懸念される。インバータのEMIの主原因は、インバータのスイッチング毎に階段状に変化するコモンモード電圧である。研究代表者は、インバータの発生するコモンモード電圧をアクティブ素子を用いて完全に相殺することが可能な「アクティブコモンノイズキャンセラ(ACC)」を提案している(S. Ogasawara, H. Ayano, H. Akagi: “An Active Circuit for Cancellation of Common-Mode Voltage Generated by a PWM Inverter,” PESC '97 Record. 28th Annual IEEE Power Electronics Specialists Conference, vol.2, pp. 1547-1553 (1997))。

図10に、ACCの構成を示す。インバータの出力端子に接続したY結線の小容量のコンデンサの中性点電位により、インバータが発生するコモンモード電圧を検出することができる。検出したコモンモード電圧をコンプリメンタリのトランジスタを用いたエミッタフォロワ回路によりインピーダンス変換した後、インバータの出力に接続したコモンモ

表1 コアの小型化

	従来機のコア (k=1)	従来機のコアの総合 (k=4)	試作ACCのコア
外形 (mm)	60	60	48
体積 (mm <sup>3</sup> )	11520	46080	15600
質量 (g)	172	688	79

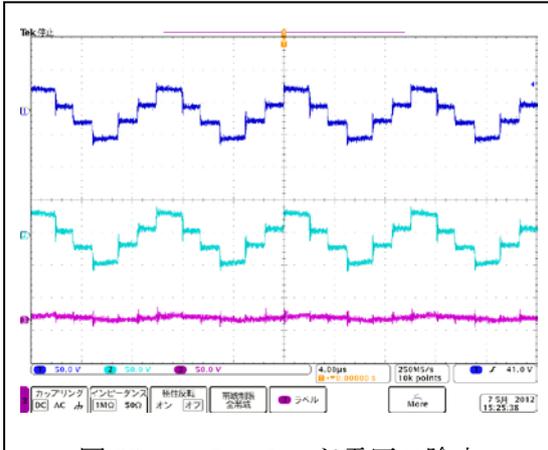


図11 コモンモード電圧の除去

ードトランスを用いて逆向きに重畳し、インバータのコモンモード電圧を完全に相殺することができる。しかし、このコモンモードトランスのコアサイズはインバータのスイッチング周波数に依存するため、従来のスイッチング周波数では比較的大きなコモンモードトランスが必要であった。しかし、次世代デバイスを使用することによりスイッチング周波数が増加できることを考慮すると、コモンモードトランスを大幅に小型化することができる。

表1に、従来のスイッチング周波数である10 kHzの場合と、次世代デバイスを用いた場合のスイッチング周波数を想定した100 kHzの場合について設計したコモンモードトランスのコアサイズの比較を示す。従来のコア重量が688 gであるのに対して、試作機のコア重量が79 gと大幅に小型化されていることがわかる。

図11に、ACCによるコモンモード電圧除去の実験波形を示す。波形は上からインバータ出力のコモンモード電圧、エミッタフォロワ回路の出力電圧、ACCでコモンモード電圧相殺後のコモンモード電圧である。高周波PWMインバータのスイッチング周波数が100 kHzであるため、コモンモード電圧が10 µsの周期で階段状にDCリンク電圧の振幅で変化している。しかし、ACCの作用によりコモンモード電圧がほとんど完全に除去されていることから、インバータが発生するEMIが大幅に低減されることが予想される。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者に

は下線)

[雑誌論文] (計 0件)

[学会発表] (計 5件)

1. 小川将司, 小笠原悟司, 竹本真紹:「高周波PWMインバータのフィードバック型デッドタイム補償」, 平成22年電気学会産業応用部門大会 1-75 (2010)
2. 小川将司, 小笠原悟司, 竹本真紹:「高周波PWMインバータのフィードバック型デッドタイム補償」, 平成22年度電気・情報関係学会北海道支部連合大会 38 (2010)
3. 小川将司, 小笠原悟司, 竹本真紹:「高周波PWMインバータのフィードバック型デッドタイム補償とその特性」, 電子デバイス/半導体電力変換合同研究会 EDD-10-086, SPC-10-143 (2010)
4. 小川将司, 小笠原悟司, 竹本真紹:「高周波PWMインバータのフィードバック型デッドタイム補償とその特性 -負荷特性-」, 平成23年電気学会全国大会 4-065 (2011)
5. Masashi Ogawa, Satoshi Ogasawara, Masatsugu Takemoto:” A Feedback-Type Dead-Time Compensation Method for High-Frequency PWM Inverter -Delay and Pulse Width Characteristics” , The Applied Power Electronics Conference and Exposition 2012 (2012)

[図書] (計 0件)

[産業財産権]

○出願状況 (計 0件)

[その他]

ホームページ等

6. 研究組織

(1) 研究代表者

小笠原 悟司 (OGASAWARA SATOSHI)  
北海道大学・大学院情報科学研究科・教授  
研究者番号: 40160733

(2) 研究分担者

竹本 真紹 (TAKEMOTO MASATSUGU)  
北海道大学・大学院情報科学研究科・准教授  
研究者番号: 80133336