

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 6 日現在

機関番号：17104

研究種目：基盤研究（C）

研究期間：2009 ～ 2011

課題番号：21560356

研究課題名（和文）素子ばらつき・経年劣化に耐性を持つアナログ回路動作マージン自動極大化設計法の研究

研究課題名（英文）Study on automatic operating margin maximization for analog VLSI circuits with the endurance for device characteristic variation and aging degradation.

研究代表者

中村 和之（NAKAMURA KAZUYUKI）

九州工業大学・マイクロ化総合技術センター・教授

研究者番号：60336097

研究成果の概要（和文）：

環境（温度）変動、ばらつき、経年変化等の課題を克服して、特に高い信頼性を持つ車載／ロボット用 LSI を提供する新しいアナログ回路の設計手法「マージン自動極大化設計法」の構築を行った。発振回路とアナログ IP、メモリ（SRAM）を対象回路として、マージン最大化技術や性能補正技術、さらにはマージンフリー化へ研究を進めた。それらの技術についてまとめ、国際学会（4 件）や論文（2 件）、特許出願（2 件）を行った

研究成果の概要（英文）：

A new design method : “automatic operating margin maximization method“ was developed to achieve the high reliable LSIs for the automotive / robot with avoiding the problems of environmental (temperature) changes, variations, aging, etc.. For oscillators, analog amplifier, and memory (SRAM) circuits, the margin maximization technique, performance tuning technique and advanced margin-free design concept were developed respectively. Two papers, four international conference talks and two patents was issued.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	1,200,000	360,000	1,560,000
2010 年度	900,000	270,000	1,170,000
2011 年度	1,300,000	390,000	1,690,000
年度	0	0	0
年度	0	0	0
総計	3,400,000	1,020,000	4,420,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：CMOS,アナログ回路、素子劣化、ばらつき、最適化、環境変化、動作マージン

### 1. 研究開始当初の背景

我が国の技術競争力を維持していくために、自動車産業への半導体応用の推進が大きく期待されている。この分野では、不具合が人命に直接関わることから、従来の LSI の性能指標であった、高速・低消費電力・微細化にも優先して極めて高い信頼性が要求される。20 年の長期間にわたり、 $-40^{\circ}\text{C}$ ～ $150^{\circ}\text{C}$  の広い範囲での正常動作を保証する必要が

ある。一方で、近年の製造技術微細化の進展により、素子性能のばらつきや、素子の経年劣化の問題が深刻になっている。本研究では、このように特に高い信頼性を要求される LSI の開発のために、環境（温度）変動、ばらつき、経年劣化等の影響を考慮した回路シミュレータを核に、アナログ回路の各設計パラメータを最大の動作マージンを持つように自動調整することが可能な新たなアナログ回

路の設計手法の構築を行う。

## 2. 研究の目的

これまでの LSI の設計、特にアナログ分野においては、熟練した設計者の経験と知識により適切な回路形式と基本となる回路定数（設計パラメータ）を決め、想定される動作条件のいずれの組み合わせでも要求仕様を満たすように、設計パラメータを決定し、動作条件に対応させた網羅的なシミュレーションの実行により、動作マージンを確保・確認していく、いわゆる「マージン設計法」が行われてきた。しかし、車載応用等の厳しい環境下で、さらに素子の劣化現象等も考慮すると、従来のマージン設計法では取り扱うべき条件の複雑化により、回路の性能が著しく制限されるか、もしくは、動作する条件が見つからないということが起こりうる。設計マージンを確保しつつ、性能面での妥協なしに、かつ効率的な新たな設計法の確立が求められている。本研究では、新しいアナログ回路の設計手法「マージン自動極大化設計法」の構築を行うものである。

## 3. 研究の方法

本研究では、環境（温度）変動、ばらつき、経年変化等の新たな技術課題を克服して、特に高い信頼性を持つ車載/ロボット駆動用パワーIC、各種センサーIC LSI を提供する新しい設計手法の構築とそれを適用した性能実証用回路の試作・評価を行った。まずは、アナログ基本回路であるオペアンプ回路とリング型発振器をターゲットに、パラメータの自動最適化を利用した回路設計法を構築する。その手法の実証のために、VDEC(東京大学大規模集積システム設計教育研究センター)を利用した LSI の試作を行う。従来のマージン設計による回路の性能と、本研究成果適用例での性能比較を行い、最終的な研究成果とする。

## 4. 研究成果

### (1) 設計マージンの可視化と最適化

偶数段リング発振回路 (Even Stage Ring Oscillator :ESRO) は、単一回路で 4 相クロックの生成が可能であり、通信システム等で用いられている。図 1 内に、ESRO の回路の例を示す。ESRO は、奇数段のインバータから構成される一般的なリング発振回路とは異なり、設計パラメータによっては発振しない可能性がある。そこで我々は ESRO の設計パラメータの最適化のために、SRAM を設計する際に用いられる SNM(Static Noise Margin)解析を応用する手法を提案した。この手法によれば、ESRO の動作マージンを定量的に評価することが可能であり、安定に発振可能な ESRO の設計パラメータを決定できる。そこで、今

回、我々は、単一の回路でありながら設計パラメータの組み合わせを等価的に変更可能で、動作マージンの値と発振の可否を実測可能な Universal ESRO TEG (U-ESRO TEG) の開発を行い、この手法の実測による証明を行った。

ESRO の発振条件の評価は、設計パラメータの異なる多数の ESRO のシミュレーション結果から、図 1 内に示す DMD (Design Margin Diagram) を作成することによって行われる。図 2 に今回開発した Universal ESRO TEG (U-ESRO TEG) の全体回路図を示す。単純な ESRO に対して、本 U-ESRO TEG は、周回インバータの代わりに IPI を用い、ラッチ回路の代わりに EVWL を用いている。EVWL は、制御電圧により無効化することができるため、U-ESRO TEG 内のラッチの個数を増減することができ、多様な ESRO 回路構成を実現できる。実際に試作チップを用いて測定を行ったところ、シミュレーションによる結果と、単純な ESRO TEG による測定結果とも一致したため、U-ESRO TEG を用いることで我々のマージン可視化手法の正当性を実証することができた。(詳細については論文②、学会発表②③⑤⑦⑧⑨⑩参照)

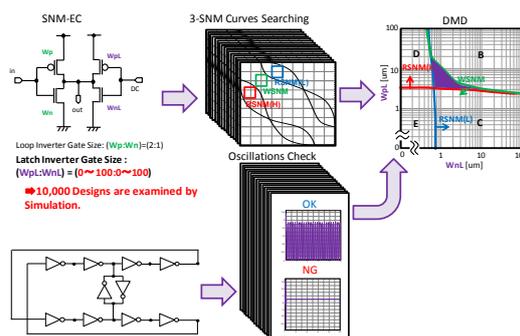


図 1 ESRO から DMD を求める手順

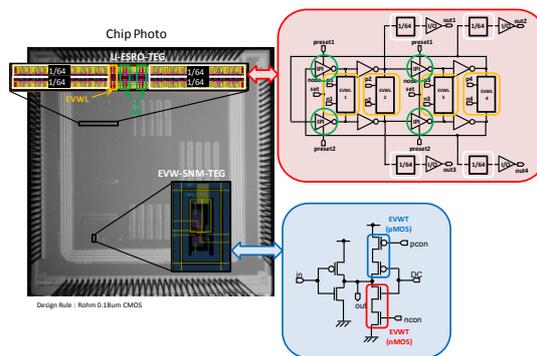


図 2 ESRO 実測用 LSI の開発

### (2) 素子ばらつき補正機能を持つ D/A 変換回路の開発

電子機器の定電圧化、高精度化の進展に伴いオペアンプの入力オフセット電圧に対す

る要求が厳しくなっている。CMOS プロセスで作成されたオペアンプ IC はバイポーラ・プロセス IC に比べ入力オフセット電圧が大きい点が問題である。従来のオフセット校正構成アンプのブロック図を図 3 (a) に示す。オフセット検出は INP, INM の 2 入力をショートさせ、オペアンプをオープン・ループ動作させ、OUT ノードのレベルによりオフセットの正負を判定する。この方式では、オペアンプのゲインが 60dB 程度あれば数  $\mu\text{V}$  のオフセットを検出可能で非常に高精度である。しかし、CMOS オペアンプの出力ノードは通常 PMOS, NMOS のドレインに接続されているため、オープン・ループ構成では出力ノードが高インピーダンスとなり、セトリング動作が低速かつ、外部ノイズに弱いという問題点がある。提案するオフセット校正オペアンプのブロック図を図 3 (b) に示す。点線で囲まれた箇所を示されるように、本方式ではオフセット増幅部がクロズド・ループ構成となっており、校正動作時は入力オフセット電圧を  $R_f/R_i$  倍に増幅した電圧が OUT ノードに出力される。

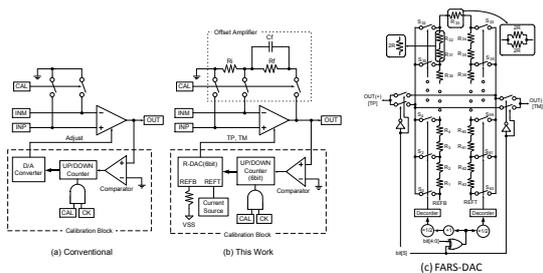


図 3 ばらつき自己補正 DAC の構成

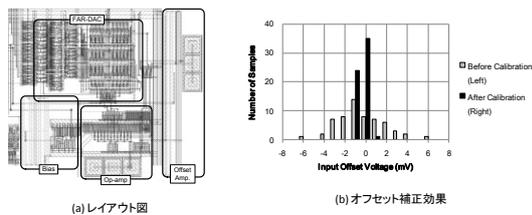


図 4 DAC の試作結果

今回、我々は、補正回路への応用のために、省面積かつ低消費電力な D/A コンバータとして新たに図 3 (c) に示す差動出力の Folded-Alternated 抵抗ストリング型 D/A コンバータ (FARS-DAC) を開発した。これは、従来の抵抗ストリング型回路をベースに、入力デジタルデータの MSB ビットで REFT 側と REFb 側の抵抗タップを折り返し、さらに REFT 側のタップと REFb 側のタップが通常の倍のステップで片方ずつ交互に切り替わるように構成している。6bit FAR-DAC では、使用するタップが 32 以下のタップでは偶数番目の

み、33 以上のタップでは奇数番目のみを使用するために、スイッチ数と抵抗数を大きく削減できる。

TSMC-0.35 $\mu\text{m}$ -標準 CMOS プロセスにより、テストチップの設計・試作を行った。図 4 (a) に今回開発したオフセット校正オペアンプのレイアウト図を示す。図 4(c) に、校正前後のオフセット電圧分布を示す。実測を行った結果、校正によりオフセットが 1.5mV 以下に抑えられることを確認した。(詳細については、論文①、学会発表④⑥参照)

### (3) 動作マージンの概念がないレシオレス動作の SRAM 回路の開発

数十ナノメートル世代の最先端プロセスにおける SRAM では、電源電圧の低下、素子ばらつき増大により、動作マージンの確保が困難となっている。従来の 6 トランジスタの CMOS SRAM セルは、CMOS インバータラッチからなる記憶部分に対して、外部から書き込みトランスファークゲートのインピーダンスを介して、書き込み (ラッチ反転) を行い、一方、読み出し時には、同じトランスファートランジスタを介しながらも、ラッチ内の情報破壊を防止しつつ、ビット線へ記憶情報を出力しなければならない。すなわち、トランスファークゲートトランジスタのサイズ設計には、インピーダンス的に許される上限値と下限値のマージン値が存在し、いわゆる  $\beta$ -ratio and  $\gamma$ -ratio と呼ばれるレシオ設計が求められる。この SRAM セルにおける設計マージンを定量的に評価する手法として、Static Noise Margin (SNM) 指標がある。SNM には、上記述べた理由から、Write-SNM, と Read-SNM の 2 つが存在し、メモリセルの動作の可否は、 $\text{RSNM} > 0, \text{WSNM} > 0$  となる。この 2 つの SNM の確保は、電源電圧の低下と、素子性能ばらつきの影響を直接的に受けるため、素子の微細化が進んだ近年では、非常に厳しくなっている。

本論文では、最先端微細 CMOS の SRAM に向けた新規メモリセルと、回路構成を提案する。提案回路の特長は、完全なるレシオレスでスタティックな設計コンセプトにある。これにより、従来設計で、必ず問題となっていた Static Noise Margin (SNM) の確保を不要にした。さらに情報の読み出し、書き込み、書き込み半選択の全ての状態で、その回路動作の確保が各トランジスタの設計値 (W/L 値) に依存しない状態にできた。本手法実現のため、我々は (i) 書き込み時にセル内の flip/flop loop を開放可能で、また読み出し用の Push-pull トライステートバッファをもつ、レシオレス 10 トランジスタメモリセル (図 5)、(ii) 書き込み半選択時に、レシオレスセルの情報消失を防ぐ、メモリセル + Read ビット + Feedback inverters + Write ビット線で構成される偶数段のインバータを

経路するスタティックなカラムリテンションループ構成(図6)。これらの2つの技術を組み合わせることで素子ばらつきの影響を受けない新規レシオレスSRAMの回路構成を実現した。さらに本手法の有効性を実証するために、メモセル内の10個の各トランジスタサイズを二桁(double order of magnitude)範囲で変えた、全ての組み合わせ(2の10乗通りの設計)をもつ1024bit Mosaic SRAM TEGを、0.18um CMOSにより試作した。図7に示す測定結果より、トランジスタサイズに依存せずにSRAM動作が可能であることを確認した。(詳細については、学会発表①、特許出願①②参照)

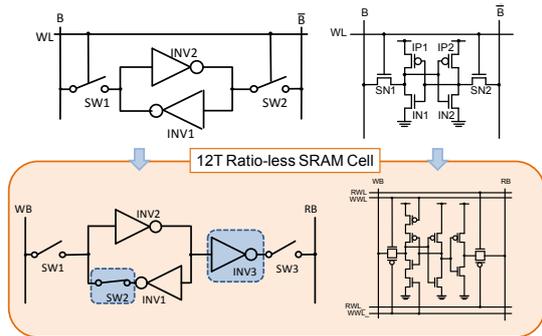


図5 レシオレスSRAMセル

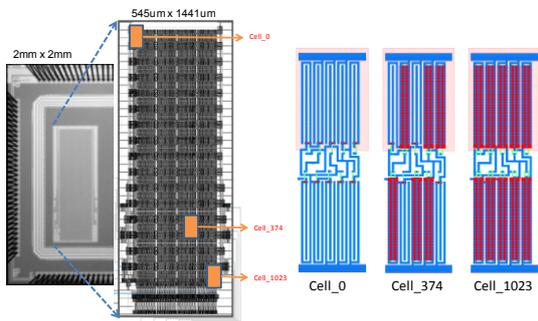


図6 MOSAIC TEGのチップ写真とレイアウト

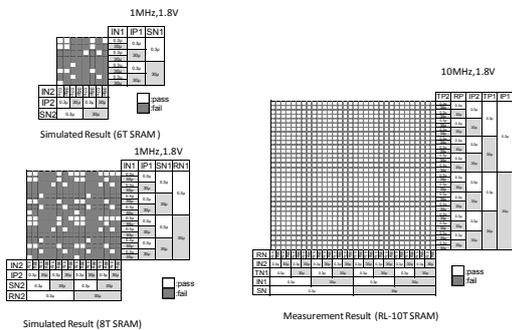


図7 MOSAIC TEGの測定結果

5. 主な発表論文等

[雑誌論文] (計2件)

- ① Hiroyuki Morimoto, Hiroaki Goto,

Hajime Fujiwara, Kazuyuki Nakamura, "Complementary Metal Oxide Semiconductor Operational Amplifier Offset Calibration Technique Using Closed Loop Offset Amplifier and Folded-Alternated Resistor String Digital-to-Analog Converter", Japanese Journal of Applied Physics, 査読有, Vol. 51 No. 2, pp. 02BE10, 02BE10-6, DOI:10.1143/JJAP.51.02BE10, Feb. 2012

② Y. Kohara, M. Asano, Y. Kawakami, Y. Uchida, H. Koike, K. Nakamura, "An Optimal Design Method for Complementary Metal Oxide Semiconductor Even-Stage Ring Oscillators Containing Latches", Japanese Journal of Applied Physics, 査読有, Vol. 49, Issue 4, pp. 04DE15-04DE15-6, April. 2010.

[学会発表] (計10件)

① T. Saito, H. Okamura, M. Yamamoto, K. Nakamura, "A Ratio-Less 10-Transistor Cell and Static Column Retention Loop Structure for Fully Digital SRAM", 2012 4th IEEE International Memory Workshop (IMW), @Milano Italy, DOI: 10.1109/IMW.2012.6213677, 2012.05.29

② 太田恒平, 平川豊, 本村綾美, 三村法寛, 中村和之, "CMOS 偶数段リング発振回路における設計マージン 測定用ユニバーサルTEGの開発", LSI とシステムのワークショップ 2012, 北九州市, 2012.5.28

③ Y. Hirakawa, A. Motomura, K. Ota, N. Mimura, K. Nakamura, "A Universal Test Structure for the Direct Measurement of the Design Margin of Even-Stage Ring Oscillators with CMOS Latch", IEEE International Conference on Microelectronic Test Structures (ICMTS) 2012, pp. 18-22, @San Diego USA, 2012.03.20

④ 森本浩之, 後藤弘明, 藤原宗, 中村, "省面積抵抗ストリングDACと閉ループ・オフセット検出を用いたCMOS オペアンプのオフセット校正", デザインガイア 2011, 宮崎市, 2011.11.28

⑤ Y. Hirakawa, N. Mimura, A. Motomura, K. Nakamura, "An Experimental Verification of the Design Margin Analysis Method for Even-Stage Ring Oscillators with CMOS Latch", 2011 International Conference on Solid State Devices and Materials (SSDM), pp. 186-187, @Nagoya Japan, 2011.9.29

⑥ H. Morimoto, H. Goto, H. Fujiwara, K. Nakamura, "CMOS Op-amp Offset Calibration Technique Using a Closed Loop Offset Amplifier and Compact Resistor String DAC", 2011 International Conference on Solid State Devices and Materials (SSDM), pp. 182-183, @Nagoya Japan, 2011.9.29

⑦ 三村、平川、中村、"電源遷移時間を考慮した偶数段リング発振回路発振領域の検討", 電子情報通信学会 2011 総合大会, 東京, C-12-51, 2011.3.15

⑧ 平川、本村、三村、中村、"CMOS 偶数段リング発振回路の設計マージンの測定", 電子情報通信学会 2011 総合大会, 東京, C-12-56, 2011.3.15

⑨ 平川、小原、川上、中村、"複数個のラッチを有する CMOS 偶数段リング発振回路の最適設計", LSI とシステムのワークショップ 2010, 北九州市, 2010.5.18

⑩ 小原、平川、中村、"片チャネルラッチ構成の偶数段リング発振回路の検討", 電子情報通信学会 2010 総合大会, 仙台市, 2010.3.16

〔産業財産権〕

○出願状況 (計 2 件)

①名称: 半導体記憶装置

発明者: 中村和之、齋藤貴彦

権利者: 九州工業大学

種類: 特許

番号: 特願 2011-35109

出願年月日: 2011/02/21

国内外の別: 国内

②名称: 半導体記憶装置

発明者: 中村和之、齋藤貴彦、岡村均

権利者: 九州工業大学

種類: 特許

番号: 特願 2012-76414

出願年月日: 2012/03/29

国内外の別: 国内

## 6. 研究組織

(1) 研究代表者

中村 和之 (NAKAMURA KAZUYUKI)

九州工業大学・マイクロ化総合技術センター

ー・教授

研究者番号: 60336097